

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2003年5月8日 (08.05.2003)

PCT

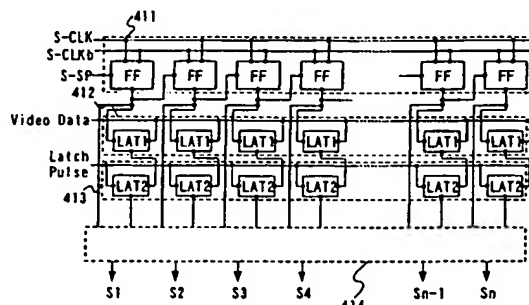
(10) 国際公開番号  
WO 03/038793 A1

- (51) 国際特許分類: G09G 3/30, 3/20, H05B 33/14 (71) 出願人 (米国を除く全ての指定国について): 株式会社半導体エネルギー研究所 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) [JP/JP]; 〒243-0036 神奈川県厚木市長谷398 Kanagawa (JP).
- (21) 国際出願番号: PCT/JP02/11278
- (22) 国際出願日: 2002年10月30日 (30.10.2002)
- (25) 国際出願の言語: 日本語 (72) 発明者; および
- (26) 国際公開の言語: 日本語 (75) 発明者/出願人 (米国についてのみ): 木村 肇 (KIMURA, Hajime) [JP/JP]; 〒243-0036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP).
- (30) 優先権データ:  
特願2001-333462 2001年10月30日 (30.10.2001) JP (74) 代理人: 大島 陽一 (OSHIMA, Yoichi); 〒162-0825 東京都新宿区神楽坂6-4 2 喜多川ビル7階 Tokyo (JP).  
特願2002-287997 2002年9月30日 (30.09.2002) JP

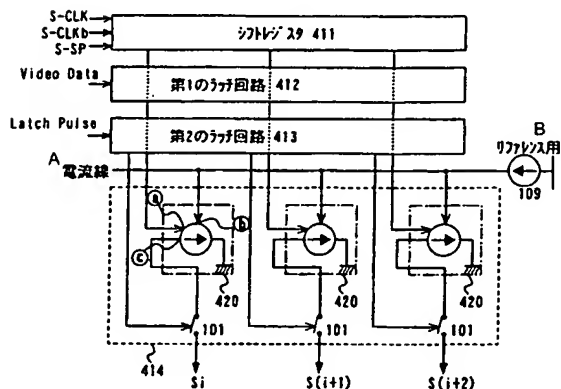
[続葉有]

(54) Title: SIGNAL LINE DRIVE CIRCUIT, LIGHT EMITTING DEVICE, AND ITS DRIVE METHOD

(54) 発明の名称: 信号線駆動回路、発光装置及びその駆動方法



(57) Abstract: A transistor generates a dispersion in characteristics. This signal line drive circuit has current source circuits and shift registers corresponding to the respective wirings. Each of the current source circuits is characterized by having a capacitor means which converts a supplied current into a voltage according to a sampling pulse to be supplied from the shift register and a supply means which supplies a current corresponding to the converted voltage.



A...CURRENT LINE  
411...SHIFT REGISTER  
412...FIRST LATCH CIRCUIT  
413...SECOND LATCH CIRCUIT  
B...FOR REFERENCE

[続葉有]



(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), OAPI 特許 (BF, BI, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告書
- 補正書

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

---

(57) 要約:

トランジスタの特性にはバラツキが生じてしまう。本発明は、複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有する信号線駆動回路であって、前記複数の電流源回路の各々は、前記シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有することを特徴とする。

## 明 細 書

## 信号線駆動回路、発光装置及びその駆動方法

## 5 技術分野

本発明は信号線駆動回路の技術に関する。また前記信号線駆動回路を有する発光装置の技術に関する。

## 背景技術

- 10 近年、画像の表示を行う表示装置の開発が進められている。表示装置としては、液晶素子を用いて画像の表示を行う液晶表示装置が、高画質、薄型、軽量などの利点を活かして幅広く用いられている。

- 一方、自発光素子である発光素子を用いた発光装置の開発も近年進められている。発光装置は、既存の液晶表示装置がもつ利点に加えて、動画表示に適した速い応答
- 15 速度、低電圧、低消費電力などの特徴を有し、次世代ディスプレイとして大きく注目されている。

- 発光装置に多階調の画像を表示する際の階調表現方法としては、アナログ階調方式とデジタル階調方式が挙げられる。前者のアナログ階調方式は、発光素子に流れる電流の大きさをアナログ的に制御して階調を得るという方式である。また後者の
- 20 デジタル階調方式は、発光素子がオン状態（輝度がほぼ100%の状態）と、オフ状態（輝度がほぼ0%の状態）の2つの状態のみによって駆動するという方式である。デジタル階調方式においては、このままでは2階調しか表示できないため、別の方式と組み合わせて多階調の画像を表示する方法が提案されている。

- また画素の駆動方法としては、画素に入力する信号の種類で分類すると、電圧入力方式と電流入力方式が挙げられる。前者の電圧入力方式は、画素に入力するビデオ信号（電圧）を駆動用素子のゲート電極に入力して、該駆動用素子を用いて発光
- 25

素子の輝度を制御する方式である。また後者の電流入力方式では、設定された信号電流を発光素子に流すことにより、該発光素子の輝度を制御する方式である。

ここで、電圧入力方式を適用した発光装置における画素の回路の一例とその駆動方法について、図16 (A) を用いて簡単に説明する。図16 (A) に示した画素  
5 は、信号線501、走査線502、スイッチング用TFT503、駆動用TFT504、容量素子505、発光素子506、電源507、508を有する。

走査線502の電位が変化してスイッチング用TFT503がオンすると、信号線501に入力されているビデオ信号は、駆動用TFT504のゲート電極へと入力される。入力されたビデオ信号の電位に従って、駆動用TFT504のゲート・  
10 ソース間電圧が決定し、駆動用TFT504のソース・ドレイン間を流れる電流が決定する。この電流は発光素子506に供給され、該発光素子506は発光する。発光素子を駆動する半導体素子としては、ポリシリコントランジスタが用いられる。しかし、ポリシリコントランジスタは、結晶粒界における欠陥に起因して、しきい値やオン電流等の電気的特性にバラツキが生じやすい。図16 (A) に示した画素  
15 において、駆動用TFT504の特性が画素毎にばらつくと、同じビデオ信号を入力した場合にも、それに応じた駆動用TFT504のドレイン電流の大きさが異なるため、発光素子506の輝度はばらつく。

上記問題を解決するためには、発光素子を駆動するTFTの特性に左右されず、所望の電流を発光素子に供給すればよい。この観点から、TFTの特性に左右され  
20 ずに発光素子に供給する電流の大きさを制御できる電流入力方式が提案されている。

次いで、電流入力方式を適用した発光装置における画素の回路の一例とその駆動方法について、図16 (B)、17を用いて簡単に説明する。図16 (B) に示した画素は、信号線601、第1～第3の走査線602～604、電流線605、T  
25 FT606～609、容量素子610、発光素子611を有する。電流源回路612は、各信号線(各列)に配置される。



図17を用いて、ビデオ信号の書き込みから発光までの動作について説明する。  
図17中、各部を示す図番は、図16に準ずる。図17(A)～(C)は、電流の経路を模式的に示している。図17(D)は、ビデオ信号の書き込み時における各経路を流れる電流の関係を示し、図17(E)は、同じくビデオ信号の書き込み時  
5 に容量素子610に蓄積される電圧、つまりTFT608のゲート・ソース間電圧を示す。

まず、第1及び第2の走査線602、603にパルスが入力され、TFT606、607がオンする。このとき、信号線601を流れる電流は信号電流を $I_{data}$ と表記する。信号線601には、信号電流 $I_{data}$ が流れているので、図17(A)に示  
10 すように、画素内では、電流の経路は $I_1$ と $I_2$ とに分かれて流れる。これらの関係を図17(D)に示すが、 $I_{data} = I_1 + I_2$ であることは言うまでもない。

TFT606がオンした瞬間には、まだ容量素子610には電荷が保持されていないため、TFT608はオフである。よって、 $I_2 = 0$ となり、 $I_{data} = I_1$ となる。この間は、容量素子610の両電極間に電流が流れて、該容量素子610にお  
15 いて電荷の蓄積が行われている。

そして徐々に容量素子610に電荷が蓄積され、両電極間に電位差が生じ始める(図17(E))。両電極の電位差が $V_{th}$ となると(図17(E)、A点)、TFT608がオンして、 $I_2$ が生ずる。前述したように、 $I_{data} = I_1 + I_2$ であるので、 $I_1$ は次第に減少するが、依然電流は流れており、容量素子610にはさらに電荷  
20 の蓄積が行われる。

容量素子610では、その両電極の電位差、つまりTFT608のゲート・ソース間電圧が所望の電圧になるまで電荷の蓄積が続く。つまりTFT608が $I_{data}$ の電流を流すことが出来るだけの電圧になるまで電荷の蓄積が続く。やがて電荷の蓄積が終了する(図17(E)、B点)と、電流 $I_2$ は流れなくなる。また、TFT  
25 608は完全にオンしているので、 $I_{data} = I_2$ となる(図17(B))。以上の動作により、画素に対する信号の書き込み動作が完了する。最後に第1及び第2の走

査線 602、603 の選択が終了し、TFT606、607 がオフする。

続いて、第3の走査線 604 にパルスが入力され、TFT609 がオンする。容量素子 610 には、先ほど書き込んだ VGS が保持されているため、TFT608 はオンしており、電流線 605 から I data に等しい電流が流れる。これにより発光素子 611 が発光する。このとき、TFT608 が飽和領域において動作するようにしておけば、TFT608 のソース・ドレイン間電圧が変化したとしても、発光素子 611 に流れる発光電流 I<sub>EL</sub> は変わりなく流れる。

このように電流入力方式とは、TFT609 のドレイン電流が電流源回路 612 で設定された信号電流 I data と同じ電流値になるように設定し、このドレイン電流に  
10 応じた輝度で発光素子 611 が発光を行う方式をいう。上記構成の画素を用いることで、画素を構成する TFT の特性バラツキの影響を抑制して、所望の電流を発光素子に供給することが出来る。

但し、電流入力方式を適用した発光装置では、ビデオ信号に応じた信号電流を正確に画素に入力する必要がある。しかし、信号電流を画素に入力する役目を担う信号線駆動回路（図 16 では電流源回路 612 に相当）をポリシリコントランジスタ  
15 で形成すると、その特性にバラツキが生じるため、該信号電流にもバラツキが生じてしまう。

つまり電流入力方式を適用した発光装置では、画素及び信号線駆動回路を構成する TFT の特性バラツキの影響を抑制する必要がある。しかし図 16 (B) に示す構成の画素を用いることによって、画素を構成する TFT の特性バラツキの影響を  
20 抑制することは出来るが、信号線駆動回路を構成する TFT の特性バラツキの影響を抑制することは困難となる。

そこで、電流入力方式の画素を駆動する信号線駆動回路に配置される電流源回路の構成とその動作について図 18 を用いて簡単に説明する。

25 図 18 (A) (B) における電流源回路 612 は、図 16 (B) で示した電流源回路 612 に相当する。電流源回路 612 は、定電流源 555 ~ 558 を有する。

定電流源 555～558 は、端子 551～554 を介して入力される信号により制御される。定電流源 555～558 から供給される電流の大きさは各々異なり、その比は 1 : 2 : 4 : 8 となるように設定されている。

図 18 (B) は電流源回路 612 の回路構成を示した図であり、図中の定電流源 555～558 はトランジスタに相当する。トランジスタ 555～558 のオン電流は、 $L$  (ゲート長) /  $W$  (ゲート幅) 値の比 (1 : 2 : 4 : 8) に起因して 1 : 2 : 4 : 8 となる。そうすると電流源回路 612 は、 $2^4 = 16$  段階で電流の大きさを制御することが出来る。つまり 4 ビットのデジタルビデオ信号に対して、16 階調のアナログ値を持つ電流を出力することが出来る。なお、この電流源回路 612 は、  
10 ポリシリコントランジスタで形成され、画素部と同一基板上に一体形成される。

このように、従来において、電流源回路を内蔵した信号線駆動回路は提案されている。(例えば、非特許文献 1、2 参照)

また、デジタル階調方式においては、多階調の画像を表現するためにデジタル階調方式と面積階調方式とを組み合わせた方式 (以下面積階調方式と表記) やデジタル階調方式と時間階調方式とを組み合わせた方式 (以下時間階調方式と表記) があ  
15 る。面積階調方式とは、一画素を複数の副画素に分割し、それぞれの副画素で発光、又は非発光を選択することで、一画素において発光している面積と、それ以外の面積との差をもって階調を表現する方式である。また時間階調方式とは、発光素子が発光している時間を制御することにより、階調表現を行う方式である。具体的には、  
20 1 フレーム期間を長さの異なる複数のサブフレーム期間に分割し、各期間での発光素子の発光、又は非発光を選択することで、1 フレーム期間内で発光した時間の長さの差をもって階調を表現する。デジタル階調方式においては、多階調の画像を表現するためにデジタル階調方式と時間階調方式とを組み合わせた方式 (以下時間階調方式と表記) が提案されている。(例えば、特許文献 1 参照)

25 [非特許文献 1]

服部励治、他 3 名、「信学技報」、ED2001-8、電流指定型ポリシリコン TFT アクテ

ィブマトリクス駆動有機 LED ディスプレイの回路シミュレーション、p. 7-1

4

〔非特許文献2〕

Reiji H et al., 「AM-LCD'01」、OLED-4, p. 223-226

5 〔特許文献1〕

特開2001-5426号公報

#### 発明の開示

上述した電流源回路612は、L/W値を設計することによって、トランジスタの  
10 オン電流を1:2:4:8になるように設定している。しかしトランジスタ555  
～558は、作製工程や使用する基板の相違によって生じるゲート長、ゲート幅及  
びゲート絶縁膜の膜厚のバラツキの要因が重なって、しきい値や移動度にバラツキ  
が生じてしまう。そのため、トランジスタ555～558のオン電流を設計通りに  
正確に1:2:4:8にすることは困難である。つまり列によって、画素に供給す  
15 る電流値にバラツキが生じてしまう。

トランジスタ555～558のオン電流を設計通りに正確に1:2:4:8にする  
ためには、全ての列にある電流源回路の特性を、全て同一にする必要がある。つ  
まり、信号線駆動回路の有する電流源回路のトランジスタの特性を、全て同一にす  
る必要があるが、その実現は非常に困難である。

20 本発明は上記の問題点を鑑みてなされたものであり、TFTの特性バラツキの影  
響を抑制して、所望の信号電流を画素に供給することができる信号線駆動回路を提  
供する。さらに本発明は、TFTの特性バラツキの影響を抑制した回路構成の画素  
を用いることにより、画素及び駆動回路の両方を構成するTFTの特性バラツキの  
影響を抑制して、所望の信号電流を発光素子に供給することができる発光装置を提  
25 供する。

本発明は、TFTの特性バラツキの影響を抑制して、所望の一定電流を流す電気

回路（電流源回路）を設けた構成の信号線駆動回路を提供する。さらに本発明は、前記信号線駆動回路を具備した発光装置を提供する。

本発明は各列（各信号線など）に電流源回路が配置された信号線駆動回路を提供する。

- 5 本発明の信号線駆動回路では、信号線駆動回路が有する各信号線（各列）に配置された電流源回路において、リファレンス用定電流源を用いて、所定の信号電流を供給するように設定される。信号電流が設定された電流源回路では、リファレンス用定電流源に比例した電流を供給する能力を有する。その結果、前記電流源回路を用いることにより、信号線駆動回路を構成するTFTの特性バラツキの影響を抑制
- 10 することが出来る。そして、設定された信号電流を電流源回路から画素に供給するか否かを決定するスイッチは、ビデオ信号により制御される。

つまり、ビデオ信号に比例した信号電流を信号線に流す必要がある場合は、電流源回路から信号線駆動回路に信号電流を供給するか否かを決定するスイッチが配置され、該スイッチはビデオ信号により制御される。ここでは、電流源回路から信号線駆動回路に信号電流を供給するか否かを決定するスイッチのことを信号電流制御スイッチと呼ぶ。

15

なお、リファレンス用定電流源は、基板上に信号線駆動回路と一体形成してもよい。または基板の外部にIC等を配置し、リファレンス用電流として一定の電流を入力してもよい。

- 20 本発明の信号線駆動回路の概略について図1、2を用いて説明する。図1、2には、 $i$ 列目から $(i+2)$ 列目の3本の信号線の周辺の信号線駆動回路が示されている。

まず、信号線にビデオ信号に比例した信号電流を流す必要がある場合について述べる。

- 図1において、信号線駆動回路403は各信号線（各列）に電流源回路420が配置されている。電流源回路420は、端子a、端子b及び端子cを有する。端子aには設定信号が入力される。端子bには電流線に接続されたリファレンス用定電
- 25

流源 109 から電流（リファレンス用電流）が供給される。また端子 c は、スイッチ 101（信号電流制御スイッチ）を介して電流源回路 420 に保持された信号を出力する。つまり、電流源回路 420 は端子 a から入力される設定信号により制御され、端子 b から電流（リファレンス用電流）が供給され、端子 c から該電流（リファレンス用電流）に比例した電流（信号電流）が出力される。スイッチ 101（信号電流制御スイッチ）は、電流源回路 420 と画素の間に配置され、前記スイッチ 101（信号電流制御スイッチ）のオン又はオフは、ビデオ信号により制御される。

次いで図 1 とは異なる構成の本発明の信号線駆動回路について図 2 を用いて説明する。図 2 において、信号線駆動回路 403 はそれぞれの信号線ごと（各列）に 2 つ以上の電流源回路が設けられている。そして、電流源回路 420 は複数の電流源回路を有する。そしてここでは仮に各列に 2 つの電流源回路が配置されているとし、電流源回路 420 は第 1 電流源回路 421 及び第 2 電流源回路 422 を有するとする。第 1 電流源回路 421 及び第 2 電流源回路 422 は、端子 a、端子 b、端子 c 及び端子 d を有する。端子 a には設定信号が入力される。端子 b には電流線に接続されたリファレンス用定電流源 109 から電流（リファレンス用電流）が供給される。また端子 c は、スイッチ 101（信号電流制御スイッチ）を介して第 1 電流源回路 421 及び第 2 電流源回路 422 に保持された信号（信号電流）を出力する。端子 d からは、制御信号が入力される。つまり電流源回路 420 は、端子 a から入力される設定信号及び端子 d から入力される制御信号により制御され、端子 b から電流（リファレンス用電流）が供給され、端子 c から該電流（リファレンス用電流）に比例した電流（信号電流）が出力される。スイッチ 101（信号電流制御スイッチ）は、電流源回路 420 と画素の間に配置され、前記スイッチ 101（信号電流制御スイッチ）のオン又はオフは、ビデオ信号により制御される。

電流源回路 420 に対して信号電流の書き込みを終了させる（信号電流を設定する、リファレンス用電流によって信号電流を設定する、電流源回路 420 が信号電流を出力できるように定める）動作を設定動作と呼び、信号電流を画素に入力する

動作（電流源回路 4 2 0 が信号電流を出力する動作）を入力動作と呼ぶことにする。  
図 2 において、第 1 電流源回路 4 2 1 及び第 2 電流源回路 4 2 2 に入力される制御  
信号は互いに異なっているため、第 1 電流源回路 4 2 1 及び第 2 電流源回路 4 2 2  
は、一方は設定動作を行い、他方は入力動作を行う。これにより、各列で同時に 2  
5 つの動作を行うことが出来る。

なお電流源回路の設定動作は任意の時間に任意のタイミングで任意の回数だけ  
行えばよい。また図 1、2 に示した信号線駆動回路では、ビデオ信号に比例した信  
号電流を信号線に供給する場合について述べた。但し、本発明はこれに限定されな  
い。例えば、信号線とは異なる別の配線に電流を供給する必要がある。この場合に  
10 はスイッチ 1 0 1（信号電流制御スイッチ）を配置する必要はない。このスイッチ  
を配置しない場合について、図 1 については図 3 4、図 2 については図 3 5 に示す。  
この場合には、電流は画素用電流線に出力される。信号線にはビデオ信号が出力さ  
れる。

本発明では、1 つのシフトレジスタが 2 つの役割を有する。1 つの役割は電流源  
15 回路を制御する役割である。もう 1 つの役割はビデオ信号を制御する回路、つまり  
画像を表示するために動作する回路を制御する役割であり、例えばラッチ回路、サ  
ンプリングスイッチ及びスイッチ 1 0 1（信号電流制御スイッチ）などを制御する  
役割である。上記構成の本発明では、電流源回路を制御する回路と、ビデオ信号を  
制御する回路の各々の回路の配置が不必要となるため、配置する回路の素子数を削  
20 減することが可能となり、さらに素子数を削減することが出来るため、レイアウト  
面積を縮小することができる。そうすると、作製工程における歩留まりが向上し、  
コストダウンを実現することができる。またレイアウト面積を小さくできると、狭  
額縁化できるため、筐体の小型化を実現することができる。

なおシフトレジスタはフリップフロップ回路やデコーダ回路等により構成され  
25 る。シフトレジスタがフリップフロップ回路により構成される場合には、通常複数  
の配線は 1 列目から最終列目まで順に選択される。一方、シフトレジスタがデコー

ダ回路等により構成される場合には、複数の配線は1列目から最終列目まで順に選択されるか又はランダムに選択される。シフトレジスタは、その用途に従って、複数の配線を順に選択できる機能を有する構成、又はランダムに選択できる機能を有する構成のどちらかを選択するとよい。

- 5 但し、複数の配線をランダムに選択できる機能を有する構成を選択した場合には、電流源回路に供給する設定信号もランダムに出力できる。従って、電流源回路の設定動作も、1列目から最終列目まで順に行うのではなく、ランダムに行うことができる。そうすると、電流源回路が設定動作を行う期間を自由に設定することができる。また、電流源回路の容量素子に保持された電荷の漏れの影響を目立たせなく
- 10 ることができる。このように、電流源回路の設定動作をランダムに行うことができると、電流源回路の設定動作に伴う不具合があった場合、その不具合を目立たなくさせることができるようになる。

なお、本発明において、TFT は、通常の単結晶を用いたトランジスタや、SOIを用いたトランジスタ、有機トランジスタなどに置き換えて適用することができる。

- 15 本発明は上記のような電流源回路を有する信号線駆動回路を提供する。さらに本発明は、TFTの特性バラツキの影響を抑制した回路構成の画素を用いることにより、画素及び駆動回路の両方を構成するTFTの特性バラツキの影響を抑制し、また所望の信号電流を発光素子に供給することができる発光装置を提供する。

## 20 図面の簡単な説明

図1は、信号線駆動回路の図。

図2は、信号線駆動回路の図。

図3は、信号線駆動回路の図（1ビット）。

図4は、信号線駆動回路の図（1ビット）。

- 25 図5は、信号線駆動回路の図（1ビット）。

図6は、信号線駆動回路の図（1ビット）。



- 図 7 は、信号線駆動回路の図（3 ビット）。
- 図 8 は、信号線駆動回路の図（3 ビット）。
- 図 9 は、タイミングチャートを示す図。
- 図 10 は、タイミングチャートを示す図。
- 5 図 11 は、タイミングチャートを示す図。
- 図 12 は、発光装置の外観を示す図。
- 図 13 は、発光装置の画素の回路図。
- 図 14 は、本発明の駆動方法を説明する図。
- 図 15 は、本発明の発光装置を示す図。
- 10 図 16 は、発光装置の画素の回路図。
- 図 17 は、発光装置の画素の動作を説明する図。
- 図 18 は、電流源回路の図。
- 図 19 は、電流源回路の動作を説明する図。
- 図 20 は、電流源回路の動作を説明する図。
- 15 図 21 は、電流源回路の動作を説明する図。
- 図 22 は、本発明が適用される電子機器を示す図。
- 図 23 は、電流源回路の回路図。
- 図 24 は、電流源回路の回路図。
- 図 25 は、電流源回路の回路図。
- 20 図 26 は、信号線駆動回路の図（3 ビット）。
- 図 27 は、信号線駆動回路の図（3 ビット）。
- 図 28 は、電流源回路の駆動方法を説明するタイミングチャート。
- 図 29 は、信号線駆動回路の図（3 ビット）。
- 図 30 は、リファレンス用定電流源の回路図。
- 25 図 31 は、リファレンス用定電流源の回路図。
- 図 32 は、リファレンス用定電流源の回路図。

図 3 3 は、リファレンス用定電流源の回路図。

図 3 4 は、信号線駆動回路の図。

図 3 5 は、信号線駆動回路の図。

図 3 6 は、電流源回路の回路図。

5 図 3 7 は、電流源回路の回路図。

図 3 8 は、電流源回路の回路図。

図 3 9 は、電流源回路の回路図。

図 4 0 は、電流源回路の回路図。

図 4 1 は、電流源回路の回路図。

10 図 4 2 は、信号線駆動回路の図。

図 4 3 は、シフトレジスタの図。

図 4 4 は、シフトレジスタとタイミングチャートの図。

図 4 5 は、タイミングチャートを示す図。

図 4 6 は、シフトレジスタの図。

15 図 4 7 は、信号線駆動回路の図。

図 4 8 は、信号線駆動回路の図。

図 4 9 は、信号線駆動回路の図。

図 5 0 は、信号線駆動回路の図。

図 5 1 は、信号線駆動回路の図。

20 図 5 2 は、信号線駆動回路の図。

図 5 3 は、信号線駆動回路の図。

図 5 4 は、信号線駆動回路の図。

図 5 5 は、信号線駆動回路の図。

図 5 6 は、信号線駆動回路の図。

25 図 5 7 は、信号線駆動回路の図。

図 5 8 は、信号線駆動回路の図。

図 5 9 は、信号線駆動回路の図。

図 6 0 は、信号線駆動回路の図。

図 6 1 は、信号線駆動回路の図。

図 6 2 は、信号線駆動回路の図。

5 図 6 3 は、信号線駆動回路の図。

図 6 4 は、信号線駆動回路の図。

図 6 5 は、信号線駆動回路の図。

図 6 6 は、信号線駆動回路の図。

図 6 7 は、信号線駆動回路の図。

10 図 6 8 は、信号線駆動回路の図。

図 6 9 は、信号線駆動回路の図。

図 7 0 は、信号線駆動回路の図。

図 7 1 は、画素の回路図。

図 7 2 は、タイミングチャートを示す図。

15 図 7 3 は、タイミングチャートを示す図。

図 7 4 は、タイミングチャートを示す図。

図 7 5 は、タイミングチャートを示す図。

図 7 6 は、タイミングチャートを示す図。

図 7 7 は、タイミングチャートを示す図。

20 図 7 8 は、タイミングチャートを示す図。

図 7 9 は、タイミングチャートを示す図。

図 8 0 は、タイミングチャートを示す図。

図 8 1 は、タイミングチャートを示す図。

図 8 2 は、タイミングチャートを示す図。

25 図 8 3 は、タイミングチャートを示す図。

図 8 4 は、タイミングチャートを示す図。

図 8 5 は、タイミングチャートを示す図。

図 8 6 は、タイミングチャートを示す図。

図 8 7 は、電流源回路のレイアウト図。

図 8 8 は、電流源回路の回路図。

5

発明を実施するための最良の形態

(実施の形態 1)

本実施の形態では、本発明の信号線駆動回路に具備される電流源回路の構成とその動作について説明する。

- 10 本発明では、端子 a から入力される信号とは、シフトレジスタから供給されるサンプリングパルスに相当する。しかし電流源回路の構成や駆動方式などによっては、サンプリングパルスは直接入力されず、設定制御線（図 1 には図示せず）に接続された論理演算子の出力端子から供給される信号が入力される。前記論理演算子の 2 つの入力端子は、一方はサンプリングパルス、他方は設定制御線から供給される信号が入力される。つまり電流源回路 4 2 0 の設定は、サンプリングパルス、又は設定制御線に接続された論理演算子の出力端子から供給される信号のタイミングに従って行われる。
- 15

なおシフトレジスタとは、フリップフロップ回路（FF）等を複数列用いた構成を有するものである。そして前記シフトレジスタにクロック信号（S-CLK）、スタートパルス（S-SP）及びクロック反転信号（S-CLKb）が入力されて、これらの信号のタイミングに従って、順次出力される信号をサンプリングパルスとよぶ。

20

- また前記論理演算子の 2 つの入力端子には、一方はサンプリングパルスが入力され、他方は設定制御線から供給される信号が入力される。論理演算子では、入力された 2 つの信号の論理演算を行って、出力端子から信号を出力する。仮に論理演算子が NAND であるとする、図 1 4 （C）に示すタイミングチャートにおいて、期間 T b においては、制御線から High の信号を NAND に入力し、その他の期間
- 25

においては、制御線から Low の信号を NAND に入力するとよい。

シフトレジスタはフリップフロップ回路やデコーダ回路等により構成される。シフトレジスタがフリップフロップ回路により構成される場合には、通常複数の配線は 1 列目から最終列目まで順に選択される。一方、シフトレジスタがデコーダ回路等により構成される場合には、複数の配線は 1 列目から最終列目まで順に選択されるか又はランダムに選択される。シフトレジスタは、その用途に従って、複数の配線を順に選択できる機能を有する構成、又はランダムに選択できる機能を有する構成のどちらかを選択するとよい。

図 23 (A) において、スイッチ 104、105a、116 と、トランジスタ 102 (n チャンネル型) と、該トランジスタ 102 のゲート・ソース間電圧  $V_{GS}$  を保持する容量素子 103 とを有する回路が電流源回路 420 に相当する。

図 23 (A) に示す電流源回路では、端子 a を介して入力されるサンプリングパルスによってスイッチ 104、スイッチ 105a がオンとなる。そうすると、電流線に接続されたリファレンス用定電流源 109 (以下定電流源 109 と表記) から、端子 b を介して電流 (リファレンス用電流) が供給され、容量素子 103 に所定の電荷が保持される。そして定電流源 109 から流される電流 (リファレンス用電流) がトランジスタ 102 のドレイン電流と等しくなるまで、容量素子 103 に電荷が保持される。

次いで、端子 a を介して入力される信号により、スイッチ 104、105a がオフになる。そうすると、容量素子 103 には所定の電荷が保持されているため、トランジスタ 102 は電流 (リファレンス用電流) に応じた大きさの電流を流す能力をもつことになる。そして仮にスイッチ 101 (信号電流制御スイッチ)、116 が導通状態になると、端子 c を介して信号線に接続された画素に電流が流れる。これは、トランジスタ 102 のゲート電圧は容量素子 103 により所定のゲート電圧に設定されており、該トランジスタ 102 のドレイン領域には電流 (リファレンス用電流) に応じたドレイン電流が流れる。そのため、信号線駆動回路を構成するト

ランジスタの特性バラツキに左右されずに、画素に入力される電流の大きさを制御できる。

なお、スイッチ101（信号電流制御スイッチ）が配置されていない場合には、スイッチ116が導通状態になると、端子cを介して信号線に接続された画素に電  
5 流が供給される。

なおスイッチ104、105aの接続構成は図23（A）に示す構成に限定されない。例えば、スイッチ104の一方を端子bに接続し、他方をトランジスタ102のゲート電極に接続し、更にスイッチ105aの一方をスイッチ104を介して端子bに接続し、他方をスイッチ116に接続する構成でもよい。

10 或いは、スイッチ104は端子bとトランジスタ102のゲート電極の間に配置し、スイッチ105aは端子bとスイッチ116の間に配置してもよい。つまり、電流源回路に配置するスイッチの個数、配線の本数及びその接続は特に限定されない。但し、図36（A）を参照すると、設定動作時には図36（A1）のように接続され、入力動作時には図36（A2）のように接続されるようにスイッチを配置  
15 するとよい。

なお図23（A）に示す電流源回路では、信号を設定する動作（設定動作）と、信号を画素に入力する動作（入力動作）を同時に行うことは出来ない。

図23（B）において、スイッチ124、スイッチ125と、トランジスタ122（nチャネル型）と、該トランジスタ122のゲート・ソース間電圧VGSを保  
20 持する容量素子123と、トランジスタ126（nチャネル型）とを有する回路が電流源回路420に相当する。

トランジスタ126はスイッチ又は電流源用トランジスタの一部のどちらがとして機能する。

図23（B）に示す電流源回路では、端子aを介して入力されるサンプリングパ  
25 ルスによってスイッチ124、スイッチ125がオンとなる。そうすると、電流線に接続された定電流源109から、端子bを介して電流（リファレンス用電流）が

供給され、容量素子 1 2 3 に所定の電荷が保持される。そして定電流源 1 0 9 から流される電流（リファレンス用電流）がトランジスタ 1 2 2 のドレイン電流と等しくなるまで、容量素子 1 2 3 に電荷が保持される。なおスイッチ 1 2 4 がオンとなると、トランジスタ 1 2 6 のゲート・ソース間電圧  $V_{GS}$  が 0 V となるので、トランジスタ 1 2 6 はオフになる。

次いで、端子 a を介して入力される信号により、スイッチ 1 2 4、1 2 5 がオフになる。そうすると、容量素子 1 2 3 には所定の電荷が保持されているため、トランジスタ 1 2 2 は電流（リファレンス用電流）に応じた大きさの電流を流す能力をもつことになる。そして仮にスイッチ 1 0 1（信号電流制御スイッチ）が導通状態になると、端子 c を介して信号線に接続された画素に電流が供給される。これは、トランジスタ 1 2 2 のゲート電圧は、容量素子 1 2 3 により所定のゲート電圧に設定されており、該トランジスタ 1 2 2 のドレイン領域には信号電流  $I_{data}$  に応じたドレイン電流が流れるためである。そのため、信号線駆動回路を構成するトランジスタの特性バラツキに左右されずに、画素に入力される電流の大きさを制御できる。

15    なおスイッチ 1 2 4、1 2 5 がオフすると、トランジスタ 1 2 6 のゲートとソースは同電位ではなくなる。その結果、容量素子 1 2 3 に保持された電荷がトランジスタ 1 2 6 の方にも分配され、前記トランジスタ 1 2 6 が自動的にオンになる。ここで、トランジスタ 1 2 2、1 2 6 は直列に接続され、且つ互いのゲートが接続されている。従って、トランジスタ 1 2 2、1 2 6 はマルチゲートのトランジスタとして動作する。つまり、設定動作時と入力動作時とでは、トランジスタのゲート長  $L$  が異なることになる。従って、設定動作時に端子 b から供給される電流値は、入力動作時に端子 c から供給される電流値よりも大きくすることが出来る。そのため、端子 b とリファレンス用定電流源との間に配置された様々な負荷（配線抵抗、交差容量など）をより早く充電することができる。従って、設定動作を素早く完了させることができる。なお、スイッチ 1 0 1（信号電流制御スイッチ）が配置されていない場合は、トランジスタ 1 2 6 が導通状態になると、端子 c を介して信号線に接

20

25

続された画素に電流が流れる。

また、電流源回路に配置するスイッチの個数、配線の本数及びその接続は特に限定されない。つまり、図36(B)を参照すると、設定動作時には図36(B1)のように接続され、入力動作時には図36(B2)のように接続されるように、配  
5 線やスイッチを配置するとよい。特に、図36(B2)においては、容量素子107に保持された電荷が漏れないようになっていけばよい。

なお図23(B)に示す電流源回路では、電流源回路が信号電流を流す能力を有するように設定する設定動作と、該信号電流を画素に供給する入力動作(画素への電流の出力)を同時に行うことは出来ない。

10 図23(C)において、スイッチ108、スイッチ110、トランジスタ105b、106(nチャネル型)、該トランジスタ105b、106のゲート・ソース間電圧VGSを保持する容量素子107とを有する回路が電流源回路420に相当する。

図23(C)に示す電流源回路では、端子aを介して入力されるサンプリングバ  
15 ルスによってスイッチ108、スイッチ110がオンとなる。そうすると電流線に接続された定電流源109から、端子bを介して電流(リファレンス用電流)が供給され、容量素子107に所定の電荷が保持される。そして定電流源109から流される電流(リファレンス用電流)がトランジスタ105bのドレイン電流と等しくなるまで、容量素子107に電荷が保持される。このとき、トランジスタ105  
20 b及びトランジスタ106のゲート電極は互いに接続されているので、トランジスタ105b及びトランジスタ106のゲート電圧は、容量素子107によって保持されている。

次いで、端子aを介して入力される信号により、スイッチ108、110がオフになる。このとき、容量素子107には所定の電荷が保持されているため、トラン  
25 ジスタ106は電流(リファレンス用電流)に応じた大きさの電流を流す能力を有する。そして仮にスイッチ101(信号電流制御スイッチ)が導通状態になると、



端子cを介して信号線に接続された画素に電流が供給される。これは、トランジスタ106のゲート電圧は、容量素子107により所定のゲート電圧に設定されており、該トランジスタ106のドレイン領域には電流（リファレンス用電流）に応じたドレイン電流が流れるためである。そのため、信号線駆動回路を構成するトランジスタの特性バラツキに左右されずに、画素に入力される電流の大きさを制御できる。

なお、スイッチ101（信号電流制御スイッチ）が配置されていない場合は、端子cを介して信号線に接続された画素に電流が流れる。

このとき、トランジスタ106のドレイン領域に信号電流に応じたドレイン電流を正確に流すためには、トランジスタ105b及び106の特性が同じであることが必要となる。より詳しくは、トランジスタ105b及び106の移動度、しきい値などの値が同じであることが必要となる。また図23（C）では、トランジスタ105b及び106のW/Lの値を任意に設定して、定電流源109から供給される電流に比例した電流を画素に供給するようにしてもよい。

またトランジスタ105b及び106のうち、定電流源109に接続されたトランジスタのW/Lを大きく設定することで、該定電流源109から大電流を供給して、書き込み速度を早くすることが出来る。

なお図23（C）に示す電流源回路では、電流源回路が信号電流を流す能力を有するように設定する設定動作と、該信号電流を画素に入力する入力動作を同時に行うことが出来る。

図23（D）（E）に示す電流源回路は、スイッチ110の接続が異なる以外は、図23（C）の電流源回路と同じ構成を有する。また図23（D）（E）に示す電流源回路420の動作は、図23（C）の電流源回路420の動作に準ずるので、ここでは説明を省略する。

なお、電流源回路に配置するスイッチの個数、配線の本数及びその接続は特に限定されない。つまり、図36（C）を参照すると、設定動作時には図36（C1）

のように接続され、入力動作時には図36(C2)のように接続されるように、配線やスイッチを配置するとよい。特に、図36(C2)においては、容量素子107に保持された電荷が漏れないようになっていけばよい。

図37(A)において、スイッチ195b、195c、195d、195f、トランジスタ195a、容量素子195eを有する回路が電流源回路に相当する。図37(A)に示す電流源回路では、端子aを介して入力される信号によりスイッチ195b、c、d、fがオンになる。そうすると、端子bを介して、電流線に接続された定電流源109から電流が供給され、定電流源109から供給される信号電流とトランジスタ195aのドレイン電流が等しくなるまで、容量素子195eに所定の電荷が保持される。

次いで、端子aを介して入力される信号により、スイッチ195b、195c、195d、195fがオフになる。このとき、容量素子195eには所定の電荷が保持されているため、トランジスタ195aは信号電流に応じた大きさの電流を流す能力を有する。これは、トランジスタ195aのゲート電圧は、容量素子195eにより所定のゲート電圧に設定されており、該トランジスタ195aのドレイン領域には電流（リファレンス用電流）に応じたドレイン電流が流れるためである。この状態において、端子cを介して外部に電流が供給される。なお図37(A)に示す電流源回路では、電流源回路が信号電流を流す能力を有するように設定する設定動作と、該信号電流を画素に入力する入力動作を同時に行うことは出来ない。但し、端子aを介して入力される信号により制御されるスイッチがオンであり、且つ端子cから電流が流れないようにしているときは、端子cと他の電位の配線とを接続する必要がある。その配線の電位を $V_a$ とすると、該 $V_a$ は、端子bから流れてくる電流をそのまま流せるような電位であれば、どのような値でもよい。一例としては、電源電圧 $V_{dd}$ などでよい。

なおスイッチの個数、配線の本数及びその接続は特に限定されない。つまり、図37(B)(C)を参照すると、設定動作時には図37(B1)(C1)のように接続

され、入力動作時には図 3 7 (B 2) (C 2) のように接続されるように、配線やスイッチを配置するとよい。

なお図 2 3 (A)、(C) ~ (E) の電流源回路 4 2 0 において、電流の流れる方向 (画素から信号線駆動回路へ) は同じであって、トランジスタ 1 0 2、1 0 5 b、1 0 6 の導電型を p チャネル型にしてもよい。

そこで図 2 4 (A) には、電流の流れる方向 (画素から信号線駆動回路へ) は同じであって、図 2 3 (A) に示すトランジスタ 1 0 2 を p チャネル型にしたときの回路図を示す。図 2 3 (A) では、容量素子をゲート・ソース間に配置することにより、ソースの電位は変化しても、ゲート・ソース間電圧は保持することが出来る。また図 2 4 (B) ~ (D) には、電流の流れる方向 (画素から信号線駆動回路へ) は同じであって、図 2 3 (C) ~ (E) に示すトランジスタ 1 0 5 b、1 0 6 を p チャネル型にした回路図を示す。

図 3 8 (A) には、図 3 7 に示した構成において、トランジスタ 1 9 5 a を p チャネル型にした場合を示す。図 3 8 (B) には、図 2 3 (B) に示した構成において、トランジスタ 1 2 2、1 2 6 を p チャネル型にした場合を示す。

図 4 0 において、スイッチ 1 0 4、1 1 6、トランジスタ 1 0 2、容量素子 1 0 3 などを有する回路が電流源回路に相当する。

図 4 0 (A) は、図 2 3 (A) の一部を変更した回路に相当する。図 4 0 (A) に示す電流源回路では、電流源の設定動作時と入力動作時で、トランジスタのゲート幅  $W$  が異なる。つまり、設定動作時には図 4 0 (B) のように接続され、一方、入力動作時には図 4 0 (C) のように接続され、ゲート幅  $W$  が異なる。従って、設定動作時に端子 b から供給される電流値は、入力動作時に端子 c から供給される電流値よりも大きくすることが出来る。そのため、端子 b とリファレンス用定電流源との間に配置された様々な負荷 (配線抵抗、交差容量など) を、より早く充電することができる。従って、設定動作を素早く完了させることができる。なお、図 4 0 では、図 2 3 (A) の一部を変更した回路について示した。しかし、図 2 3 のほ

かの回路や図 24、図 37、図 39、図 38などの回路にも、容易に適用できる。

なお、図 23、図 24、図 37に示した電流源回路では、電流は画素から信号線駆動回路の方向へ流れる。しかし電流は画素から信号線駆動回路の方向へ流れるだけでなく、信号線駆動回路から画素の方向へ流れる場合もある。電流がどちらの方向に流れるかは、画素の構成に依存する。電流が信号線駆動回路から画素の方向へ流れる場合には、図 23において、 $V_{ss}$ （低電位電源）を  $V_{dd}$ （高電位電源）に変更して、トランジスタ 102、105b、106、122、126をpチャネル型とすればよい。また図 24において、 $V_{ss}$ を $V_{dd}$ に変更して、トランジスタ 102、105b、106をnチャネル型とすればよい。

- 10    5    10    15    20    25
- なお、上記の全ての電流源回路において、配置されている容量素子は、トランジスタのゲート容量などを代用することで、配置しなくてもよい。

図 23（A）～（E）、図 38（A）（B）の回路は、設定動作時には図 39（A1）～（D1）のように接続され、入力動作時には図 39（A2）～（D2）のように接続されるように、配線やスイッチを配置するとよい。スイッチの個数や配線の本数は特に限定されない。

以下には、図 23（A）及び図 24（A）、図 23（C）～（E）及び図 24（B）～（D）の電流源回路の動作について詳しく説明する。まず、図 23（A）及び図 24（A）の電流源回路の動作について図 19を用いて説明する。

- 図 19（A）～（C）は、電流が回路素子間を流れていく経路を模式的に示している。図 19（D）は信号電流を電流源回路に書き込むときの各経路を流れる電流と時間の関係、図 19（E）は信号電流を電流源回路に書き込むときに容量素子 16に蓄積される電圧、つまりトランジスタ 15のゲート・ソース間電圧と時間の関係を示している。図 19（A）～（C）に示す回路図において、11はリファレンス用定電流源（以下定電流源と表記）、スイッチ 12～14はスイッチング機能を有する素子、15はトランジスタ、16は容量素子、17は画素である。そして、スイッチ 14、トランジスタ 15、容量素子 16を有する回路が電流源回路 20に

相当する。

トランジスタ 15 のソース領域は  $V_{ss}$ 、ドレイン領域は定電流源 11 に接続される。容量素子 16 の一方の電極は  $V_{ss}$  (トランジスタ 15 のソース)、他方の電極はスイッチ 14 (トランジスタ 15 のゲート) に接続される。容量素子 16 は、トランジスタ 15 のゲート・ソース間電圧を保持する役目を担う。

画素 17 は、発光素子やトランジスタなどにより構成される。発光素子は、陽極及び陰極、並びに前記陽極と前記陰極との間に挟まれた発光層を有する。発光層は、公知の発光材料を用いて作成され、また、発光層は単層構造と積層構造の二つの構造があるが、どちらの構造を用いてもよい。さらに発光層におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光 (蛍光) と、三重項励起状態から基底状態に戻る際の発光 (リン光) とがあるが、一方又は両方の発光を用いてもよい。また発光層は、有機材料や無機材料などの公知の材料から構成される。

実際には、電流源回路 20 は信号線駆動回路に設けられており、該信号線駆動回路に設けられた電流源回路 20 から、信号線や画素が有する回路素子等を介して発光素子に信号電流に応じた電流が供給される。しかし図 19 では、定電流源 11、電流源回路 20 及び画素 17 の関係を簡単に説明する関係上、詳しい構成の図示は省略する。

まず電流源回路 20 が信号電流  $I_{data}$  を保持する動作 (設定動作) について図 19 (A) (B) を用いて説明する。図 19 (A) において、スイッチ 12、14 はオン、スイッチ 13 はオフにする。定電流源 11 からは信号電流が供給され、該定電流源 11 から電流源回路 20 の方向に電流が流れていく。このとき、図 19 (A) に示すように、電流源回路 20 内では電流の経路は  $I_1$  と  $I_2$  に分かれる。この関係を図 19 (D) に示しているが、信号電流  $I_{data} = I_1 + I_2$  の関係であることは言うまでもない。

定電流源 11 から電流が流れ始めた瞬間には、容量素子 16 に電荷は保持されていないため、トランジスタ 15 はオフしている。よって、 $I_2 = 0$  となり、 $I_{data}$

=  $I_1$  となる。

そして、徐々に容量素子 16 に電荷が蓄積されて、容量素子 16 の両電極間に電位差が生じ始める (図 19 (E))。両電極間の電位差が  $V_{th}$  になると (図 19 (E) A 点)、トランジスタ 15 がオンして、 $I_2 > 0$  となる。上述したように  $I_{data} = I_1 + I_2$  であるので、 $I_1$  は次第に減少するが、依然電流は流れている。容量素子 16 には、さらに電荷の蓄積が行われる。

容量素子 16 の両電極間の電位差は、トランジスタ 15 のゲート・ソース間電圧となる。そのため、トランジスタ 15 のゲート・ソース間電圧が所望の電圧、つまりトランジスタ 15 が  $I_{data}$  の電流を流すことが出来るだけのゲート・ソース間電圧になるまで、容量素子 16 における電荷の蓄積は続けられる。電荷の蓄積が終了すると (図 19 (E) B 点)、電流  $I_2$  は流れなくなり、さらにトランジスタ 15 は完全にオンしているので、 $I_{data} = I_2$  となる (図 19 (B))。

次いで、画素に信号電流  $I_{data}$  を入力する動作 (入力動作) について図 19 (C) を用いて説明する。図 19 (C) において、スイッチ 13 はオン、スイッチ 12、14 はオフにする。容量素子 16 には所定の電荷が保持されているため、トランジスタ 15 はオンしており、信号電流に応じた電流が、スイッチ 13 及びトランジスタ 15 を介して  $V_{ss}$  の方向に流れ、画素に所定の信号電流が供給される。このとき、トランジスタ 15 を飽和領域で動作するようにすると、該トランジスタ 15 のソース・ドレイン間電圧が変化したとしても、発光素子には一定の電流が供給される。

図 19 に示す電流源回路 20 では、図 19 (A) ~ 図 19 (C) に示すように、まず電流源回路 20 に対して信号電流  $I_{data}$  の書き込みを終了させる動作 (設定動作、図 19 (A)、(B) に相当) と、画素に信号電流  $I_{data}$  を入力する動作 (入力動作、図 19 (C) に相当) に分けられる。そして画素では入力された信号電流  $I_{data}$  に基づき、発光素子への電流の供給が行われる。

図 19 に示す電流源回路 20 では、設定動作と入力動作を同時に行うことは出来ない。よって、設定動作と入力動作を同時に行う必要がある場合には、画素が複数

個接続されている信号線であって、更に画素部に複数本配置されている信号線のそれぞれに、少なくとも2つの電流源回路を設けることが好ましい。但し、信号電流  $I_{data}$  を画素に入力していない期間内に、設定動作を行うことが可能であるならば、信号線ごとに（各列に）1つの電流源回路を設けるだけでもよい。

- 5     また図19（A）～（C）のトランジスタ15はnチャネル型であったが、勿論トランジスタ15をpチャネル型としてもよい。トランジスタ15がpチャネル型の場合の回路図を図19（F）に示す。図19（F）において、31はリファレンス用定電流源、スイッチ32～34はスイッチング機能を有する素子、35はトランジスタ、36は容量素子、37は画素である。スイッチ34、トランジスタ35、
- 10    容量素子36を有する回路が電流源回路24に相当する。

- トランジスタ35はpチャネル型であり、トランジスタ35のソース領域及びドレイン領域は、一方はVddに接続され、他方は定電流源31に接続されている。そして容量素子36の一方の電極はVddに接続され、他方の電極はスイッチ36に接続されている。容量素子36は、トランジスタ35のゲート・ソース間電圧を保持
- 15    する役目を担う。

図19（F）に示す電流源回路24の動作は、電流の流れる方向が異なる以外は、上記の電流源回路20と同じ動作を行うのでここでは説明を省略する。なお電流の流れる方向を変更せずに、トランジスタ15の極性を変更した電流源回路を設計する場合には、図23に示す回路図を参考にすればよい。

- 20    なお図41において、電流の流れる方向は図19（F）と同じで、トランジスタ35をnチャネル型にしている。容量素子36は、トランジスタ35のゲート・ソース間に接続する。トランジスタ35のソースの電位は、設定動作時と入力動作時で異なる。しかし、トランジスタ35のソースの電位が変化しても、ゲート・ソース間電圧は保持されているため、正常に動作する。

- 25    続いて、図23（C）～（E）及び図24（B）～（D）の電流源回路の動作について図20、21を用いて説明する。図20（A）～（C）は、電流が回路素子

間を流れていく経路を模式的に示している。図 20 (D) は信号電流を電流源回路に書き込むときの各経路を流れる電流と時間の関係を示しており、図 20 (E) は信号電流を電流源回路に書き込むときに容量素子 46 に蓄積される電圧、つまりトランジスタ 43、44 のゲート・ソース間電圧と時間の関係を示している。また図 20 (A) ~ (C) に示す回路図において、41 はリファレンス用定電流源（以下定電流源 41 と表記）、スイッチ 42 はスイッチング機能を有する素子、43、44 はトランジスタ、46 は容量素子、47 は画素である。スイッチ 42、トランジスタ 43、44、容量素子 46 を有する回路が電流源回路 25 に相当する。

n チャネル型のトランジスタ 43 のソース領域は  $V_{ss}$  に接続され、ドレイン領域は定電流源 41 に接続されている。n チャネル型のトランジスタ 44 のソース領域は  $V_{ss}$  に接続され、ドレイン領域は画素 47 の端子 48 に接続されている。そして容量素子 46 の一方の電極は  $V_{ss}$  (トランジスタ 43 及び 44 のソース) に接続され、他方の電極はトランジスタ 43 及びトランジスタ 44 のゲート電極に接続されている。容量素子 46 は、トランジスタ 43 及びトランジスタ 44 のゲート・ソース間電圧を保持する役目を担う。

なお実際には、電流源回路 25 は信号線駆動回路に設けられており、該信号線駆動回路に設けられた電流源回路 25 から、信号線や画素が有する回路素子等を介して発光素子に信号電流に応じた電流が流れる。しかし図 20 では、定電流源 41、電流源回路 25 及び画素 47 の関係を簡単に説明する関係上、詳しい構成の図示は省略する。

図 20 の電流源回路 25 では、トランジスタ 43 及びトランジスタ 44 のサイズが重要となる。そこでトランジスタ 43 及びトランジスタ 44 のサイズが、同じ場合と異なる場合について、符号を分けて説明する。図 20 (A) ~ 図 20 (C) において、トランジスタ 43 及びトランジスタ 44 のサイズが同じ場合には、信号電流  $I_{data}$  を用いて説明する。そしてトランジスタ 43 及びトランジスタ 44 のサイズが異なる場合には、信号電流  $I_{data1}$  と信号電流  $I_{data2}$  を用いて説明する。な



おトランジスタ 4 3 及びトランジスタ 4 4 のサイズは、それぞれのトランジスタの  $W$  (ゲート幅) /  $L$  (ゲート長) の値を用いて判断される。

最初に、トランジスタ 4 3 及びトランジスタ 4 4 のサイズが同じ場合について説明する。そしてまず信号電流  $I_{data}$  を電流源回路 2 0 に保持する動作を図 2 0 (A)、  
5 (B) を用いて説明する。図 2 0 (A) において、スイッチ 4 2 がオンになると、リファレンス用定電流源 4 1 で信号電流  $I_{data}$  が設定され、定電流源 4 1 から電流源回路 2 5 の方向に電流が流れていく。このとき、リファレンス用定電流源 4 1 からは信号電流  $I_{data}$  が流れているので、図 2 0 (A) に示すように電流源回路 2 5 内では、電流の経路は  $I_1$  と  $I_2$  に分かれて流れる。このときの関係を図 2 0 (D)   
10 に示しているが、信号電流  $I_{data} = I_1 + I_2$  の関係であることは言うまでもない。

定電流源 4 1 から電流が流れ始めた瞬間には、容量素子 4 6 に電荷は保持されていないため、トランジスタ 4 3 及び 4 4 はオフしている。よって、 $I_2 = 0$  となり、 $I_{data} = I_1$  となる。

そして、徐々に容量素子 4 6 に電荷が蓄積されて、容量素子 4 6 の両電極間に電  
15 位差が生じ始める (図 2 0 (E))。両電極間の電位差が  $V_{th}$  になると (図 2 0 (E) A 点)、トランジスタ 4 3 及び 4 4 がオンして、 $I_2 > 0$  となる。上述したように  $I_{data} = I_1 + I_2$  であるので、 $I_1$  は次第に減少するが、依然電流は流れている。容量素子 4 6 には、電荷の蓄積がさらに行われる。

容量素子 4 6 の両電極間の電位差は、トランジスタ 4 3 及び 4 4 のゲート・ソー  
20 ス間電圧となる。そのため、トランジスタ 4 3 及び 4 4 のゲート・ソース間電圧が所望の電圧、つまりトランジスタ 4 4 が  $I_{data}$  の電流を流すことが出来るだけのゲート・ソース間電圧になるまで、容量素子 4 6 における電荷の蓄積は続けられる。そして電荷の蓄積が終了すると (図 2 0 (E) B 点)、電流  $I_2$  は流れなくなり、さらにトランジスタ 4 3 及び 4 4 は完全にオンしているので  $I_{data} = I_2$  となる  
25 (図 2 0 (B))。

次いで、画素に信号電流  $I_{data}$  を入力する動作を図 2 0 (C) を用いて説明する。

まずスイッチ42をオフにする。容量素子46には所定の電荷が保持されているため、トランジスタ43及びトランジスタ44はオンしており、画素47から信号電流  $I_{data}$  に等しい電流が流れる。これにより、画素に信号電流  $I_{data}$  が入力される。このとき、トランジスタ44を飽和領域において動作するようにしておけば、

- 5 トランジスタ44のソース・ドレイン間電圧が変化したとしても、画素において流れる電流は変わりなく流れることができる。

なお図20のようなカレントミラー回路の場合には、スイッチ42をオフにしないで、定電流源41から供給される電流を用いて画素47に電流を流すことも出来る。つまり電流源回路25に対して信号を設定する動作を設定動作と、信号を画  
10 素に inputs する動作（入力動作）を同時に行うことが出来る。

次いで、トランジスタ43及びトランジスタ44のサイズが異なる場合について説明する。電流源回路25における動作は、上述した動作と同じであるのでここでは説明を省略する。トランジスタ43及びトランジスタ44のサイズが異なると、必然的にリファレンス用定電流源41において設定される信号電流  $I_{data1}$  と画素  
15 47に流れる信号電流  $I_{data2}$  とは異なる。両者の相違点は、トランジスタ43及びトランジスタ44の  $W/L$ （ゲート幅）/ $L$ （ゲート長）の値の相違点に依存する。

通常はトランジスタ43の  $W/L$  値を、トランジスタ44の  $W/L$  値よりも大きくすることが望ましい。これは、トランジスタ43の  $W/L$  値を大きくすれば、信号電流  $I_{data1}$  を大きくできるからである。この場合、信号電流  $I_{data1}$  で電流源回路  
20 を設定するとき、負荷（交差容量、配線抵抗）を充電できるため、素早く設定動作を行うことが可能となる。

図20（A）～（C）に示した電流源回路25のトランジスタ43及び44はnチャネル型であったが、勿論電流源回路25のトランジスタ43及び44をpチャネル型としてもよい。ここで、トランジスタ43及び44がpチャネル型の場合の  
25 回路図を図21に示す。

図21において、41は定電流源、スイッチ42はスイッチング機能を有する半

導体素子、43、44はトランジスタ（pチャネル型）、46は容量素子、47は画素である。本実施の形態では、スイッチ42と、トランジスタ43、44と、容量素子46とが電流源回路26に相当する電気回路とする。

pチャネル型のトランジスタ43のソース領域はVddに接続され、ドレイン領域5は定電流源41に接続されている。pチャネル型のトランジスタ44のソース領域はVddに接続され、ドレイン領域は画素47の端子48に接続されている。そして容量素子46の一方の電極はVdd（ソース）に接続され、他方の電極はトランジスタ43及びトランジスタ44のゲート電極に接続されている。容量素子46は、トランジスタ43及びトランジスタ44のゲート・ソース間電圧を保持する役目を担う。

図21に示す電流源回路24の動作は、電流の流れる方向が異なる以外は、図20（A）～図20（C）と同じ動作を行うのでここでは説明を省略する。なお電流の流れる方向を変更せずに、トランジスタ43、トランジスタ44の極性を変えた電流源回路を設計する場合には、図23に示す回路図を参考にすればよい。

15 また、電流の流れる方向を変えずに、トランジスタの極性を変えることも可能である。それは、図36の動作に準ずるので、ここでは説明を省略する。

以上をまとめると、図19の電流源回路では、電流源で設定される信号電流I<sub>data</sub>と同じ大きさの電流が画素に流れる。言い換えると、定電流源において設定された信号電流I<sub>data</sub>と、画素に流れる電流は値が同じであり、電流源回路に設けら  
20 れたトランジスタの特性バラツキの影響は受けない。

また、図19の電流源回路及び図6（B）の電流源回路では、設定動作を行う期間においては、電流源回路から画素に信号電流I<sub>data</sub>を出力することは出来ない。そのため、1本の信号線ごとに2つの電流源回路を設けて、一方の電流源回路に信号を設定する動作（設定動作）を行い、他方の電流源回路を用いて画素にI<sub>data</sub>を  
25 入力する動作（入力動作）を行うことが好ましい。

ただし、設定動作と入力動作を同時に行わない場合は、各列に1つの電流源回路

を設けるだけでもよい。なお、図 37 (A)、図 38 (A) の電流源回路と図 19 の電流源回路とは、接続や電流が流れる経路が異なること以外は、同様の構成である。図 40 (A) の電流源回路と図 19 の電流源回路は、定電流源から供給される電流と、電流源回路から流れる電流の大きさが異なること以外は、同様の構成である。また、図 23 (B) 及び図 38 (B) の電流源回路と図 19 の電流源回路は、定電流源から供給される電流と、電流源回路から流れる電流の大きさが異なること以外は、同様の構成である。つまり、図 40 (A) の構成では、トランジスタのゲート幅  $W$  が設定動作時と入力動作時で異なり、図 23 (B) 及び図 38 (B) の構成では、トランジスタのゲート長  $L$  が設定動作時と入力動作時とで異なるだけで、それ以外は図 19 の電流源回路と同様の構成である。

一方、図 20、21 の電流源回路では、定電流源において設定された信号電流  $I_{data}$  と、画素に流れる電流の値は、電流源回路に設けられた 2 つのトランジスタのサイズに依存する。つまり電流源回路に設けられた 2 つのトランジスタのサイズ ( $W$  (ゲート幅) /  $L$  (ゲート長)) を任意に設計して、定電流源において設定された信号電流  $I_{data}$  と、画素に流れる電流を任意に変えることが出来る。但し、2 つのトランジスタのしきい値や移動度などの特性にバラツキが生じている場合には、正確な信号電流  $I_{data}$  を画素に出力することが難しい。

また、図 20、21 の電流源回路では、設定動作を行う期間に画素に信号を入力することは可能である。つまり、信号を設定する動作を設定動作と、信号を画素に入力する動作 (入力動作) を同時に行うことが出来る。そのため、図 19 の電流源回路のように、1 本の信号線に 2 つの電流源回路を設ける必要はない。

上記構成を有する本発明は、TFT の特性バラツキの影響を抑制して、所望の電流を外部に供給することができる。

#### (実施の形態 2)

図 19 (および図 40 (A)、図 23 (B)、図 38 (B) など) に示した電流源回路では、1 本の信号線ごと (各列) に 2 つの電流源回路を設けて、一方の電流源

回路で設定動作を行い、他方の電流源回路で入力動作（画素への電流の出力）を行うように設定することが好ましいことは上述した。これは、設定動作と入力動作とを同時に行うことが出来ないことによる。本実施の形態では、図2に示した第1電流源回路421又は第2電流源回路422の構成とその動作について図25を用5

いて説明する。

なお信号線駆動回路は、電流源回路420、シフトレジスタ及びラッチ回路などを有する。

本発明では端子aから入力される設定信号とは、シフトレジスタからのサンプリングパルスを示す。つまり図2における設定信号とは、シフトレジスタからのサンプリングパルスに相当する。そして本発明では、シフトレジスタからのサンプリングパルスのタイミングに合わせて、電流源回路420の設定を行う。10

しかし、電流源回路の構成や駆動方式などによっては、サンプリングパルスは直接入力されず、設定制御線（図2には図示せず）に接続された論理演算子の出力端子から供給される信号が入力される。前記論理演算子の2つの入力端子は、一方は15 サンプリングパルス、他方は設定制御線から供給される信号が入力される。

電流源回路420は、端子aを介して入力される設定信号により制御され、端子bから電流（リファレンス用電流）が供給され、該電流（リファレンス用電流）に比例した電流を端子cより出力する。

図25（A）において、スイッチ134～スイッチ139と、トランジスタ132（nチャネル型）と、該トランジスタ132のゲート・ソース間電圧VGSを保持する容量素子133とを有する回路が第1電流源回路421又は第2電流源回路422に相当する。20

第1電流源回路421又は第2電流源回路422では、端子aを介して入力される信号によってスイッチ134、スイッチ136がオンとなる。また端子dを介して25 制御線から入力される信号によってスイッチ135、スイッチ137がオンとなる。そうすると、電流線に接続されたリファレンス用定電流源109から端子bを

介して電流（リファレンス用電流）が供給され、容量素子133に所定の電荷が保持される。そして定電流源109から流される電流（リファレンス用電流）がトランジスタ132のドレイン電流と等しくなるまで、容量素子133に電荷が保持される。

- 5     次いで、端子a、dを介して入力される信号により、スイッチ134～スイッチ137をオフにする。そうすると、容量素子133に所定の電荷が保持されているため、トランジスタ132は、信号電流 $I_{data}$ に応じた大きさの電流を流す能力をもつことになる。そして仮にスイッチ101（信号電流制御スイッチ）、スイッチ138、スイッチ139が導通状態になると、端子cを介して信号線に接続された
- 10    画素に電流が流される。このとき、トランジスタ132のゲート電圧は、容量素子133により所定のゲート電圧に維持されているため、トランジスタ132のドレイン領域には信号電流 $I_{data}$ に応じたドレイン電流が流れる。そのため、信号線駆動回路を構成するトランジスタの特性バラツキに左右されずに、画素において流れる電流の大きさを制御できる。
- 15    なお、スイッチ101（信号電流制御スイッチ）が配置されていない場合は、スイッチ138、139が導通状態になると、端子cを介して信号線に接続された画素に電流が流れる。

図25（B）において、スイッチ144～スイッチ147と、トランジスタ142（nチャネル型）と、該トランジスタ142のゲート・ソース間電圧 $V_{GS}$ を保持する容量素子143と、とトランジスタ148（nチャネル型）とを有する回路が第1電流源回路421又は第2電流源回路422に相当する。

- 第1電流源回路421又は第2電流源回路422では、端子aを介して入力される信号によってスイッチ144、スイッチ146がオンとなる。また端子dを介して制御線から入力される信号によってスイッチ145、スイッチ147がオンとなる。そうすると、電流線に接続された定電流源109から、端子bを介して電流（リファレンス用電流）が供給され、容量素子143に電荷が保持される。そして定電
- 25

流源109から流される電流（リファレンス用電流）がトランジスタ142のドレイン電流と等しくなるまで、容量素子143に電荷が保持される。なおスイッチ144、スイッチ145がオンとなると、トランジスタ148のゲート・ソース間電圧VGSが0Vとなるので、トランジスタ148は自動的にオフになる。

- 5 次いで、端子a、dを介して入力される信号により、スイッチ144～147がオフになる。そうすると、容量素子143には所定の電荷が保持されているため、トランジスタ142は信号電流に応じた大きさの電流を流す能力を有する。そして仮にスイッチ101（信号電流制御スイッチ）が導通状態になると、端子cを介して信号線に接続された画素に電流が供給される。これは、トランジスタ142のゲート電圧は容量素子143により所定のゲート電圧に設定されており、該トランジスタ142のドレイン領域には信号電流I<sub>data</sub>に応じたドレイン電流が流れる。そのため、信号線駆動回路を構成するトランジスタの特性バラツキに左右されずに、画素において流れる電流の大きさを制御できる。
- 10

- なおスイッチ144、145がオフすると、トランジスタ142のゲートとソースは同電位ではなくなる。その結果、容量素子143に保持された電荷がトランジスタ148の方にも分配され、トランジスタ148が自動的にオンになる。ここで、トランジスタ142、148は直列に接続され、且つ互いのゲートが接続されている。従って、トランジスタ142、148はマルチゲートのトランジスタとして動作する。つまり、設定動作時と入力動作時とでは、トランジスタのゲート長Lが異なることになる。従って、設定動作時に端子bから供給される電流値は、入力動作時に端子cから供給される電流値よりも大きくすることが出来る。そのため、端子bとリファレンス用定電流源との間に配置された様々な負荷（配線抵抗、交差容量など）を、より早く充電することができる。従って、設定動作を素早く完了させることができる。なお、スイッチ101（信号電流制御スイッチ）が配置されていない場合は、スイッチ144、145がオフになると、端子cを介して信号線に接続された画素に電流が流れる。
- 15
- 20
- 25

ここで、図25(A)は、図23(A)の構成に端子dを追加した構成に相当する。図25(B)は、図23(B)の構成に端子dを追加した構成に相当する。このように、図23(A)(B)の構成にスイッチを直列に追加して修正することにより、端子dを追加した図25(A)(B)の構成に変形している。なお、第1電  
5 流源回路421又は第2電流源回路422には、2つのスイッチを直列に配置することで、図23、図24、図38、図37、図40などに示した電流源回路の構成を任意に用いることができる。

なお図2では、1本の信号線ごとに第1電流源回路421及び第2電流源回路422の2つの電流源回路を有する電流源回路420を設けた構成を示したが、本発  
10 明はこれに限定されない。1本の信号線ごとに電流源回路の個数は特に限定されず、任意に設定することができる。複数の電流源回路は、各々に対応した定電流源を設けるように設定して、該定電流源から電流源回路に信号電流を設定するようにしてもよい。例えば、1本の信号線ごとに3つの電流源回路420を設けてもよい。そして各電流源回路420には異なるリファレンス用定電流源109から信号電流  
15 を設定するようにしてもよい。例えば、1つの電流源回路420には、1ビット用のリファレンス用定電流源を用いて信号電流を設定し、1つの電流源回路420には、2ビット用のリファレンス用定電流源を用いて信号電流を設定し、1つの電流源回路420には、3ビット用のリファレンス用定電流源を用いて信号電流を設定するようにしてもよい。そうすると、3ビット表示を行うことが出来る。

20 上記構成を有する本発明は、TFTの特性バラツキの影響を抑制して、所望の電流を外部に供給することができる。

本実施の形態は、実施の形態1と任意に組み合わせることが可能である。

(実施の形態3)

本実施の形態では、本発明の信号線駆動回路が具備される発光装置の構成につい  
25 て図15を用いて説明する。

図15(A)において、発光装置は基板401上に、複数の画素がマトリクス状



に配置された画素部402を有し、画素部402の周辺には、信号線駆動回路403、第1及び第2の走査線駆動回路404、405を有する。図15(A)においては、信号線駆動回路403と、2組の走査線駆動回路404、405を有しているが、本発明はこれに限定されない。駆動回路の個数は、画素の構成に応じて任意に設計することができる。信号線駆動回路403と、第1及び第2の走査線駆動回路404、405には、FPC406を介して外部より信号が供給される。

第1及び第2の走査線駆動回路404、405の構成とその動作について図15(B)を用いて説明する。第1及び第2の走査線駆動回路404、405は、シフトレジスタ407、バッファ408を有する。シフトレジスタ407は、クロック信号(G-CLK)、スタートパルス(S-SP)及びクロック反転信号(G-CLKb)に従って、順次サンプリングパルスを出力する。その後バッファ408で増幅されたサンプリングパルスは、走査線に入力されて1行ずつ選択状態にしていく。そして選択された走査線によって制御される画素には、順に信号線から信号が書き込まれる。

なお、シフトレジスタ407とバッファ408の間にレベルシフト回路を配置した構成にしてもよい。レベルシフト回路を配置することによって、電圧振幅を大きくすることが出来る。

本実施の形態は、実施の形態1、2と任意に組み合わせることが可能である。

(実施の形態4)

本実施の形態では、図15(A)に示した信号線駆動回路403の詳細な構成とその動作について説明する。本実施の形態では、1ビットのデジタル階調表示を行う場合に用いる信号線駆動回路403について説明する。

まず図1に対応した場合について述べる。またここでは線順次駆動の場合について述べる。

図6(A)には、1ビットのデジタル階調表示を行う場合における信号線駆動回路403の概略図を示す。信号線駆動回路403は、シフトレジスタ411、第1のラッチ回路412、第2のラッチ回路413、定電流回路414を有する。

動作を簡単に説明すると、シフトレジスタ411は、フリップフロップ回路 (FF) 等を複数列用いて構成され、クロック信号 (S-CLK)、スタートパルス (S-SP)、クロック反転信号 (S-CLKb) のタイミングに従って、順次サンプリングパルスを出力する。

- 5     シフトレジスタ411より出力されたサンプリングパルスは、第1のラッチ回路412に入力される。第1のラッチ回路412には、デジタルビデオ信号が入力されており、サンプリングパルスが入力されるタイミングに従って各列でビデオ信号を保持する。

- 第1のラッチ回路412において、最終列までビデオ信号の保持が完了すると、  
10   水平帰線期間中に、第2のラッチ回路413にラッチパルスが入力され、第1のラッチ回路412に保持されていたビデオ信号は、一斉に第2のラッチ回路413に転送される。すると、第2のラッチ回路413に保持されたビデオ信号は、1行分が同時に定電流回路414に供給される。

- 第2のラッチ回路413に保持されたビデオ信号が定電流回路414に供給さ  
15   れている間、シフトレジスタ411においては再びサンプリングパルスが出力される。以後この動作を繰り返し、1フレーム分のビデオ信号の処理を行う。なお定電流回路414は、デジタル信号をアナログ信号に変換する役割を有する場合もある。

そして本発明では、シフトレジスタ411より出力されたサンプリングパルスは、定電流回路414に入力される。

- 20     また定電流回路414は、電流源回路420が複数設けられる。図6(B)には、  
i 列目から (i+2) 列目の3本の信号線にかかる信号線駆動回路の概略を示す。

- 電流源回路420は、端子aを介して入力される信号により制御される。また、  
端子bを介して、電流線に接続されたりファレンス用定電流源109から電流が供給される。電流源回路420と信号線S<sub>n</sub>に接続された画素との間にはスイッチ1  
25   01 (信号電流制御スイッチ) が設けられ、前記スイッチ101 (信号電流制御スイッチ) はビデオ信号により制御される。ビデオ信号が明信号の場合、電流源回路

420から画素に電流が供給される。反対にビデオ信号が暗信号の場合、スイッチ101（信号電流制御スイッチ）が制御されて画素に電流は供給されない。つまり電流源回路420は、所定の電流を流す能力を有し、該電流を画素に供給するかどうかはスイッチ101（信号電流制御スイッチ）により制御される。

- 5 本発明では端子aを介して電流源回路420に入力される信号とは、シフトレジスタから供給されるサンプリングパルスに相当する。電流源回路の構成や駆動方式などによっては、サンプリングパルスは直接入力されず、設定制御線（図6には図示せず）に接続された論理演算子の出力端子から供給される信号が入力される。

- また前記論理演算子の2つの入力端子は、一方はサンプリングパルス、他方は設定制御線から供給される信号が入力される。つまり電流源回路420の設定は、サンプリングパルス、又は設定制御線に接続された論理演算子の出力端子から供給される信号のタイミングに従って行われる。
- 10

なお、設定制御線と論理演算子を有する場合の信号線駆動回路を図42に示す。図42に示す構成において、論理演算子の代わりに、スイッチなどを配置してもよい。

- 15 い。

また電流源回路420の構成は、図23、図24、図38、図37、図40などに示した電流源回路420の構成を任意に用いることが出来る。

- さらに電流源回路420には、1つの構成を採用するだけでなく、複数を採用してもよい。なお電流源回路420に、図23（A）、24（A）に示した構成を用いる場合、入力動作を行っている期間には、設定動作を行うことが出来ない。従って、入力動作を行っていない期間に設定動作を行う必要がある。但し、1フレーム中には、入力動作を行っていない期間が点在する場合があるため、そのような場合には各列を順に選択するのではなく、任意の列を選択できるようにすることが好ましい。従って、シフトレジスタとして、ランダムに選択することができるデコーダ回路などを用いることが望ましい。一例として図43には、デコーダ回路を示す。
- 20
- 25 図43に示したデコーダ回路を用いると、電流源回路の設定動作も、1列目から最

終列目まで順に行うのではなく、ランダムに行うことができるようになる。そうすると、設定動作を行う時間の長さを、自由に長くとれるようになる。

上記のデコーダ回路以外に、図44(A)に示すような回路を用いてもよい。図44(A)では、シフトレジスタから出力されるパルスと、出力制御線(第1～第3出力制御線)から供給される信号が論理演算子に入力される。図44(B)に示すように、各出力制御線のパルスを制御することにより、1列目から最終列目まで順にサンプリングパルスを出力することができる。つまり、従来と同様な波形を出力することができる。

また、従来と異なる動作をさせたいときには、図45(A)に示すように、第1出力制御線を選択状態にした状態で、第2及び第3出力制御線を非選択状態にする。すると、1列目のサンプリングパルスが、従来よりも長い期間で出力される。従って、1列目にサンプリングパルスが出力された後には、4列目のサンプリングパルスが出力される。同様に、図45(B)のように、第2出力制御線を選択状態にした状態で、第1及び第3出力制御線を非選択状態にする。すると、2列目のサンプリングパルスが、従来よりも長い期間で出力される。そして、2列目にサンプリングパルスが出力された後には、5列目のサンプリングパルスが出力される。上記構成では、1列目から最終列目まで完全にランダムに選択を行うわけではないが、ある特定の列のみを通常よりも長い期間にわたって選択することが可能となる。従って、電流源回路の設定動作をより自由に行うことができる。

さらに、図46に示すような回路を用いてもよい。図46では、制御1と制御2により、その動作が制御される。制御1と制御2を選択状態にすると、第1シフトレジスタと第2シフトレジスタの間に配置されているスイッチが導通状態となり、第2シフトレジスタと第3シフトレジスタの間に配置されているスイッチが導通状態となる。つまり、第1シフトレジスタと第2シフトレジスタと第3シフトレジスタとが、つながっている状態となる。そのような状態で、スタートパルス信号がSPに入力されると、第1シフトレジスタからのパルスが第2シフトレジスタにシ

フトし、第2シフトレジスタからのパルスが第3シフトレジスタにシフトしていく。つまり、従来と同様な波形を出力することができる。そして、従来とは別の動作をさせたいときには、制御1を非選択状態にする。すると、第1シフトレジスタと第2シフトレジスタの間に配置されているスイッチが非導通状態となり、第2シフト  
5 レジスタとSP1の間に配置されているスイッチが導通状態となる。そして、スタートパルス信号をSPではなく、SP1に入力する。すると、第2シフトレジスタからサンプリングパルスを出力する。つまり、1列目から最終列目のうち、途中の列から、サンプリングパルスを出力し始める。また、さらに別の動作をさせたいときには、制御2を非選択状態にする。すると、第2シフトレジスタと第3シフトレジ  
10 タの間に配置されているスイッチが非導通状態となり、第3シフトレジスタとSP2の間に配置されているスイッチが導通状態となる。そして、スタートパルス信号をSP2に入力する。すると、第3シフトレジスタからサンプリングパルスを出力し始める。このように、図46の構成では、1列目から最終列目まで完全にランダムに選択するわけではないが、ある特定の範囲の列のみを、選択することが可能とな  
15 る。このとき、クロック信号の周波数を低くすることにより、従来よりも長い期間にわたって選択することが可能となる。従って、電流源回路の設定動作をより自由に行うことができる。

このように、ランダムに、もしくは、ある程度自由に、列もしくは電流源回路を選択し、電流源回路の設定動作を行うことができると、様々な利点が生じる。たとえば、設定動作を行うことができる期間が、1フレーム中に点在している場合は、  
20 任意の列を選択できると、自由度が上がり、設定動作の期間を長くとることができる。そのほかの利点としては、電流源回路420の中にある容量素子（例えば、図23（A）では容量素子103、図23（B）では容量素子123、図23（B）では容量素子107などに相当する）における電荷の漏れの影響を目立たなくさせ  
25 ることができるようになる。

電流源回路420には、容量素子が配置されている。ただし、容量素子をトラン

ジスタのゲート容量などで代用してもよい。その容量素子には、電流源回路の設定動作により、電荷が蓄積される。理想的には、電流源回路の設定動作は、電源を入力した時に1回だけ行えばよい。つまり、信号線駆動回路を動作させるとき、その動作を行う最初の期間に、1回だけ行えばよい。なぜなら、容量素子に蓄積される

- 5 電荷量は、動作状態や時間などによって変化させる必要がなく、また、変化しないからである。しかしながら、現実的には、容量素子には、様々なノイズが入ったり、容量素子と接続されているトランジスタのもれ電流が流れたりする。その結果、容量素子に蓄積される電荷量が、時間とともに変化してしまう場合がある。電荷量が増加すると、電流源回路から出力される電流、すなわち、画素に入力される電流も、
- 10 変化してしまう。その結果、画素の輝度も変化してしまう。そこで、容量素子に蓄積された電荷を変動させないようにするため、電流源回路の設定動作を、ある周期で定期的に行い、電荷をリフレッシュさせ、変化した電荷を再び元に戻し、正しい量の電荷を保存しなおす必要が生じる。

- 仮に、容量素子の電荷の変動量が大きい場合、電流源回路の設定動作を行って該
- 15 電荷をリフレッシュさせ、変化した電荷を再び元に戻し、正しい量の電荷を保存しなおすようにすると、それにともなって、電流源回路が出力する電流量の変動も大きくなる。そのため、1列目から順に設定動作を行うと、電流源回路が出力する電流量の変動が、目で確認できるほどの表示妨害が生ずる場合がある。つまり、1列目から順に生ずる画素の輝度の変化が目で確認できるほどの表示妨害が生ずる場合がある。この場合、1列目から順に設定動作を行うのではなく、ランダムに設定動作を行えば、電流源回路が出力する電流量の変動を目立たなくさせることができる。このように、複数の配線をランダムに選択することにより、様々な利点が生じる。
- 20

- 一方、電流源回路420に、図23(C)～(E)に示した構成を用いる場合、
- 25 設定動作と入力動作を同時に行うことが出来る。しかし、設定動作と入力動作を同時に行うことが出来る電流源回路を用いる場合においても、電流源回路が出力する

電流量の変動を、目立たせなくさせたり、設定動作を行う期間を長くとったりすることが可能となるため、ランダムに選択できることは大変有効である。

また図6（B）では、一列ずつ設定動作を行っているが、これに限定されない。図47に示すように、同時に複数列で設定動作を行ってもよい。ここで、同時に複  
5 数列で設定動作を行うことを多相化するとよぶ。なお図47には、リファレンス用定電流源109が2個配置されているが、この2個のリファレンス用定電流源に対しても別に配置したリファレンス用定電流源から設定動作を行ってもよい。

以下には、図6（B）に示した定電流回路414の詳しい構成とその動作について説明する。

10 ここで、図5は、電流源回路の部分に図23（C）の構成を適用した場合の回路を示す。図48は、電流源回路の部分に図23（A）の構成を適用した場合の回路を示す。図3、4は、図2に示すように、1列に複数個（2個）の電流源回路が配置された回路であり、前記電流源回路の部分に図23（A）の構成を適用した場合の回路を示す。まず、図3、4に示した構成について説明する。

15 はじめに、図6（A）に示す構成の電流源回路を有する定電流回路414について説明する。なお図6（A）に示す構成では、電流源回路に信号を保持する設定動作と、電流源回路から画素へ信号を入力する動作（入力動作）を同時に行うことは出来ない。そのため、1本の信号線ごとに2つの電流源回路を設けて、一方の電流源回路で設定動作を行い、他方の電流源回路で入力動作を行うことが好ましい。

20 図3、4の各列に設けられた電流源回路420では、信号線 $S_i$ （ $1 \leq i \leq n$ ）に所定の信号電流の出力をするか否かは、第2のラッチ回路413から入力されるデジタルビデオ信号が有する情報によって制御される。

図3において、電流源回路420は、第1電流源回路421と第2電流源回路422を有する。そして第1電流源回路421及び第2電流源回路422は、一方で  
25 は設定動作を行い、他方では入力動作を行う。第1電流源回路421及び第2電流源回路422は、複数の回路素子を有する。第1電流源回路421は、NAND7

0、インバータ71、インバータ72、アナログスイッチ73、アナログスイッチ74、トランジスタ75~77及び容量素子78を有する。そして第2電流源回路422は、NAND80、インバータ81、インバータ82、インバータ89、アナログスイッチ83、アナログスイッチ84、トランジスタ85~87及び容量素子88を有する。本実施の形態では、トランジスタ75~77、トランジスタ85~87は全てnチャネル型とする。

第1電流源回路421において、NAND70の入力端子は、シフトレジスタ411と制御線92に接続され、NAND70の出力端子は、インバータ71の入力端子に接続されている。インバータ71の出力端子は、トランジスタ75及びトランジスタ76のゲート電極に接続されている。

アナログスイッチは、4つの端子を有する。そして4つの端子の内の2つの端子に入力される信号によって、残りの2つの端子間が導通又は非導通になる。

アナログスイッチ73は、NAND70の出力端子から入力される信号と、インバータ71の出力端子から入力される信号により導通又は非導通が選択される。インバータ72の入力端子は、制御線92に接続されている。そしてアナログスイッチ74は、制御線92とインバータ72の出力端子から入力される信号により導通又は非導通が選択される。

トランジスタ75のソース領域とドレイン領域は、一方は電流線93に接続され、他方はトランジスタ77のソース領域とドレイン領域の一方に接続されている。トランジスタ76のソース領域とドレイン領域は、一方は電流線93に接続され、他方は容量素子78の一方の端子とトランジスタ77のゲート電極に接続されている。トランジスタ77のソース領域とドレイン領域は、一方はVssに接続され、他方はアナログスイッチ73に接続されている。

電流線93にはリファレンス用定電流源（図示せず）が接続されている。

容量素子78は、一方の電極はVssに接続され、他方の電極はトランジスタ77のゲート電極に接続されている。容量素子78は、トランジスタ77のゲート・ソ



ース間電圧を保持する役目を担う。

第2電流源回路422において、インバータ89の入力端子が制御線89に接続されている。そしてインバータ89の出力端子は、NAND80の一方の入力端子に接続されている。またNAND80の他方の入力端子は、シフトレジスタ411  
5 に接続されている。NAND80の出力端子は、インバータ81の入力端子に接続されている。インバータ81の出力端子は、トランジスタ85及びトランジスタ86のゲート電極に接続されている。

アナログスイッチ83は、NAND80の出力端子から入力される信号と、インバータ81の出力端子からの入力される信号により導通又は非導通が選択される。  
10 またインバータ82の入力端子は、制御線92に接続されている。そしてアナログスイッチ84は、制御線92とインバータ82の出力端子から入力される信号により導通又は非導通が選択される。

トランジスタ85のソース領域とドレイン領域は、一方は電流線93に接続され、他方はトランジスタ87のソース領域とドレイン領域の一方に接続されている。ト  
15 ランジスタ86のソース領域とドレイン領域は、一方は電流線93に接続され、他方は容量素子88の一方の端子とトランジスタ87のゲート電極に接続されている。トランジスタ87のソース領域とドレイン領域は、一方はVssに接続され、他方はアナログスイッチ83に接続されている。

容量素子88は、一方の電極はVssに接続され、他方の電極はトランジスタ87  
20 のゲート電極に接続されている。容量素子88は、トランジスタ87のゲート・ソース間電圧を保持する役目を担う。

ここで、図3の電流源回路の動作について図28を用いて説明する。

図28は、設定制御線92と走査線1～3行目のタイミングチャートを示す。そして、期間Aにおける電流源回路420の動作について図3を用いて説明し、期間  
25 Bにおける電流源回路420の動作について図4を用いて説明する。期間Aでは、第1電流源回路421で設定動作を行い、第2電流源回路422で入力動作を行う。

期間Bでは、第1電流源回路421で入力動作を行い、第2電流源回路422で設定動作を行う。

まず期間Aにおける電流源回路420の動作について説明する。最初に設定動作を行う第1電流源回路421の動作について説明する。

5 期間Aにおいて、設定制御線92から入力される信号は High である。そして各列に順にシフトレジスタ411からサンプリングパルス (High の信号に相当) が入力される。NAND70はシフトレジスタ411及び設定制御線92から入力される信号 (ともに High) を論理演算して Low を出力する。インバータ71は入力された信号 (Low) を論理演算して High を出力する。

10 インバータ71の出力端子から、トランジスタ75及び76のゲート電極に信号 (High) が入力され、トランジスタ75及び76はオンとなる。そうすると、電流線93から供給される電流は、トランジスタ75及び76を介して、容量素子78を流れて  $V_{ss}$  に達する。そして容量素子78には、電荷が蓄積されはじめる。

その後、容量素子78には徐々に電荷が蓄積され、両電極間に電位差が生じ始める。この電位差が  $V_{th}$  になると、トランジスタ77はオフからオンとなる。容量素子78では、その両電極の電位差、つまりトランジスタ77のゲート・ソース間電圧が所望の電圧になるまで電荷の蓄積が行われる。言い換えると、トランジスタ77が信号電流を流すことができるだけの電圧になるまで電荷の蓄積が続けられる。そして時間の経過に伴い、電荷の蓄積が終了する。

20 このとき、アナログスイッチ73及びアナログスイッチ74はオフにある。

次いで入力動作 (画素への電流の出力) を行う第2電流源回路422の動作について説明する。なお第2電流源回路422では、既に設定動作が行われ、容量素子88には所定の電荷が保持されている。

期間Aにおいて、設定制御線92から入力される信号は High である。インバータ89は入力される信号 (High) を論理演算して Low を出力する。NAND80はインバータ89とシフトレジスタ411から入力される信号を論理演算して

High を出力する。インバータ 8 1 は入力された信号 (High) を論理演算して Low を出力する。

インバータ 8 1 の出力端子から、トランジスタ 8 5 及び 8 6 のゲート電極に信号 (Low) が入力され、トランジスタ 8 5 及び 8 6 はオフとなる。

- 5 一方、アナログスイッチ 8 3 は、NAND 8 0 の出力端子から入力される信号 (High) とインバータ 8 1 の出力端子から入力される信号 (Low) によりオンになる。アナログスイッチ 8 4 は、設定制御線 9 2 から入力される信号 (High) とインバータ 8 2 の出力端子から入力される信号 (Low) によりオンになる。

- 容量素子 8 8 には、所定の電荷が保持されており、トランジスタ 8 7 はオンにある。この状態において、トランジスタ 8 7 のドレイン電流は信号電流に等しい。

- アナログスイッチ 9 0 は、第 2 のラッチ回路 4 1 3 から入力される信号とインバータ 9 0 から入力される信号により、オン又はオフになる。図 3 に示す構成では、第 2 のラッチ回路 4 1 3 から High の信号が入力されるとアナログスイッチ 9 0 はオンになり、第 2 のラッチ回路 4 1 3 から Low の信号が入力されるとアナログスイッチ 9 0 はオフになる。

ここでは、第 2 のラッチ回路 4 1 3 から High の信号が入力され、アナログスイッチ 9 0 はオンであると仮定する。そうすると、電流が信号線 (S 1) からトランジスタ 8 7 を流れて Vss に達する。このときの電流値は信号電流と等しい。換言すると、所定の信号電流が、信号線 (S 1) に接続された画素に供給される。

- 20 このとき、トランジスタ 8 7 を飽和領域において動作するようにしておけば、該トランジスタ 8 7 のソース・ドレイン間電圧が変化したとしても、画素に供給される電流は変化しない。

- 次いで、期間 B における電流源回路 4 2 0 の動作について、図 4 を用いて説明する。最初に入力動作 (画素への電流の出力) を行う第 1 電流源回路 4 2 1 の動作について説明する。なお第 1 電流源回路 4 2 1 では、既に設定動作が行われ、容量素子 7 8 には所定の電荷が保持されている。

期間Bにおいて、設定制御線92から入力される信号はLowである。NAND70は、シフトレジスタ411及び設定制御線92から入力される信号を論理演算してHighを出力する。そしてインバータ71は入力された信号(High)を論理演算してLowを出力する。

- 5     インバータ71の出力端子から、トランジスタ75及び76のゲート電極に信号(Low)が入力され、トランジスタ75及び76はオフとなる。

一方、アナログスイッチ73は、NAND70の出力端子から入力される信号(High)とインバータ71の出力端子から入力される信号(Low)によりオンになる。またアナログスイッチ74は、設定制御線92から入力される信号(Low)と

- 10    インバータ72の出力端子から入力される信号(High)によりオンになる。

容量素子78には、所定の電荷が保持されており、トランジスタ77はオンとなっている。そしてこの状態において、トランジスタ77のドレイン電流は信号電流に等しい。

- ここでは、第2のラッチ回路413からHighの信号が入力され、アナログスイッチ90はオンであると仮定する。そうすると、電流が信号線(S1)から、トランジスタ77を流れてV<sub>ss</sub>に達する。このときの電流値は、信号電流と等しい。換言すると、所定の信号電流が、信号線(S1)に接続された画素に供給される。
- 15

- このときトランジスタ77を飽和領域において動作するようにしておけば、トランジスタ77のソース・ドレイン間電圧が変化したとしても、画素に供給される電
- 20    流は変化しない。

次いで期間Bにおいて、設定動作を行う第2電流源回路422の動作について説明する。

- 期間Bにおいて、設定制御線92から入力される信号はLowである。インバータ89は入力される信号(Low)を論理演算して、Highを出力する。NAND80
- 25    は、インバータ89とシフトレジスタ411から入力される信号(一方はHigh)を論理演算してLowを出力する。そしてインバータ81は入力された信号(Low)

を論理演算して High を出力する。

インバータ 8 1 の出力端子から、トランジスタ 8 5 及び 8 6 のゲート電極に信号 (High) が入力され、トランジスタ 8 5 及び 8 6 はオンになる。そうすると、電流線 9 3 から供給される電流は、トランジスタ 8 5 及び 8 6 を介して、容量素子 8 8 を流れて  $V_{ss}$  に達する。そして容量素子 8 8 には、電荷が蓄積されはじめる。

その後、容量素子 8 8 に徐々に電荷が蓄積され、両電極間に電位差が生じ始める。両電極間の電位差が  $V_{th}$  になると、トランジスタ 8 7 がオフからオンになる。容量素子 8 8 においては、その両電極の電位差、つまりトランジスタ 8 7 のゲート・ソース間電圧が所望の電圧になるまで、電荷の蓄積が行われる。言い換えると、トランジスタ 8 7 が信号電流を流すことができるだけの電圧になるまで電荷の蓄積が続けられる。

このとき、アナログスイッチ 8 3 及び 8 4 はオフである。

なお、図 2 8 を用いて説明した上記の動作では、1 行毎に設定動作と入力動作を切り替えていた。しかしながら、本発明はそれに限定されない。数行ごとに設定動作と入力動作を切り替えてもよい。

なおここでは、図 3、4 に示す電流源回路 4 2 0 が有するトランジスタは全て n チャンネル型としたが、本発明はこれに限定されない。図 3、4 に示す電流源回路 4 2 0 には、p チャンネル型のトランジスタを用いることもできる。なお、p チャンネル型のトランジスタを用いた場合の電流源回路 4 2 0 の動作は、電流の流れる方向が変わる点と、容量素子が  $V_{ss}$  ではなく  $V_{dd}$  に接続される点以外は上述した動作と同じである。

また、図 3、4 に示す電流源回路 4 2 0 に p チャンネル型のトランジスタを用いる場合、 $V_{SS}$  と  $V_{dd}$  を入れ替えない場合、つまり電流の流れる方向が変わらない場合は、図 2 3 と図 2 4 の対比を用いれば、容易に適用できる。また、単なるスイッチとして動作させるトランジスタは、極性はどちらでもよい。

次いで、上記とは異なる定電流回路 4 1 4 の構成とその動作について図 5 を用い

て説明する。各列に設けられた電流源回路420において、信号線 $S_i$  ( $1 \leq i \leq n$ ) への所定の信号電流 $I_{data}$ の出力をするか否かは、第2のラッチ回路413から入力されるデジタルビデオ信号が有する情報によって制御される。

なお図5の構成は、図1に示すように、1列に1個の電流源回路が配置された回路5である。

図5(A)～(C)において、電流源回路420は、トランジスタ94～トランジスタ97及び容量素子99を有する。本実施の形態では、トランジスタ94～トランジスタ97は全てnチャネル型とする。

トランジスタ94のゲート電極には、第2のラッチ回路413から信号が入力される。またトランジスタ94のソース領域とドレイン領域は、一方はソース信号線(S1)に接続され、他方はトランジスタ95のソース領域とドレイン領域の一方に接続されている。

トランジスタ97及びトランジスタ98のゲート電極には、シフトレジスタ411からサンプリングパルスが入力される。トランジスタ97のソース領域とドレイン領域は、一方はトランジスタ96のソース領域とドレイン領域の一方に接続され、他方は容量素子99の一方の電極に接続されている。トランジスタ98のソース領域とドレイン領域は、一方は電流線93に接続され、他方はトランジスタ96のソース領域とドレイン領域の一方に接続されている。

容量素子99の一方の電極は、トランジスタ95及びトランジスタ96のゲート電極に接続され、他方の電極は $V_{ss}$ に接続されている。容量素子99は、トランジスタ95及びトランジスタ96のゲート・ソース間電圧を保持する役目を担う。

トランジスタ95のソース領域とドレイン領域は、一方は $V_{ss}$ に接続され、他方はトランジスタ94のソース領域とドレイン領域の一方に接続されている。トランジスタ95のソース領域とドレイン領域は、一方は $V_{ss}$ に接続され、他方はトランジスタ98のソース領域とドレイン領域の一方に接続されている。

ここで図5に示す電流源回路420の動作について図5(A)～図5(C)を用

いて説明する。

まずシフトレジスタ411からトランジスタ97及び98のゲート電極にサンプリングパルスが入力され、両トランジスタはオンになる。そうすると電流線93から供給される電流は、トランジスタ98及び97を介して、容量素子99まで流れていく。このとき、第2のラッチ回路413からトランジスタ94のゲート電極に信号は入力されず、トランジスタ94はオフである。

そして容量素子99に徐々に電荷が蓄積され、両電極間に電位差が生じ始める。両電極間の電位差が $V_{th}$ となると、トランジスタ95及び96がオンとなる。

そして容量素子99において、その両電極の電位差、つまりトランジスタ95及び96のゲート・ソース間電圧が所望の電圧になるまで、電荷の蓄積が続けられる。言い換えると、トランジスタ95及び96が信号電流に応じた電流を流すことが出来るだけの電圧になるまで、電荷の蓄積が続けられる（図5（A））。

そして時間の経過に伴い、電荷の蓄積が終了する（図5（B））。

続いて、第2のラッチ回路413から入力される信号（デジタルビデオ信号に相当）により、トランジスタ94がオンとなる。このときシフトレジスタ411からトランジスタ94のゲート電極にはサンプリングパルスは入力されず、トランジスタ97及び98はオフである。そして容量素子99には、所定の電荷が保持されているため、トランジスタ95及び96はオンである。そうすると、信号線（S1）から、トランジスタ94及び95を介して、 $V_{ss}$ の方向に電流が流れていく。このときの電流値は、信号電流と等しい。換言すると、所定の信号電流が、信号線（S1）に接続された画素に供給される。

このときトランジスタ95を飽和領域において動作するようにしておけば、トランジスタ95のソース・ドレイン間電圧が変化したとしても、画素に供給される電流は変化しない。

また本実施の形態では、図5に示す電流源回路420が有するトランジスタは全てnチャネル型としたが、本発明はこれに限定されない。図5に示す電流源回路4

20には、pチャネル型のトランジスタを用いることもできる。なお、pチャネル型のトランジスタを用いた場合の電流源回路420の動作は、電流の流れる方向が変わる点と、容量素子がVssではなく、Vddに接続される点以外は上述した動作と同じである。

- 5     また図21、図23(C)～図23(E)、図24(B)～図24(D)などに示したように、電流源回路420が有する回路素子は異なる接続構成を有していてもよい。そのときの電流源回路420の動作は、図5を用いて説明した電流源回路420の動作と同じであるので、本実施の形態では説明は省略する。

- 10     また、図5に示す電流源回路420にpチャネル型のトランジスタを用いる場合、VSSとVddを入れ替えない場合、つまり電流の流れる方向が変わらない場合は、図23と図24の対比を用いれば、容易に適用できる。なお、単なるスイッチとして動作させるトランジスタは、その極性はどちらでもよい。

- 15     なお、図5の構成は、図1に示すように、1列に1個の電流源回路が配置された回路である。この場合には、電流源回路420に、図23(A)、24(A)に示した構成を用いると、入力動作（画素への電流の出力）を行っている期間には、設定動作を行うことが出来ない。従って、入力動作（画素への電流の出力）を行っていない期間に設定動作を行う必要がある。一方、電流源回路420に、図23(C)～(E)に示した構成を用いると、1列に1個の電流源回路が配置された場合であっても、設定動作と入力動作を同時に行うことが出来る。

- 20     続いて、図42(A)(B)に示した定電流回路414の詳しい構成を図49、図50、図51に示す。ここで、図49は、図42(B)における定電流回路414に相当する部分に図1に示した回路を適用した構成になっており、さらに電流源回路の部分には図23(C)を適用した構成を示す。図50は、図42(B)における定電流回路414に相当する部分に図1に示した回路を適用した構成になっており、電流源回路の部分に図23(A)を適用した構成を示す。図51は、図42(B)における定電流回路414に相当する部分に図2に示した回路を適用した
- 25



構成になっており、さらに電流源回路の部分には図 2 8 (A) を適用した構成を示す。

なお、図 4 9、図 5 0 に示す構成では、論理演算子が配置されているが、該論理演算子の代わりにスイッチなどを配置してもよい。前記論理演算子は、電流源回路 5 の設定動作を行うか否かの切り替えを制御しているので、該設定動作を切り替えるための制御が可能な回路であれば、どのような回路を用いてもよい。また、図 5 1 では、第 1 設定制御線から供給される信号を制御することで電流源回路の設定動作を行うか否かを切り替える。また、第 2 設定制御線から供給される信号を制御することで、1 列毎に配置された 2 つの電流源回路のうち、どちらの電流源回路で設定 10 動作を行い、どちらの電流源回路で入力動作を行うかを制御する。

続いて、図 3 4 に対応した場合について述べる。またこれまでは、線順次駆動の場合について述べてきた。以下には、点順次駆動の場合について述べる。図 5 2 (A) において、ビデオ線から供給されるビデオ信号は、シフトレジスタ 4 1 1 から供給されるサンプリングパルスのタイミングに従ってサンプリングされる。また電流源 15 回路 4 2 0 の設定は、シフトレジスタ 4 1 1 から供給されるサンプリングパルスのタイミングに従って行われる。1 例として、図 5 2 (A) の構成を有する場合には、点順次駆動を行う。

なお端子 a を介して電流源回路 4 2 0 に入力される信号は、電流源回路の構成や駆動方式などによっては、サンプリングパルスは直接入力されず、設定制御線 (図 20 5 2 (A) には図示せず) に接続された論理演算子の出力端子から供給される信号が入力される。前記論理演算子の 2 つの入力端子は、一方はサンプリングパルス、他方は設定制御線から供給される信号が入力される。つまり電流源回路 4 2 0 の設定は、サンプリングパルス、又は設定制御線に接続された論理演算子の出力端子から供給される信号のタイミングに従って行われる。

25 なお、サンプリングパルスが出力されて、ビデオ線からビデオ信号が供給されている間のみ、スイッチ 1 0 1 (信号電流制御スイッチ) がオン状態になり、且つサ

ンプリングパルスが出力されなくなり、ビデオ線からビデオ信号が供給されなくなると、スイッチ101（信号電流制御スイッチ）がオフ状態になる場合は、正しく動作しない。なぜなら、画素では、電流を入力するためのスイッチはオン状態のままであるからである。この状態でスイッチ101（信号電流制御スイッチ）をオフ  
5 状態にすると、画素に電流が入力されなくなるため、正しく信号を入力できなくなる。

そこで、ビデオ線から供給されたビデオ信号を保持し、スイッチ101（信号電流制御スイッチ）の状態を維持できるようにするため、ラッチ回路452が配置されている。ラッチ回路452は、単なる容量素子とスイッチのみで構成されていて  
10 もよいし、SRAM回路で構成されていてもよい。このように、サンプリングパルスが出力されて、ビデオ線からビデオ信号が1列ずつ順に供給されて、そのビデオ信号に基づき、スイッチ101（信号電流制御スイッチ）がオン状態もしくはオフ状態になり、画素への電流の供給を制御することにより、点順次駆動を実現することができる。

15 しかしながら、1列目から最終列目まで順に選択される場合、1列目から最終列目のうち、最初の方の列では、画素に信号を入力する期間が長い。一方、1列目から最終列目のうち、最後の方の列では、ビデオ信号を入力しても、すぐに次の行の画素が選択されてしまう。その結果、画素に信号を入力する期間が短くなってしま  
20 う。そのような場合、図52（B）に示すように、画素部402に配置された走査線を中央で分断することにより、画素に信号を入力する期間を長くすることができる。その場合、画素部402の左側と右側に各1個の走査線駆動回路を配置し、該走査線駆動回路を用いて画素を駆動する。このようにすると、同じ行に配置されて  
いる画素でも、右側の画素と左側の画素とでは、信号を入力する期間をずらすことができる。また図52（C）には、1、2行目の右側と左側に配置された走査線駆  
25 動回路の出力波形とシフトレジスタ411のスタートパルス（S-SP）を示す。このように動作させることにより、左側の画素でも、画素に信号を入力する期間を長く

することができるため、点順次駆動を行いやすくなる。

なお、線順次駆動か点順次駆動かなどに関わりなく、電流源回路420の設定動作は、任意のタイミング、任意の列に配置された電流源回路に、任意の回数だけ行えばよい。但し、理想的には、電流源回路420に配置されたトランジスタのゲー

- 5 ト・ソース間に接続された容量素子に所定の電荷が保持されている限りは、設定動作を行うときのみの1回だけ行えばよい。又は、容量素子に保持された所定の電荷が放電（変動）してしまった場合に行えばよい。また、電流源回路420の設定動作に関して、どれだけの期間をかけて、全列の電流源回路420の設定動作を行ってもよい。つまり、1フレーム期間内に、全列の電流源回路420の設定動作を行
- 10 ってもよい。あるいは、1フレーム期間内では、数列の電流源回路420に設定動作を行って、結果として、数フレーム期間以上かけて、全列の電流源回路420の設定動作を行ってもよい。

また本形態では、各列に1つの電流源回路に配置する場合について上述したが、本発明はこれに限定されず、複数個の電流源回路を配置してもよい。

- 15 また、本発明の信号線駆動回路における電流源回路について、レイアウト図を図87に、対応した回路図を図88に示す。

上記構成を有する本発明は、TFTの特性バラツキの影響を抑制し、所望の電流を外部に供給することができる。

本実施の形態は、実施の形態1～3と任意に組み合わせることが出来る。

- 20 （実施の形態5）

本実施の形態では、図15（A）に示した信号線駆動回路403の詳細な構成とその動作について説明するが、本実施の形態では、3ビットのデジタル階調表示を行う場合に用いる信号線駆動回路403について説明する。

- 図26には、3ビットのデジタル階調表示を行う場合における信号線駆動回路403の概略図を示す。信号線駆動回路403は、シフトレジスタ411、第1のラ
- 25 ッチ回路412、第2のラッチ回路413、定電流回路414を有する。

動作を簡単に説明すると、シフトレジスタ 4 1 1 は、フリップフロップ回路 (FF) 等を複数列用いて構成され、クロック信号 (S-CLK)、スタートパルス (S-SP)、クロック反転信号 (S-CLKb) が入力される。これらの信号のタイミングに従って、順次サンプリングパルスが出力される。

- 5     シフトレジスタ 4 1 1 より出力されたサンプリングパルスは、第 1 のラッチ回路 4 1 2 に入力される。第 1 のラッチ回路 4 1 2 には、3 ビットのデジタルビデオ信号 (Digital Data 1 ~ Digital Data 3) が入力されており、サンプリングパルスが入力されるタイミングに従って、各列でビデオ信号を保持していく。

- 第 1 のラッチ回路 4 1 2 において、最終列までビデオ信号の保持が完了すると、
- 10   水平帰線期間中に、第 2 のラッチ回路 4 1 3 にラッチパルスが入力され、第 1 のラッチ回路 4 1 2 に保持されていた 3 ビットのデジタルビデオ信号 (Digital Data 1 ~ Digital Data 3) は、一斉に第 2 のラッチ回路 4 1 3 に転送される。すると、第 2 のラッチ回路 4 1 3 に保持された 3 ビットのデジタルビデオ信号 (Digital Data 1 ~ Digital Data 3) は、1 行分が同時に定電流回路 4 1 4 へと入力されることになる。
- 15   なる。

第 2 のラッチ回路 4 1 3 に保持された 3 ビットのデジタルビデオ信号 (Digital Data 1 ~ Digital Data 3) が定電流回路 4 1 4 に入力されている間、シフトレジスタ 4 1 1 においては再びサンプリングパルスが出力される。以後この動作を繰り返し、1 フレーム分のビデオ信号の処理を行う。

- 20   なお定電流回路 4 1 4 は、デジタル信号をアナログ信号に変換する役割を持つ場合もある。また定電流回路 4 1 4 には、電流源回路 4 2 0 が複数設けられる。図 2 7 には、i 列目から (i+2) 列目の 3 本の信号線にかかる信号線駆動回路の概略図を示す。

- なお図 2 7 では、各ビットに対応したリファレンス用定電流源 1 0 9 が配置され
- 25   た場合について示す。

電流源回路 4 2 0 は、端子 a、端子 b 及び端子 c を有する。電流源回路 4 2 0 は、

端子aを介して入力される信号により制御される。また、端子bを介して、電流線に接続されたリファレンス用定電流源109から電流が供給される。電流源回路420と信号線Snに接続された画素との間にはスイッチ（信号電流制御スイッチ）111～113が設けられ、前記スイッチ（信号電流制御スイッチ）111～113は、1ビット～3ビットのビデオ信号により制御される。ビデオ信号が明信号の場合、電流源回路から画素に電流が供給される。反対にビデオ信号が暗信号の場合、前記スイッチ（信号電流制御スイッチ）111～113が制御されて、画素に電流は供給されない。つまり電流源回路420は、所定の電流を流す能力を有し、該電流を画素に供給するか否かはスイッチ（信号電流制御スイッチ）111～113により制御される。

なお端子aを介して電流源回路420に入力される信号とは、シフトレジスタから供給されるサンプリングパルスに相当する。電流源回路の構成や駆動方式などによっては、サンプリングパルスは直接入力されず、設定制御線（図27には図示せず）に接続された論理演算子の出力端子から供給される信号が入力される。前記論理演算子の2つの入力端子は、一方はサンプリングパルス、他方は設定制御線から供給される信号が入力される。つまり電流源回路420の設定は、サンプリングパルス又は設定制御線に接続された論理演算子の出力端子から供給される信号のタイミングに合わせて行う。

図27において、各信号線に配置された電流源回路420が図23（A）（B）に示すような回路で構成されるときには、制御線に接続された論理演算子の出力端子から入力される信号が設定信号に相当する。また各信号線に配置された電流源回路420が図23（C）～（E）に示すような回路で構成されるときには、シフトレジスタからのサンプリングパルスが設定信号に相当する。

ここで、図27に示した構成に、上述した設定制御線と論理演算子を用いた構成を図53に示す。なお、図53には、論理演算子が配置されているが、該論理演算子の代わりに、スイッチなどを用いてもよい。

なお図27や図53において、電流線とリファレンス用定電流源は、各ビットに対応して配置されている。そして、各ビットの電流源から供給される電流値の合計が信号線に供給される。つまり、定電流源回路414は、デジタル-アナログ変換の機能も有する。

- 5     また、図27や図53に示した信号線駆動回路では、1ビット～3ビットのそれぞれに専用のリファレンス用定電流源109が配置されているが、本発明はこれに限定されない。図54に示すように、ビット数よりも少ない個数のリファレンス用定電流源109が配置されていてもよい。例えば、最上位ビット（ここでは3ビット）のリファレンス用定電流源109のみを配置して、1列に配置された複数の電
- 10    流源回路から選択された1つの電流源回路を設定する。そして、既に設定動作が行われた電流源回路を用いて、他の電流源回路の動作を行う。言い換えれば、1列に配置された複数の電流源回路内で、設定情報を共有するようにしてもよい。

- 例えば、3ビット用の電流源回路420のみに設定動作を行う。そして、既に設定動作が行われた電流源回路420を用いて、他の1ビット用と2ビット用の電流
- 15    源回路420に、情報を共有させる。より具体的には、電流源回路420の中で、電流を供給するトランジスタ（図23（A）では、トランジスタ102が相当）のゲート端子を接続し、ソース端子も接続する。その結果、情報を共有しているトランジスタ（電流を供給するトランジスタ）のゲート・ソース間電圧は、等しくなる。

- なお、図54では、最下位ビット（ここでは1ビット）の電流源回路ではなく、
- 20    最上位ビット（ここでは3ビット）の電流源回路に、設定動作を行っている。そして、既に設定動作が行われた最上位ビットの電流源回路を用いて、他の電流源回路に、情報を共有させている。このように、値の大きなビットの電流源回路に対して設定動作を行うことにより、ビット間の電流源回路の特性ばらつきの影響を小さくすることができる。仮に、最下位ビット（ここでは1ビット）の電流源回路に設定
- 25    動作を行い、上位ビットの電流源回路に情報を共有した場合、各々の電流源回路の特性がばらつくと、上位ビットの電流値が正確な値にならなくなる。上位ビットの

電流源回路は、出力する電流値が大きいため、少しでも特性がばらつくと、そのばらつきの影響が大きくでてしまい、出力する電流値も大きくばらついてしまう。反対に、最上位ビット（ここでは3ビット）の電流源回路に設定動作を行い、下位ビットの電流源回路に情報を共有した場合、各々の電流源回路の特性がばらついていても、

5 出力する電流値が小さいため、ばらつきによる電流値の差が小さく、影響は小さくなる。

そして本実施の形態では、3ビットのデジタル階調表示を行う場合を例に挙げて説明する関係上、1本の信号線ごとに3つの電流源回路420が設けられている。

1本の信号線に接続された3つの電流源回路420から供給される信号電流を

10 1:2:4として設定すると、2<sup>3</sup>=8段階で電流の大きさを制御出来る。

電流源回路420の構成は、図23、図24、図37、図38、図40などに示した電流源回路420の構成を任意に用いることが出来る。電流源回路420には、1つの構成を採用するだけでなく、複数を採用してもよい。

以下には、一例として、図27、図54に示した定電流回路414の詳しい構成

15 とその動作について図7、図8、図29、図55を用いて説明する。

図7の各列に設けられた電流源回路420において、信号線 $S_i$  ( $1 \leq i \leq n$ )に所定の信号電流の出力をするか否かは、第2のラッチ回路413から入力されるデジタルビデオ信号が有する情報によって制御される。

図55は、ビット数と等しい個数のリファレンス用定電流源109を配置し、図

20 27に図示した信号線駆動回路には図1に示した定電流回路を適用し、電流源回路には図23（A）の構成を適用した場合の回路図を示す。図55では、設定動作時には、トランジスタA~Cはオフにして動作させる。これは電流のもれを防ぐためである。或いは、トランジスタA~Cと直列にスイッチを配置し、設定動作時にはオフにするようにしてもよい。また、図7は、ビット数と等しい個数のリファレン

25 ス用定電流源109を配置し、図27に図示した信号線駆動回路には図2に示した定電流回路を適用し、電流源回路には図23（A）の構成を適用した場合の回路図

を示す。図8には、ビット数より少ない個数のリファレンス用定電流源109を配置し、図54に図示した信号線駆動回路には図1に示した定電流回路を適用し、電流源回路には図23(C)の構成を適用した場合の回路図を示す。図29には、ビット数より少ない個数のリファレンス用定電流源109を配置し、図54に示した信号線駆動回路には図1に示した定電流回路を適用し、電流源回路には図23(A)の構成を適用した場合の回路図を示す。

電流源回路420は、1ビットのデジタルビデオ信号により制御される第1電流源回路423a及び第2電流源回路424aと、2ビットのデジタルビデオ信号により制御される第1電流源回路423b及び第2電流源回路424bと、3ビットのデジタルビデオ信号により制御される第1電流源回路423c及び第2電流源回路424cとを有する。また電流源回路420は、アナログスイッチ170a及びインバータ171aと、アナログスイッチ170b及びインバータ171bと、アナログスイッチ170c及びインバータ171cとを有する。

第1電流源回路423a～423c及び第2電流源回路424a～424cは、一方では設定動作を行い、他方では画素へ信号を入力する動作（入力動作、画素への電流の出力）を行う。第1電流源回路423a～423c及び第2電流源回路424a～424cは、複数の回路素子を有する。図7においては第1電流源回路423a及び第2電流源回路424aの回路図を図示し、第1電流源回路423b、423c及び第2電流源回路424b、424cの回路図は、第1電流源回路423a及び第2電流源回路424aの回路図に準ずるので本実施の形態では図示を省略する。

第1電流源回路423aは、NAND150a、インバータ151a、インバータ152a、アナログスイッチ153a、アナログスイッチ154a、トランジスタ155a～157a及び容量素子158aを有する。そして第2電流源回路424aは、NAND160a、インバータ161a、インバータ162a、インバータ169a、アナログスイッチ163a、アナログスイッチ164a、トランジスタ



タ165a~167a及び容量素子168aを有する。本実施の形態では、トランジスタ155a~157a、トランジスタ165a~167aは全てnチャネル型とする。

第1電流源回路423aにおいて、NAND150aの入力端子は、シフトレジスタ411と第1制御線425aに接続され、NAND150aの出力端子は、インバータ151aの入力端子に接続されている。インバータ151aの出力端子は、トランジスタ155a及びトランジスタ156aのゲート電極に接続されている。

アナログスイッチ153aは、NAND150aの出力端子から入力される信号と、インバータ151aの出力端子から入力される信号により導通又は非導通が選択される。インバータ152aの入力端子は、第1制御線425aに接続されている。そしてアナログスイッチ154aは、第1制御線425aとインバータ152aの出力端子から入力される信号により導通又は非導通が選択される。

トランジスタ155aのソース領域とドレイン領域は、一方は第1電流線426aに接続され、他方はトランジスタ157aのソース領域とドレイン領域の一方に接続されている。トランジスタ156aのソース領域とドレイン領域は、一方は第1電流線426aに接続され、他方は容量素子158aの一方の端子とトランジスタ157aのゲート電極に接続されている。トランジスタ157aのソース領域とドレイン領域は、一方はVssに接続され、他方はアナログスイッチ153aに接続されている。

容量素子158aは、一方の端子はVssに接続され、他方の端子はトランジスタ157aのゲート電極に接続されている。容量素子158aは、トランジスタ157aのゲート・ソース間電圧を保持する役目を担う。

第2電流源回路424aにおいて、インバータ169aの入力端子が第1制御線425aに接続されている。そしてインバータ169aの出力端子は、NAND160aの一方の入力端子に接続されている。またNAND160aの他方の入力端子は、シフトレジスタ411に接続されている。NAND160aの出力端子は、

インバータ161aの入力端子に接続されている。インバータ161aの出力端子は、トランジスタ165a及びトランジスタ166aのゲート電極に接続されている。

アナログスイッチ163aは、NAND160aの出力端子から入力される信号  
5 と、インバータ161aの出力端子からの入力される信号により導通又は非導通が選択される。またインバータ162aの入力端子は、第1制御線425aに接続されている。そしてアナログスイッチ164aは、第1制御線425aとインバータ162aの出力端子から入力される信号により導通又は非導通が選択される。

トランジスタ165aのソース領域とドレイン領域は、一方は第1電流線426  
10 aに接続され、他方はトランジスタ167aのソース領域とドレイン領域の一方に接続されている。トランジスタ166aのソース領域とドレイン領域は、一方は第1電流線426aに接続され、他方は容量素子168aの一方の端子とトランジスタ167aのゲート電極に接続されている。トランジスタ167aのソース領域とドレイン領域は、一方はVssに接続され、他方はアナログスイッチ163aに接続  
15 されている。

容量素子168aは、一方の端子はVssに接続され、他方の端子はトランジスタ167aのゲート電極に接続されている。容量素子168aは、トランジスタ167aのゲート・ソース間電圧を保持する役目を担う。

そして図7に示す第1電流源回路423aと第2電流源回路424aの動作は、  
20 図3及び図4を用いて示した第1電流源回路421と第2電流源回路422の動作と同じであるので、本実施の形態では説明は省略する。

なお、図7に示す電流源回路420において、第1電流源回路423a又は第2電流源回路424aから供給される信号電流と、第1電流源回路423b又は第2電流源回路424bから供給される信号電流と、第1電流源回路423c又は第2  
25 電流源回路424cから供給される信号電流の総和が、信号線Siに流れる。つまり第1電流源回路423a又は第2電流源回路424aから供給される信号電流

と、第1電流源回路423b又は第2電流源回路424bから供給される信号電流と、第1電流源回路423c又は第2電流源回路424cから供給される信号電流を1:2:4として設定すると、23=8段階で電流の大きさを制御出来る。

図7に示す電流源回路420では、3ビットのデジタルビデオ信号により、アナ  
5 ログスイッチ170a~170cのオン又はオフが選択される。仮に、アナログス  
イッチ170a~170cが全てオンになった場合、信号線に供給される電流は、  
第1電流源回路423a又は第2電流源回路424aから供給される信号電流と、  
第1電流源回路423b又は第2電流源回路424bから供給される信号電流と、  
第1電流源回路423c又は第2電流源回路424cから供給される信号電流の  
10 総和となる。また仮に、アナログスイッチ170aのみがオンになった場合、第1  
電流源回路423a又は第2電流源回路424aにから供給される信号電流のみ  
が信号線に供給される。

電流源回路から供給される電流値は異なるため、第1電流線426a~第3電流  
線426cに流れる電流値を1:2:4となるように設定することが必要となる。  
15 ここでは、図7に示す電流源回路420が有するトランジスタは全てnチャネル  
型としたが、本発明はこれに限定されない。電流源回路420は、pチャネル型の  
トランジスタを用いることもできる。pチャネル型のトランジスタを用いた場合  
における電流源回路420の動作は、電流の流れる方向が変わる点と、容量素子が  
VssではなくVddに接続される点以外は上述した動作に準ずるので、説明は省略す  
20 る。

また図7において、電流源回路423b、423cと電流源回路424b、42  
4cの詳しい回路構成の図示は省略したが、電流源回路423b、423cと電流  
源回路424b、424cには図23(A)に示す構成の電流源回路ではなく、図  
23(C)~(E)に示す構成の電流源回路を用いてもよい。つまり、複数ビット  
25 のデジタル階調表示を行う場合に用いる信号線駆動回路に用いる電流源回路は、複  
数の構成を組み合わせて設計することが可能である。

また、電流源回路にpチャネル型のトランジスタを用いる場合、VSSとVddを入れ替えない場合、つまり電流の流れる方向が変わらない場合は、図23と図24の対比を用いれば、容易に適用できる。また、単なるスイッチとして動作させるトランジスタの極性は特に限定されない。

- 5     次いで、上記とは異なる定電流回路414の構成とその動作について図8を用いて説明する。図8の電流源回路420において、信号線 $S_i$  ( $1 \leq i \leq n$ ) に所定の信号電流の出力をするか否かは、第2のラッチ回路413から入力されるデジタルビデオ信号が有する情報によって制御される。

- 10     電流源回路420は、トランジスタ180～トランジスタ188及び容量素子189を有する。本実施の形態では、トランジスタ180～トランジスタ188は全てnチャネル型とする。

- 15     トランジスタ180のゲート電極には、第2のラッチ回路413から1ビットのデジタルビデオ信号が入力される。またトランジスタ180のソース領域とドレイン領域は、一方はソース信号線( $S_i$ )に接続され、他方はトランジスタ183の

- 20     ソース領域とドレイン領域の一方に接続されている。
- トランジスタ181のゲート電極には、第2のラッチ回路413から2ビットのデジタルビデオ信号が入力される。またトランジスタ181のソース領域とドレイン領域は、一方はソース信号線( $S_i$ )に接続され、他方はトランジスタ184のソース領域とドレイン領域の一方に接続されている。

- 25     トランジスタ182のゲート電極には、第2のラッチ回路413から3ビットのデジタルビデオ信号が入力される。またトランジスタ182のソース領域とドレイン領域は、一方はソース信号線( $S_i$ )に接続され、他方はトランジスタ185のソース領域とドレイン領域の一方に接続されている。

- トランジスタ183～トランジスタ185のソース領域とドレイン領域は、一方はVssに接続され、他方はトランジスタ180～トランジスタ182のソース領域とドレイン領域の一方に接続されている。トランジスタ186のソース領域とドレ

イン領域は、一方は  $V_{SS}$  に接続され、他方はトランジスタ 188 のソース領域とドレイン領域の一方に接続されている。

トランジスタ 187 とトランジスタ 188 のゲート電極には、シフトレジスタ 411 から信号が入力される。トランジスタ 187 のソース領域とドレイン領域は、一方はトランジスタ 186 のソース領域とドレイン領域の一方に接続され、他方は容量素子 189 の一方の電極に接続されている。トランジスタ 188 のソース領域とドレイン領域は、一方は電流線 190 に接続され、他方はトランジスタ 186 のソース領域とドレイン領域の一方に接続されている。

容量素子 189 の一方の電極は、トランジスタ 183 ～ トランジスタ 186 のゲート電極に接続され、他方の電極は  $V_{SS}$  に接続されている。容量素子 189 は、トランジスタ 183 ～ トランジスタ 186 のゲート・ソース間電圧を保持する役目を担う。

図 8 に示す電流源回路 420 は、トランジスタ 180、181、183、184 が追加して設計されている以外は、図 5 を用いて説明した電流源回路 420 の動作に準ずる。そのためここでは、図 8 に示す電流源回路 420 の動作の説明は省略する。

なお図 8 に示す電流源回路は、図 5 4 に示すように、ビット数よりも少ない個数のリファレンス用定電流源 109 を配置した場合を示す。

また図 8 に示す電流源回路 420 において、トランジスタ 183 ～ 185 のドレイン電流の総和が信号線  $S_i$  に流れる。ここでは、トランジスタ 183 ～ 185 の各々のドレイン電流を 1 : 2 : 4 として設定し、2<sup>3</sup> = 8 段階で電流の大きさを制御している。つまり、トランジスタ 183 ～ 185 から供給される電流値の相違は、トランジスタ 183 ～ 185 の  $W/L$  値を 1 : 2 : 4 として設計したことに起因し、各々のオン電流は 1 : 2 : 4 となるように設定されている。

そして図 8 に示す電流源回路 420 において、3 ビットのデジタルビデオ信号により、トランジスタ 180 ～ 182 のオン又はオフが選択される。例えば、トラン

ジスタ 180～182 が全てオンになったときは、信号線に供給される電流は、トランジスタ 183～185 のドレイン電流の総和となる。また、トランジスタ 180 のみがオンになったときは、トランジスタ 183 のドレイン電流のみが信号線に供給される。

- 5     このように、トランジスタ 183～185 のゲート端子を互いに接続することにより、設定動作による情報を共有させることができる。なお、ここでは、同じ列のトランジスタ内で、情報を共有しているが、本発明はこれに限定されない。例えば、同じ列以外のトランジスタと、設定動作による情報を共有させてもよい。つまり、設定動作による情報を共通させるために、トランジスタのゲート端子を、別の列の
- 10   トランジスタと接続させてもよい。これにより、設定すべき電流源回路の数を減らすことができる。そのため、設定動作を行うために必要な時間を短縮することができる。また、回路数を減らすことができるので、レイアウト面積を小さくすることができる。

- また図 29 には、図 8 とは異なる回路構成の電流源回路 420 を示す。図 29 に
- 15   示す電流源回路 420 では、トランジスタ 186～188 の代わりにスイッチ 191、192 が配置された構成になっている。

- そして図 29 に示す電流源回路 420 では、スイッチ 191 及び 192 がオンになると、電流線 190 に接続されたリファレンス用定電流源（図示せず）から供給される電流が容量素子 189 に流れていく点以外は、図 27 に示す電流源回路 42
- 20   0 の動作と同じあるので、ここでは説明は省略する。

- なお、図 29 では、電流源回路の設定動作時には、トランジスタ 182 はオフにして動作させる。これは電流のもれを防ぐためである。或いは、トランジスタ 182 と直列にスイッチ 203 を配置して、設定動作時にはスイッチ 203 をオフにして、それ以外のときにはオンにするようにしてもよい。このときの電流源回路を、
- 25   図 56 に示す。

なお、図 8、図 29、図 56 の電流源回路 420 が有するトランジスタは全て  $n$

チャネル型としたが、本発明はこれに限定されない。電流源回路 420 には、p チャネル型のトランジスタを用いてもよい。なお、p チャネル型のトランジスタを用いた場合、電流の流れる方向が変わる点と、容量素子が  $V_{ss}$  ではなく  $V_{dd}$  に接続される点以外は上述した動作と同じであるので、ここでは説明は省略する。

- 5    また、p チャネル型のトランジスタを用いて電流源回路を構成する場合であり、且つ  $V_{SS}$  と  $V_{dd}$  を入れ替えない場合、つまり電流の流れる方向が変わらない場合は、図 23 と図 24 の対比を用いれば、容易に適用できる。また多相化を図ることや、点順次駆動を行うことも容易に実現することが出来る。

- また本実施の形態では、3 ビットのデジタル階調表示を行う場合における信号線  
10   駆動回路の構成とその動作について説明した。しかしながら、本発明は 3 ビットに限らず、任意のビット数の表示を行うことが出来る。また本実施の形態は、実施の形態 1 ~ 4 と任意に組み合わせることが可能である。

- なお図 27 では、図 1 に示すように、1 本の信号線につき各ビットに対応した電流源回路を 1 つずつ配置した。しかし、図 2 に示すように、1 本の信号線駆動回路  
15   につき各ビットに対応した電流源回路を複数配置してもよい。このときの図を図 57 に示す。なお図 7 の構成は、図 27 の構成に図 57 の構成を適用した場合の図に相当する。同様に、図 54 では、複数の電流源回路内において、設定情報を共有している。このときの図を図 58 に示す。

- 次に、図 53 の示した回路の詳しい構成について図 59、図 60、図 61、図 6  
20   2 に示す。図 53 に示した回路では、設定制御線や論理演算子が配置され、該設定制御線と該論理演算子を用いて、電流源回路の設定動作を行うタイミングを制御する。

- 図 59 には、ビット数と等しい個数のリファレンス用定電流源 109 を配置し、図 53 に図示した信号線駆動回路に図 1 に示した定電流回路を適用し、電流源回路  
25   に図 23 (A) の構成を用いた場合の回路図を示す。図 59 に示す構成では、設定動作時にはトランジスタ A ~ C はオフにして動作させる。これは電流のもれを防ぐ

ためである。或いは、トランジスタ A～C と直列にスイッチを配置し、設定動作時には該スイッチをオフにするようにしてもよい。図 27 の構成と図 53 の構成で対応させると、図 59 は図 55 に対応する。つまり、図 59 の構成は図 53 に対応し、図 55 の構成は図 27 に対応する。

- 5 図 60 には、ビット数と等しい個数のリファレンス用定電流源 109 を配置し、図 53 に図示した信号線駆動回路に図 2 に示した定電流回路を適用し、電流源回路に図 23 (A) の構成を用いた場合の回路図を示す。図 27 の構成と図 53 の構成で対応させると、図 60 は図 7 に対応する。つまり、図 60 の構成は図 53 に対応し、図 7 の構成は図 27 に対応する。
- 10 図 61 には、ビット数より少ない個数のリファレンス用定電流源 109 を配置し、図 53 に図示した信号線駆動回路には図 54 に示した構成のように情報を共有し、且つ図 1 に示した定電流回路を適用し、さらに電流源回路に図 23 (C) の構成を用いた場合の回路図を示す。図 27 の構成と図 54 の構成と図 53 の構成で対応させると、図 61 は図 8 に対応する。
- 15 図 62 には、ビット数より少ない個数のリファレンス用定電流源 109 を配置し、図 53 に図示した信号線駆動回路には図 54 に示した構成のように情報を共有し、且つ図 1 に示した定電流回路を適用し、さらに電流源回路に図 23 (A) の構成を用いた場合の回路図を示す。図 27 の構成と図 54 の構成と図 53 の構成で対応させると、図 62 は図 29 に対応する。
- 20 なお、図 59、図 60、図 61、図 62 中には、論理演算子が配置されているが、該論理演算子の代わりに、スイッチなどを用いてもよい。前記論理演算子は、電流源回路の設定動作を行うか否かを切り替えているだけなので、切り替えるための制御ができる回路であれば、どのような回路を用いてもよい。但し、図 60 では、第 4 設定制御線を用いて、電流源回路の設定動作を行うかどうかを切り替え、第 1 ～  
25 第 3 設定制御線を用いて、どちらの電流源回路に設定動作を行い、どちらの電流源回路に入力動作をさせるかを制御する。また、電流源回路の設定動作を、1 列目か



ら最終列目まで順に行うのではなく、ランダムに行ってもよい。その場合、シフトレジスタ 4 1 1 として、図 4 3 に示したデコーダ回路などの回路を用いてもよい。また、図 4 4、図 4 5、図 4 6 に示した回路を用いてもよい。

(実施の形態 6)

- 5 電流源回路に電流を供給するリファレンス用定電流源 1 0 9 は、基板上に信号線駆動回路と一体形成してもよいし、IC 等を用いて基板の外部に配置してもよい。基板上に一体形成する場合には、図 2 3 ~ 2 5、図 3 8、図 3 7、図 4 0 などに示した電流源回路のいずれを用いて形成してもよい。或いは、単に 1 個のトランジスタを配置して、ゲートに加える電圧に応じて、電流値を制御するようにしてもよい。
- 10 本実施の形態では、リファレンス用定電流源 1 0 9 の構成とその動作について説明する。

図 3 0 には、一例として、最も簡単な場合を示す。つまり、トランジスタのゲートに電圧を加えて、ゲートの電圧を調節する方式であり、且つ、3 本の電流線が必要な場合を示す。仮に 1 本の電流線のみが必要な場合は、単純に、トランジスタ 1 8 4 0、1 8 5 0 とそれに対応する電流線を図 3 0 から削除すればよい。図 3 0 で

15 は、端子 f を介して、外部から、トランジスタ 1 8 3 0、1 8 4 0、1 8 5 0 に印加するゲート電圧を調節することにより、電流の大きさを制御している。なお、このとき、トランジスタ 1 8 3 0、1 8 4 0、1 8 5 0 の W/L 値を 1 : 2 : 4 として設計すると、それぞれのオン電流は 1 : 2 : 4 となる。

- 20 次に、図 3 1 (A) には、端子 f から電流を供給する場合について述べる。図 3 0 のように、ゲート電圧を加えて調節する場合には、温度特性などにより電流値が変動してしまうことがある。しかしながら、図 3 1 (A) のように電流で入力すると、その影響を抑制することができる。

なお、図 3 0、図 3 1 (A) の構成の場合、電流線に電流を流し続けている間は、

25 端子 f から電圧や電流を入力し続ける必要がある。しかし、電流線に電流を流す必要が無い場合は、端子 f から電圧や電流を入力している必要はない。

また図31(B)に示すようにスイッチと容量素子を追加してもよい。そうすると、電流線に電流を供給しているときでも、リファレンス用ICからの供給(端子fから入力する電流や電圧)を停止することが可能となり、消費電力が小さくなる。なお図30、図31に示した構成では、リファレンス用定電流源に配置された他の

5 電流源用トランジスタと情報を共有していた。つまり、トランジスタ1830、1840、1850のゲート端子は、互いに接続されていた。

そこで図32には、各々の電流源回路に設定動作を行う場合について示す。図27では、端子fから電流を入力し、端子eから供給される信号によりタイミングを制御する。なお図27に示した回路には、図23、24、図38、図37、図40

10 などに示す構成を適用することができる。なお図32に示した回路は、図23(A)の回路を適用した例である。よって、設定動作と入力動作とを同時に行えない。したがって、この回路の場合には、リファレンス用定電流源に対する設定動作は、電流線に電流を流す必要がないタイミングで行う必要がある。

図33には、多相化させたリファレンス用定電流源109の例を示す。つまり、

15 図47に示した構成を適用したリファレンス用電流源109に相当する。多相化の場合には、図32、図30、図31の回路を適用してもよい。しかしながら、電流線に供給される電流値は同じなので、図33のように、1つの電流を用いて、各々の電流源回路に対して設定動作を行えば、外部から入力する電流数を削減することができる。

20 本実施の形態は、実施の形態1～5と任意に組み合わせることが可能である。  
(実施の形態7)

これまでの実施の形態では、主に、信号電流制御スイッチが存在する場合について述べてきた。本実施の形態では、信号電流制御スイッチが無い場合、つまり、信号線とは異なる別の配線に、ビデオ信号には比例しない電流(一定の電流)を供給

25 する場合について述べる。この場合にはスイッチ101(信号電流制御スイッチ)を配置する必要はない。

なお、信号電流制御スイッチが存在しない場合には、信号電流制御スイッチが無いことを除けば、信号電流制御スイッチが存在する場合と同様である。よって、簡単に説明し、同様な部分については、省略する。

信号電流制御スイッチを配置する場合と配置しない場合とを対比させると、図 1 5 については図 3 4、図 2 については図 3 5 に示す。図 6 (B) については、図 6 3 (A) に示す。これまでの実施の形態では、ビデオ信号により信号電流制御スイッチを制御して、電流を信号線に出力していた。本実施の形態では、電流は画素用電流線に出力される。信号線にはビデオ信号が出力される。

この場合の画素構成について、概略図を図 6 3 (B) に示す。次に、画素の動作方法について簡単に述べる。まず、スイッチング用トランジスタがオンの時、信号線を通して、ビデオ信号が画素に入力され、容量素子に保存される。そして、ビデオ信号の値により、駆動用トランジスタがオン又はオフする。一方、電流源回路は、一定の電流が流す能力を有している。よって、駆動用トランジスタがオンの場合は、発光素子に一定の電流がながれて、発光する。駆動用トランジスタがオフの場合は、15 発光素子に電流が流れず、発光しない。このようにして、画像を表示している。ただし、この場合、発光と非発光の 2 状態しか表現できない。よって、時間階調法や面積階調法などを用いて、多階調化をはかっている。

なお、電流源回路の部分には、図 2 3、図 2 4、図 3 7、図 3 8、図 4 0 などのいずれの回路を適用してもよい。そして、電流源回路が一定の電流を流せるように 20 するには、設定動作を行えばよい。画素の電流源回路に設定動作を行う場合は、画素用電流線を通して電流を入力して、実行する。画素の電流源回路に対する設定動作は、任意の時に、任意のタイミングで、任意の回数だけ行えばよい。画素に配置された電流源回路に対する設定動作は、画像を表示するための動作とは、全く無関係に実行することができる。電流源回路内に配置された容量素子に保存されている 25 電荷が漏れてきたときには、設定動作を行えばよい。

次に、図 6 3 (A) に示した定電流回路 4 1 4 の詳しい構成を図 6 4、図 6 5 に

示す。また、図 6 4、図 6 5 の構成に、設定制御線と論理演算子を配置し、信号線駆動回路の電流源回路の設定動作を行うタイミングを制御できる場合を、図 6 6、図 6 7 に示す。ここで、図 6 4、図 6 6 は、電流源回路の部分に、図 2 3 (A) を適用した場合の回路を示す。図 6 5、図 6 7 は、電流源回路の部分に、図 2 3 (E) を適用した場合の回路を示す。なお、図 6 6、図 6 7 には論理演算子が配置されているが、スイッチなどで代用してもよい。

また、図 6 3 (A) に示した電流源回路の部分に、図 3 5 の構成を適用した場合について考える。この場合の定電流回路 4 1 4 の詳しい構成について、図 6 8 に示す。また、図 6 8 の構成に、設定制御線と論理演算子を配置し、信号線駆動回路の電流源回路の設定動作を行うタイミングを制御できる場合を、図 6 9 に示す。ここで、図 6 8、図 6 9 は、電流源回路の部分に、図 2 3 (A) を適用した場合の回路を示す。図 6 8 では、設定制御線を制御することにより、一方の電流源に対して設定動作を行い、同時に、もう一方の電流源が入力動作を行うことができる。同様に、図 6 9 では、第 2 設定制御線を制御することにより、一方の電流源に対して設定動作を行い、同時に、もう一方の電流源が入力動作を行うことができる。そして、第 1 設定制御線を制御することにより、信号線駆動回路の電流源回路の設定動作を行うタイミングを制御できる。

このように、信号電流制御スイッチが存在しない場合、信号電流制御スイッチが無いことを除けば、信号電流制御スイッチが存在する場合と同様である。よって、詳しい説明は省略する。

本実施の形態は、実施の形態 1 ～ 6 と任意に組み合わせることが可能である。

(実施の形態 8)

本発明の実施の形態について、図 7 0 を用いて説明する。図 7 0 (A) において、画素部の上方に信号線駆動回路、下方に定電流回路を配置し、前記信号線駆動回路に電流源 A、定電流回路に電流源 B を配置する。電流源 A、B から供給される電流を  $I_A$ 、 $I_B$  とし、画素に供給される信号電流を  $I_{data}$  とすると、 $I_A = I_B + I_{data}$  が成

立する。そして、画素に信号電流を書き込む際には、電流源 A、B の両者から電流を供給するように設定する。このとき、 $I_A$ 、 $I_B$  を大きくすると、画素に対する信号電流の書き込み速度を早くすることができる。

このとき、電流源 A を用いて、電流源 B の設定動作を行う。画素には、電流源 A  
5 からの電流から電流源 B の電流を差し引いた電流が流れる。したがって、電流源 A を用いて、電流源 B の設定動作を行うことにより、さまざまなノイズなどの影響をより小さくできる。

図 70 (B) において、リファレンス用定電流源（以下定電流源と表記）C、E は、画素部の上方と下方に配置される。そして、電流源 C、E を用いて、信号線駆  
10 動回路、定電流回路に配置された電流源回路の設定動作を行う。電流源 D は、電流源 C、E を設定する電流源に相当し、外部からリファレンス用電流が供給される。

なお、図 70 (B) において、下方に配置してある定電流回路を信号線駆動回路としてもよい。それにより、上方と下方の両方に信号線駆動回路が配置できる。そして、各々、画面（画素部全体）の上下半分ずつの制御を担当する。このようにす  
15 ることで、同時に 2 行分の画素を制御できる。そのため、信号線駆動回路の電流源、画素、画素の電流源などへの設定動作（信号入力動作）のための時間を長くとることが可能となる。そのため、より正確に設定できるようになる。

本実施の形態は、実施の形態 1～7 と任意に組み合わせることが可能である。

#### 〈実施例 1〉

20 本実施例では、時間階調方式について図 14 を用いて詳しく説明する。通常、液晶表示装置や発光装置等の表示装置においては、フレーム周波数は 60 Hz 程度である。つまり図 14 (A) に示すように、1 秒間に 60 回程度の画面の描画が行われる。これにより、人間の眼にフリッカ（画面のちらつき）を感じさせないようにすることが出来る。このとき、画面の描画を 1 回行う期間を 1 フレーム期間と呼ぶ。  
25 本実施例では一例として、特許文献 1 の公報にて公開されている時間階調方式を説明する。時間階調方式では、1 フレーム期間を複数のサブフレーム期間に分割す

る。このときの分割数は、階調ビット数に等しい場合が多い。そしてここでは簡単のため、分割数が階調ビット数に等しい場合を示す。つまり本実施例では3ビット階調であるので、3つのサブフレーム期間SF1～SF3に分割している例を示す(図14(B))。

- 5 各サブフレーム期間は、アドレス(書き込み)期間 $T_a$ と、サステイン(発光)期間 $T_s$ を有する。アドレス期間とは、画素にビデオ信号を書き込む期間であり、各サブフレーム期間での長さは等しい。サステイン期間とは、アドレス期間において画素に書き込まれたビデオ信号に基づいて発光素子が発光又は非発光する期間である。このとき、サステイン期間 $T_{s1} \sim T_{s3}$ は、その長さの比を $T_{s1} : T_{s2} : T_{s3} = 4 : 2 : 1$ とする。つまり、 $n$ ビット階調を表現する際、 $n$ 個のサステイン期間の長さの比は、 $2^{(n-1)} : 2^{(n-2)} : \dots : 2^1 : 2^0$ とする。そして、どのサステイン期間で発光素子が発光又は非発光するかにより、1フレーム期間における各画素が発光する期間の長さが決定し、これによって階調表現を行う。
- 10

- 次いで、時間階調方式を適用した画素における具体的な動作について説明するが、
- 15 本実施例では図16(B)に示す画素を参照して説明する。図16(B)に示す画素は、電流入力方式が適用される。

- まずアドレス期間 $T_a$ においては、以下の動作を行う。第1の走査線602および第2の走査線603が選択されて、TFT606、607がオンする。このとき、信号線601を流れる電流を信号電流 $I_{data}$ となる。そして容量素子610には所定の電荷が蓄積されると、第1の走査線602および第2の走査線603の選択が終了して、TFT606、607がオフする。
- 20

- 次いでサステイン期間 $T_s$ においては、以下の動作を行う。第3の走査線604が選択されて、TFT609がオンする。容量素子610には先ほど書き込んだ所定の電荷が保持されているため、TFT608はオンしており、電流線605から
- 25 信号電流 $I_{data}$ に等しい電流が流れる。これにより発光素子611が発光する。

以上の動作を各サブフレーム期間で行うことにより、1フレーム期間を構成する。

この方法によると、表示階調数を増やしたい場合は、サブフレーム期間の分割数を増やせば良い。また、サブフレーム期間の順序は、図14(B)(C)に示すように、必ずしも上位ビットから下位ビットといった順序である必要はなく、1フレーム期間中、ランダムに並んでいても良い。さらに各フレーム期間内に、その順序は変化

5    しても良い。

また、 $m$ 行目の走査線のサブフレーム期間 $S F 2$ を図14(D)に図示する。図14(D)に図示するように、画素ではアドレス期間 $T a 2$ が終了したら、直ちにサステイン期間 $T s 2$ が開始されている。

次に、信号線駆動回路の電流源回路において、設定動作を行うタイミングについて述べる。

10   

なお電流源回路には、設定動作と入力動作を同時に行うことができる方式と、同時に行うことができない方式があることは上記の実施の形態において上述した。

前者の設定動作と入力動作を同時に行うことができる電流源回路では、各動作を行うタイミングは特に限定されない。これは、図2や図54などのように、1列に

15    複数の電流源回路が配置されている場合も同様である。しかしながら、後者の設定動作及び入力動作を同時に行うことができない電流源回路では、設定動作を行うタイミングに工夫が必要となる。時間階調方式を採用した場合には、出力動作を行っていないときに設定動作を行う必要がある。例えば図1のドライバ部の構成と、図16(B)の構成の画素を有する場合は、画素部のどの走査線においてもアドレス

20    期間 $T a$ でない期間において、設定動作を行うようにすることが必要となる。また図34のドライバ部の構成と、図63(B)の構成の画素を有する場合、画素に配置された電流源回路に設定動作を行っていない期間に、ドライバ部に配置された電流源回路の設定動作を行う必要がある。

なおそのときには、電流源回路を制御するシフトレジスタの周波数を、低速に設

25    定できる場合がある。そうすると、電流源回路の設定動作に時間をかけて正確に行うことが出来る。

あるいは、電流源回路を制御する回路（シフトレジスタ）として、図43などの回路を用いて、ランダムに電流源回路の設定動作を行うようにしてもよい。また、図44、図45、図46などの回路を用いてもよい。すると、たとえ、設定動作を行える期間が、1フレーム内で、点在していても、その期間を有効に利用して設定動作を行うことができる。また、すべての電流源回路の設定動作を1フレーム期間内でやるのではなく、数フレーム期間以上かけて実行してもよい。このようにすることにより、電流源回路の設定動作に時間をかけて正確に行うことが出来る。

- なお、図1のドライバ部の構成と、図16(B)の構成の画素を有する場合には、入力動作は、画素部の走査線が選択される期間（アドレス期間 $T_a$ ）に行えばよい。
- 10 また、図1のドライバ部の構成と、図63(B)の構成の画素を有する場合には、画素に配置された電流源回路に設定動作を行っていない期間に、ドライバ部に配置された電流源回路の設定動作を行えばよい。

本実施例は、実施の形態1～8と任意に組み合わせることが可能である。

〈実施例2〉

- 15 本実施例では、画素部に設けられる画素の回路の構成例について図13、図71を用いて説明する。

なお電流を入力する部分を含むような構成を有する画素であれば、どのような構成の画素にも適用できる。

- 図13(A)の画素は、信号線1101、第1及び第2の走査線1102、1103、電流線（電源線）1104、スイッチング用TFT1105、保持用TFT1106、駆動用TFT1107、変換駆動用TFT1108、容量素子1109、発光素子1110とを有する。信号線1101は電流源回路1111に接続されている。
- 20

- なお、電流源回路1111が、信号線駆動回路403に配置されている電流源回路420に相当する。
- 25

図13(A)の画素は、スイッチング用TFT1105のゲート電極は、第1の



走査線 1102 に接続され、第 1 の電極は信号線 1101 に接続され、第 2 の電極は駆動用 TFT 1107 の第 1 の電極と、変換駆動用 TFT 1108 の第 1 の電極とに接続されている。保持用 TFT 1106 のゲート電極は、第 2 の走査線 1103 に接続され、第 1 の電極は信号線 1102 に接続され、第 2 の電極は駆動用 TFT 1107 のゲート電極と、変換駆動用 TFT 1108 のゲート電極とに接続されている。駆動用 TFT 1107 の第 2 の電極は、電流線（電源線） 1104 に接続され、変換駆動用 TFT 1108 の第 2 の電極は、発光素子 1110 の一方の電極に接続されている。容量素子 1109 は、変換駆動用 TFT 1108 のゲート電極と第 2 の電極との間に接続され、変換駆動用 TFT 1108 のゲート・ソース間電圧を保持する。電流線（電源線） 1104 および発光素子 1110 の他方の電極には、それぞれ所定の電位が入力され、互いに電位差を有する。

なお、図 13 (A) の画素は、図 38 (B) の回路を画素に適用した場合に相当する。ただし、電流の流れる向きが異なるため、トランジスタの極性は、反対になっている。図 13 (A) の駆動用 TFT 1107 が図 38 (B) の TFT 126 に相当し、図 13 (A) の変換駆動用 TFT 1108 が図 38 (B) の TFT 122 に相当し、図 13 (A) の保持用 TFT 1106 が図 38 (B) の TFT 124 に相当する。

図 13 (B) の画素は、信号線 1151、第 1 及び第 2 の走査線 1142、1143、電流線（電源線） 1144、スイッチング用 TFT 1145、保持用 TFT 1146、変換駆動用 TFT 1147、駆動用 TFT 1148、容量素子 1149、発光素子 1140 とを有する。信号線 1151 は電流源回路 1141 に接続されている。

なお、電流源回路 1141 が、信号線駆動回路 403 に配置されている電流源回路 420 に相当する。

図 13 (B) の画素は、スイッチング用 TFT 1145 のゲート電極は、第 1 の走査線 1142 に接続され、第 1 の電極は信号線 1151 に接続され、第 2 の電極

は駆動用TFT1148の第1の電極と、変換駆動用TFT1148の第1の電極  
とに接続されている。保持用TFT1146のゲート電極は、第2の走査線114  
3に接続され、第1の電極は駆動用TFT1148の第1の電極に接続され、第2  
の電極は駆動用TFT1148のゲート電極と、変換駆動用TFT1147のゲー  
5 ト電極とに接続されている。変換駆動用TFT1147の第2の電極は、電流線（電  
源線）1144に接続され、変換駆動用TFT1147の第2の電極は、発光素子  
1140の一方の電極に接続されている。容量素子1149は、変換駆動用TFT  
1147のゲート電極と第2の電極との間に接続され、変換駆動用TFT1147  
のゲート・ソース間電圧を保持する。電流線（電源線）1144および発光素子1  
10 140の他方の電極には、それぞれ所定の電位が入力され、互いに電位差を有する。

なお、図13（B）の画素は、図6（B）の回路を画素に適用した場合に相当す  
る。ただし、電流の流れる向きが異なるため、トランジスタの極性は、反対になっ  
ている。図13（B）の変換駆動用TFT1147が図6（B）のTFT122に相  
当し、図13（B）の駆動用TFT1148が図6（B）のTFT126に相当し、  
15 図13（B）の保持用TFT1146が図6（B）のTFT124に相当する。

図13（C）の画素は、信号線1121、第1の走査線1122、第2の走査線  
1123、第3の走査線1135、電流線（電源線）1124、スイッチング用T  
FT1125、画素用電流線1138、消去用TFT1126、駆動用TFT11  
27、容量素子1128、電流源TFT1129、ミラーTFT1130、容量素  
20 子1131、電流入力TFT1132、保持TFT1133、発光素子1136と  
を有する。画素用電流線1138は、電流源回路1137に接続される。

図13（C）の画素は、スイッチング用TFT1125のゲート電極は、第1の  
走査線1122に接続され、スイッチング用TFT1125の第1の電極は信号線  
1121に接続され、スイッチング用TFT1125の第2の電極は駆動用TFT  
25 1127のゲート電極と、消去用TFT1126の第1の電極とに接続されている。  
消去用TFT1126のゲート電極は、第2の走査線1123に接続され、消去用

- TFT1126の第2の電極は電流線（電源線）1124に接続されている。駆動用TFT1127の第1の電極は発光素子1136の一方の電極に接続され、駆動用TFT1127の第2の電極は電流源TFT1129の第1の電極に接続されている。電流源TFT1129の第2の電極は電流線1124に接続されている。
- 5 容量素子1131の一方の電極は、電流源TFT1129のゲート電極及びミラーTFT1130のゲート電極に接続され、他方の電極は電流線（電源線）1124に接続されている。ミラーTFT1130の第1の電極は電流線1124に接続され、ミラーTFT1130の第2の電極は、電流入力TFT1132の第1の電極に接続されている。電流入力TFT1132の第2の電極は電流線（電源線）11
- 10 24に接続され、電流入力TFT1132のゲート電極は第3の走査線1135に接続されている。電流保持TFT1133のゲート電極は第3の走査線1135に接続され、電流保持TFT1133の第1の電極は画素用電流線1138に接続され、電流保持TFT1133の第2の電極は電流源TFT1129のゲート電極及びミラーTFT1130のゲート電極に接続されている。電流線（電源線）112
- 15 4および発光素子1136の他方の電極には、それぞれ所定の電位が入力され、互いに電位差を有する。

ここで、電流源回路1137が、信号線駆動回路403に配置されている電流源回路420に相当する。

- なお、図13（C）の画素は、図63（B）の画素に、図23（E）の回路を画
- 20 素に適用した場合に相当する。ただし、電流の流れる向きが異なるため、トランジスタの極性は、反対になっている。なお、図13（C）の画素には、消去用TFT1126が追加されている。消去用TFT1126により、点灯期間の長さを自由に制御できるようになる。

- スイッチング用TFT1125は画素に対するビデオ信号の供給を制御する役
- 25 割を担う。消去用TFT1126は容量素子1131に保持された電荷を放電する役割を担う。駆動用TFT1127は、容量素子1131に保持された電荷に応じ

て、導通又は非導通が制御される。電流源TFT1129とミラーTFT1130はカレントミラー回路を形成する。電流線1124及び発光素子1136の他方の電極には、それぞれ所定の電位が入力され、互いに電位差を有する。

つまり、スイッチング用TFT1125がオンになると、信号線1121を通じて、ビデオ信号が画素に入力され、容量素子1128に保存される。そして、ビデオ信号の値により、駆動用TFT1127がオン又はオフする。よって、駆動用TFT1127がオンの場合は、発光素子に一定の電流がながれて、発光する。駆動用TFT1127がオフの場合は、発光素子に電流が流れず、発光しない。このようにして、画像を表示する。

10    なお図13(C)の電流源回路は、電流源TFT1129、ミラーTFT1130、容量素子1131、電流入力TFT1132及び保持TFT1133により電流源回路を構成している。電流源回路は、一定の電流が流す能力を有している。この電流源回路には、画素用電流線1138を通じて電流が入力され、設定動作が行われる。そのため、電流源回路を構成するトランジスタの特性がばらついても、電流源回路から発光素子に供給される電流の大きさには、ばらつきが生じなくなる。

15    画素の電流源回路に対する設定動作は、スイッチング用TFT1125や駆動用TFT1127の動作とは、無関係に行うことができる。

図71(A)の画素は、図63(B)の画素に図23(A)の回路を画素に適用した場合に相当する。ただし、電流の流れる向きが異なるため、トランジスタの極性は、反対になっている。図71(A)の画素は、電流源TFT1129、容量素子1131、保持TFT1133、画素用電流線1138(Ci)などを有している。

20    画素用電流線1138(Ci)は、電流源回路1137に接続されている。なお、電流源回路1137が、信号線駆動回路403に配置されている電流源回路420に相当する。

25    図71(B)の画素は、図63(B)の画素に図24(A)の回路を画素に適用した場合に相当する。ただし、電流の流れる向きが異なるため、トランジスタの極

性は、反対になっている。図71 (B) の画素は、電流源TFT1129、容量素子1131、保持TFT1133、画素用電流線1138 (Ci)などを有している。画素用電流線1138 (Ci) は、電流源回路1137に接続されている。なお、電流源回路1137が、信号線駆動回路403に配置されている電流源回路420に相当する。

図71 (A) の画素と図71 (B) の画素とでは、電流源TFT1129の極性が異なる。そして、極性が異なることにより、容量素子1131、保持TFT1133の接続が異なっている。

このように、さまざまな構成の画素が存在する。ところで、これまでに述べた画素は、大きく二つのタイプに分類できる。1つ目のタイプが、信号線にビデオ信号に応じた電流を入力するタイプである。これは、図13 (A)、図13 (B)などがそれに相当する。この場合、信号線駆動回路は、図1や図2に示すように、信号電流制御スイッチを有している。

そして、もう1つのタイプが、信号線にビデオ信号を入力し、画素用電流線に、ビデオ信号とは無関係な一定の電流を入力するタイプ、つまり、図63 (B)のような画素の場合である。これは、図13 (C)、図71 (A)、図71 (B)などが相当する。この場合、信号線駆動回路は、図34や図35に示すように、信号電流制御スイッチを有していない。

次いで、各々の画素のタイプに応じたタイミングチャートについて述べる。まず、デジタル階調と時間階調を組み合わせた場合について述べる。ただし、前記タイミングチャートは、画素のタイプや信号線駆動回路の構成に依存する。つまり、すでに述べたように、信号線駆動回路の電流源回路に対する設定動作と入力動作と同時に行える場合と、設定動作と入力動作とを同時に行えない場合とでは、タイミングが異なってくる場合がある。

まず、画素のタイプが、信号線にビデオ信号に応じた電流を入力するタイプの場合について述べる。画素は、図13 (A) もしくは図13 (B) であるとする。信

号線駆動回路は、図 6 (B) の構成であるとする。

そして、信号線駆動回路の電流源回路に対する設定動作と入力動作を同時に行える場合として、図 6 (B) における定電流回路 4 1 4 に図 1 に示した回路を適用し、電流源回路の部分に図 2 3 (C) を適用した場合の回路、つまり、図 5 の場合について述べる。なお、設定動作と入力動作と同時に行うことができる場合として、図 3、図 4 の回路でも同様である。

このときのタイミングチャートを図 7 2 に示す。4 ビットの階調を表現することとし、簡単のため、サブフレーム数を 4 つにしたとする。まず、最初のサブフレーム期間 SF1 が始まる。1 行ずつ走査線 (図 1 3 (A) での第 1 の走査線 1 1 0 2 や図 1 3 (B) での第 1 の走査線 1 1 3 2) を選択し、信号線 (図 1 3 (A) での 1 1 0 1 や図 1 3 (B) での 1 1 3 1) から電流を入力していく。この電流は、ビデオ信号に応じた値になっている。そして、点灯期間  $T_{s1}$  が終了すると、次のサブフレーム期間 SF2 が始まり、SF1 と同様に走査させる。その後、その次のサブフレーム期間 SF3 が始まり、同様に走査させていく。ただし、点灯期間の長さ  $T_{s3}$  が、アドレス期間の長さ  $T_{a3}$  よりも短いため、強制的に、発光しないようにしていく。つまり、入力したビデオ信号を消去していく。あるいは、発光素子に電流が流れないようにする。消去するためには、第 2 の走査線 (図 1 3 (A) での第 2 の走査線 1 1 0 3 や図 1 3 (B) での第 2 の走査線 1 1 3 3) を 1 行ずつ選択していく。すると、ビデオ信号が消去され、非発光状態にすることができる。その後、次のサブフレーム SF4 が始まる。ここでも、SF3 と同様に走査させ、同様に非発光状態にしていく。

以上が、画像表示動作、つまり、画素の動作に関するタイミングチャートである。次に、信号線駆動回路に配置された電流源回路の設定動作のタイミングについて述べる。

ここでの電流源回路は、設定動作と入力動作を同時に行うことができるものとしている。画素のタイプが、信号線にビデオ信号に応じた電流を入力するタイプの場

合、信号線駆動回路の電流源回路の入力動作（画素への電流の出力）は、各サブフレーム期間におけるアドレス期間（ $T_{a1}$ 、 $T_{a2}$  など）に行われる。そして、信号線駆動回路の電流源回路の設定動作は、シフトレジスタ 4 1 1 からのサンプリングパルスによって制御される。

- 5     そして、シフトレジスタから出力されるサンプリングパルスは、ある行の走査線（ゲート線）が選択されている間に、すべての列にわたって、出力される。したがって、図 7 2 に示すように、シフトレジスタから出力されるサンプリングパルスと同期して、信号線駆動回路の電流源回路の設定動作が行われる。

- 次に、図 4 2 に示すように、信号線駆動回路に設定制御線と論理演算子が配置さ  
10    れている場合について述べる。そして、信号線駆動回路の電流源回路に対する設定動作と入力動作を同時に行える場合として、図 4 2 における定電流回路 4 1 4 に図 1 に示した回路を適用し、電流源回路の部分に図 2 3（C）を適用した場合について、図 4 9 の場合について述べる。

このときのタイミングチャートを図 7 3、図 7 4、図 7 5 に示す。

- 15    まず、画像表示動作、つまり、画素のスイッチング用トランジスタと駆動用トランジスタなどに関する動作については、上述した図 7 2 の場合とほとんど同様なため、説明を省略する。

- 次に、信号線駆動回路に配置された電流源回路の設定動作のタイミングについて述べる。図 7 2 の場合、各々のアドレス期間における各行の走査線（ゲート線）の  
20    選択期間中において、信号線駆動回路の電流源回路の設定動作を行う。

図 7 3 では、設定制御線によって、電流源回路の設定動作を行うか否かを制御することができる。したがって、あるアドレス期間中におけるある行の走査線（ゲート線）が選択されているときにだけ、設定動作期間  $T_b$  を設け、該設定動作期間  $T_b$  において設定動作を行うことができる。

- 25    このようにすると、信号線駆動回路に配置された電流源回路が設定動作を行う回数を減らすことが出来る。そのため、消費電力を低減することが出来る。

なお、電流源回路420には、あるトランジスタのゲート・ソース間に接続された容量素子が配置されている。その容量素子には、電流源回路の設定動作により、電荷が蓄積される。理想的には、電流源回路の設定動作は、電源を入力した時に1回だけ行えばよい。なぜなら、容量素子に蓄積される電荷量は、動作状態や時間などによって変化させる必要がなく、また、変化しないからである。したがって、信号線駆動回路の電流源回路の設定動作は、任意のタイミングで、任意の回数だけ行えばよい。

しかしながら、現実的には、容量素子には、様々なノイズが入ったり、容量素子と接続されているトランジスタのもれ電流が流れたりする。その結果、容量素子に蓄積される電荷量が、時間とともに変化してしまう場合がある。電荷量が変化すると、電流源回路から出力される電流、すなわち、画素に入力される電流も、変化してしまう。その結果、画素の輝度も変化してしまう。そこで、容量素子に蓄積された電荷を変動させないようにするため、電流源回路の設定動作を、ある周期で行っていき、電荷をリフレッシュする必要がある。

15 容量素子に蓄積された電荷をリフレッシュする動作は、1フレーム期間につき、何回おこなってもよい。あるいは、数フレーム期間につき、1回おこなってもよい。

なお図73では、電流源回路の設定動作は、アドレス期間 $T_{a1}$ と $T_{a2}$ とにおいて、1回づつ行っている。どれくらいの頻度で設定動作を行うかは、電流源回路の有する容量素子の電荷の保存状況により、適宜決めればよい。

20 次に、図73とは、信号線駆動回路に配置された電流源回路の設定動作のタイミングが異なる場合について、図74に示す。

図74では、アドレス期間（信号線駆動回路の電流源回路の入力動作をおこなっている期間）と、信号線駆動回路の電流源回路の設定動作期間とを分離した。つまり、設定制御線を利用して、アドレス期間中、つまり、電流源回路の入力動作中には、電流源回路の設定動作を行わないようにした。さらに、アドレス期間とアドレス期間との隙間の期間において、つまり、電流源回路の入力動作を行っていないと



きに、電流源回路の設定動作を行うようにした。

このように、信号線駆動回路の電流源回路の設定動作と入力動作を別々に行うことにより、各々の動作の動作速度を変えることができる。つまり、シフトレジスタ 4 1 1 が出力するサンプリングパルスの周波数を、変えることが出来る。したがって、信号線駆動回路の電流源回路の設定動作を行う場合のみ、シフトレジスタ 4 1 1 の動作を遅くすることが出来る。その結果、電流源回路の設定動作を、十分な時間をかけて行うことができ、より正確に設定動作を行うことが可能となる。

したがって、図 7 4 の場合は、信号線駆動回路の電流源回路に対する設定動作と入力動作とが、同時に行えないような構成を用いてもよい。

10    なお、電流源回路の設定動作を行うために、シフトレジスタ 4 1 1 が動作していても、画素における走査線（ゲート線）が選択されていなければ、画素には、全く影響を与えない。つまり、アドレス期間中には、走査線（ゲート線）が選択されていないので、画素には、全く影響を与えない。

また、シフトレジスタ 4 1 1 が、図 4 3、図 4 4、図 4 5、図 4 6 などのように、  
15    複数の配線をランダムに選択できる回路の場合は、1 回のアドレス期間とアドレス期間の隙間の期間、つまり、電流源回路が入力動作を行っていない期間の 1 区間内で、すべての電流源回路の設定動作を終える必要がない。つまり、数フレーム期間かけて、すべての電流源回路の設定動作を終えるようにしてもよい。あるいは、1 フレーム期間内に、アドレス期間とアドレス期間の隙間の期間が複数ある場合は、  
20    それらの期間から選択された幾つかの期間を用いて、電流源回路の設定動作を行ってもよい。このときのタイミングチャートを、図 7 5 に示す。

つぎに、画素のタイプが、信号線にビデオ信号を入力し、画素用電流線に、ビデオ信号とは無関係な一定の電流を入力するタイプの場合について述べる。信号線駆動回路は、図 6 3 (A) の構成であるとする。画素は、図 6 3 (B)、図 1 3 (C)、  
25    図 7 1 (A)、図 7 1 (B) などであるとする。ただし、この画素構成の場合、画素の電流源回路に対しても、設定動作を行う必要がある。そのため、画素の電流源

回路の設定動作と入力動作を同時にできるかどうかによって、タイミングチャートが異なってくる。まず、画素の電流源回路の設定動作と入力動作とを同時にできる場合、つまり、画素が図 1 3 (C) のときのタイミングチャートを図 7 6 に示す。

まず、画像表示動作、つまり、画素のスイッチング用トランジスタと駆動用トランジスタなどに関する動作について述べる。ただし、図 7 2 の場合とほとんど同様なため、簡単に述べる。

まず、最初のサブフレーム期間 SF1 が始まる。1 行ずつ走査線 (図 1 3 (C) での第 1 の走査線 1 1 2 2) を選択し、信号線 (図 1 3 (C) での 1 1 2 1) からビデオ信号を入力していく。このビデオ信号は、通常、電圧であるが、電流でもかま  
10 わない。そして、点灯期間  $T_{s1}$  が終了すると、次のサブフレーム期間 SF2 が始まり、SF1 と同様に走査させる。その後、その次のサブフレーム期間 SF3 が始まり、同様に走査させていく。ただし、点灯期間の長さ  $T_{s3}$  が、アドレス期間の長さ  $T_{a3}$  よりも短いため、強制的に、発光しないようにしていく。つまり、入力したビデオ信号を消去していく。あるいは、発光素子に電流が流れないようにする。消去する  
15 ためには、第 2 の走査線 (図 1 3 (C) での第 2 の走査線 1 1 2 3) を 1 行ずつ選択していく。すると、ビデオ信号が消去され、駆動用 TFT 1 1 2 7 がオフ状態になり、非発光状態にすることができる。その後、次のサブフレーム SF4 が始まる。ここでも、SF3 と同様に走査させ、同様に非発光状態にしていく。

次に、画素の電流源回路に対する設定動作に関して述べる。図 1 3 (C) の場合、  
20 画素の電流源回路の設定動作と入力動作は、同時に行うことができる。したがって、画素の電流源回路の設定動作は、任意のタイミングで行えばよい。

信号線駆動回路の電流源回路の設定動作は、入力動作 (画素の電流源回路の設定動作) と同時に出来る場合には、いつ行ってもよい。信号線駆動回路の電流源回路の設定動作は、入力動作 (画素の電流源回路の設定動作) と同時に出来ない場合は、  
25 入力動作 (画素の電流源回路の設定動作) を行っている期間以外の時に行えばよい。

信号線駆動回路の電流源回路の設定動作と入力動作 (画素への電流の出力、つま

り、画素の電流源回路の設定動作）が同時に出来る場合は、図 6 3（A）の定電流回路 4 1 4 が、図 3 5 の回路の場合、つまり、図 6 8 の場合に相当する。あるいは、図 6 3（A）の定電流回路 4 1 4 が図 3 4 であり、かつ、電流源回路 4 2 0 が図 2 3（C）、図 2 3（D）、図 2 3（E）などである場合に相当する。

- 5 信号線駆動回路の電流源回路の設定動作と入力動作（画素への電流の出力、つまり、画素の電流源回路の設定動作）を同時に出来ない場合は、図 6 3（A）の定電流回路 4 1 4 が、図 3 4 であり、かつ、電流源回路 4 2 0 が図 2 3（A）、図 2 3（B）などである場合、つまり、図 6 4 の場合に相当する。

- 10 よって、図 7 6 には、信号線駆動回路の電流源回路の設定動作と入力動作（画素への電流の出力、つまり、画素の電流源回路の設定動作）とが同時に出来ない場合のタイミングチャートを示す。信号線駆動回路の電流源回路の設定動作は、アドレス期間中に行われるとすると、画素の電流源回路の設定動作は、アドレス期間とアドレス期間の隙間の期間に行われる。

- 15 信号線駆動回路の電流源回路の設定動作と入力動作（画素への電流の出力、つまり、画素の電流源回路の設定動作）を同時に出来る場合は、画素の電流源回路の設定動作は、任意の期間に行えばよい。

- 20 図 7 6 の場合、各々のアドレス期間での、各行の走査線（ゲート線）の選択期間中において、信号線駆動回路の電流源回路の設定動作を行っている。つぎに、図 6 6 や図 6 9 のように、設定制御線や論理演算子が配置された場合のタイミングチャートについて述べる。図 6 6 や図 6 9 では、設定制御線によって、電流源回路の設定動作を行うか否かを制御できる。したがって、あるアドレス期間中における、ある行の走査線（ゲート線）が選択されているときだけ、設定動作期間  $T_b$  を設け、該設定動作期間  $T_b$  において設定動作を行うことができる。

- 25 よって、図 7 7 には、信号線駆動回路の電流源回路の設定動作と入力動作（画素への電流の出力、つまり、画素の電流源回路の設定動作）とが、同時に出来ない場合のタイミングチャートを示す。信号線駆動回路の電流源回路の設定動作は、アド

レス期間の最初の期間に行われる。図 7 7 では、Ta1 と Ta2 の最初の期間に行われる。したがって、画素の電流源回路の設定動作は、それ以外の期間に行われる。つまり、アドレス期間中も、画素の電流源回路の設定動作（信号線駆動回路の電流源回路の入力動作）を行うことが出来る。

- 5     また、このようにすることにより、信号線駆動回路に配置された電流源回路の設定動作の回数を減らすことが出来る。そのため、消費電力を低減することが出来る。

なお、電流源回路 4 2 0 には、ゲート・ソース間に接続された容量素子が配置されている。その容量素子には、電流源回路の設定動作により、電荷が蓄積される。理想的には、電流源回路の設定動作は、電源を入力した時に 1 回だけ行えばよい。

- 10    なぜなら、容量素子に蓄積される電荷量は、動作状態や時間などによって変化させる必要がなく、また、変化しないからである。したがって、信号線駆動回路の電流源回路の設定動作は、任意のタイミングで、任意の回数だけ行えばよい。

- しかしながら、現実的には、容量素子には、様々なノイズが入ったり、容量素子と接続されているトランジスタのもれ電流が流れたりする。その結果、容量素子に蓄積される電荷量が、時間とともに変化してしまう場合がある。電荷量が変わると、電流源回路から出力される電流、すなわち、画素に入力される電流も、変化してしまう。その結果、画素の輝度も変化してしまう。そこで、容量素子に蓄積された電荷を変動させないようにするため、電流源回路の設定動作を、ある周期で行っていき、電荷をリフレッシュする必要がある。
- 15

- 20    容量素子に蓄積された電荷をリフレッシュする動作は、1 フレーム期間につき、何回おこなってもよい。あるいは、数フレーム期間につき、1 回おこなってもよい。

図 7 7 では、電流源回路の設定動作は、アドレス期間 Ta1 と Ta2 とにおいて、1 回ずつ行っている。どれくらいの頻度で設定動作を行うかは、電流源回路の有する容量素子の電荷の保存状況により、適宜決めればよい。

- 25    次に、図 7 7 とは信号線駆動回路に配置された電流源回路の設定動作のタイミングが異なる場合について、図 7 8 に示す。

- 図 7 8 では、設定制御線を利用して、アドレス期間中には、信号線駆動回路の電流源回路の設定動作を行わないようにし、アドレス期間とアドレス期間との隙間の期間において、電流源回路の設定動作を行うようにする。そして、信号線駆動回路の電流源回路の入力動作（画素への電流の出力、つまり、画素の電流源回路の設定動作）は、信号線駆動回路の電流源回路の設定動作と同時に出来ない場合は、設定動作を行っていない期間に行うようにした。設定動作と入力動作を同時に出来る場合は、信号線駆動回路の電流源回路の入力動作を行うタイミングはいつでもよい。
- このように、信号線駆動回路の電流源回路の設定動作をアドレス期間以外の期間に行うことにより、アドレス期間における動作と設定動作における動作で、動作速度を変えることができる。つまり、シフトレジスタ 4 1 1 が出力するサンプリングパルスの周波数を、変えることが出来る。したがって、信号線駆動回路の電流源回路の設定動作を行う場合にのみ、シフトレジスタ 4 1 1 の動作を遅くすることが出来る。その結果、電流源回路の設定動作を、十分な時間をかけて行うことができ、より正確に設定動作を行うことが可能となる。
- 15    なお、電流源回路の設定動作を行うために、シフトレジスタ 4 1 1 が動作していても、画素における走査線（ゲート線）が選択されていなければ、画素には、全く影響を与えない。つまり、アドレス期間中には、走査線（ゲート線）が選択されていないので、画素には、全く影響を与えない。
- また、シフトレジスタ 4 1 1 が、図 4 3、図 4 4、図 4 5、図 4 6 などのように、
- 20    ランダムに配線を選択できる回路である場合は、1 回のアドレス期間とアドレス期間の隙間の期間の 1 区間で、すべての電流源回路の設定動作を終える必要がない。つまり、数フレーム期間かかって、すべての電流源回路の設定動作を終えるようにしてもよい。あるいは、1 フレーム期間内に、アドレス期間とアドレス期間の隙間の期間が複数ある場合は、それらの期間から選択された幾つかを用いて、電流源回路
- 25    の設定動作を行ってもよい。このときのタイミングチャートを、図 7 9 に示す。
- 次に、画素のタイプが、信号線にビデオ信号を入力し、画素用電流線に、ビデオ

信号とは無関係な一定の電流を入力するタイプであり、かつ、画素の電流源回路の設定動作と入力動作とを同時にできない場合、つまり、画素が図 7 1 (A)、図 7 1 (B) のときのタイミングチャートを図 8 0 に示す。

まず、画像表示動作、つまり、画素のスイッチング用トランジスタと駆動用トランジスタなどに関する動作は、図 7 6 の場合とほとんど同様なため、簡単に述べる。

まず、最初のサブフレーム期間 SF1 が始まる。1 行ずつ走査線 (図 7 1 (A)、図 7 1 (B) での第 1 の走査線 1 1 2 2) を選択し、信号線 (図 7 1 (A)、図 7 1 (B) での 1 1 2 1) からビデオ信号を入力していく。このビデオ信号は、通常、電圧であるが、電流でもかまわない。そして、点灯期間  $T_{s1}$  が終了すると、次のサブフレーム期間 SF2 が始まり、SF1 と同様に走査させる。その後、その次のサブフレーム期間 SF3 が始まり、同様に走査させていく。ただし、点灯期間の長さ  $T_{s3}$  が、アドレス期間の長さ  $T_{a3}$  よりも短いため、強制的に、発光しないようにしていく。つまり、入力したビデオ信号を消去していく。あるいは、発光素子に電流が流れないようにする。発光素子に電流が流れないようにするためには、第 2 の走査線 (図 1 3 (C) での第 2 の走査線 1 1 2 3) を 1 行ずつ非選択状態にしていく。すると、消去用 TFT 1 1 2 7 がオフ状態になり、電流の流れる経路が遮断され、非発光状態にすることができる。その後、次のサブフレーム SF4 が始まる。ここでも、SF3 と同様に走査させ、同様に非発光状態にしていく。

次に、画素の電流源回路に対する設定動作に関して述べる。図 7 1 (A)、図 7 1 (B) の場合、画素の電流源回路の設定動作と入力動作とは、同時に行うことができない。したがって、画素の電流源回路の設定動作は、画素の電流源回路が入力動作を行っていない時、つまり、発光素子に電流が流れていないときに行えばよい。

信号線駆動回路の電流源回路の設定動作は、入力動作 (画素の電流源回路の設定動作) と同時に出来る場合は、いつ行ってもよい。信号線駆動回路の電流源回路の設定動作が、入力動作 (画素の電流源回路の設定動作) と同時に出来ない場合は、入力動作 (画素の電流源回路の設定動作) を行っている期間以外の時に行えばよい。

信号線駆動回路の電流源回路の設定動作と入力動作（画素への電流の出力、つまり、画素の電流源回路の設定動作）と同時に出来る場合は、図 6 3（A）の定電流回路 4 1 4 が図 3 5 の回路の場合、つまり、図 6 8 の場合に相当する。あるいは、図 6 3（A）の定電流回路 4 1 4 が図 3 4 であり、かつ、電流源回路 4 2 0 が図 2 3（C）、図 2 3（D）、図 2 3（E）などである場合に相当する。

信号線駆動回路の電流源回路の設定動作と入力動作（画素への電流の出力、つまり、画素の電流源回路の設定動作）が同時に出来ない場合は、図 6 3（A）の定電流回路 4 1 4 が図 3 4 であり、かつ、電流源回路 4 2 0 が図 2 3（A）、図 2 3（B）などである場合、つまり、図 6 4 の場合に相当する。

10 よって、図 8 0 には、信号線駆動回路の電流源回路の設定動作と入力動作（画素への電流の出力、つまり、画素の電流源回路の設定動作）とが、同時に出来る場合のタイミングチャートを示す。信号線駆動回路の電流源回路の設定動作は、アドレス期間中に行われる。画素の電流源回路の設定動作は、画素の電流源回路が入力動作を行っていない時、つまり、発光素子に電流が流れていないときである非点灯期間（非発光期間）（Td3、Td4）に行い、信号線駆動回路の電流源回路の設定動作は、  
15 それ以外の時に行えばよい。非点灯期間（非発光期間）（Td3、Td4）は、アドレス期間と重なっている場合が多い。

図 8 0 の場合、各々のアドレス期間での、各行の走査線（ゲート線）の選択期間中において、信号線駆動回路の電流源回路の設定動作を行う。つぎに、図 6 6 や図  
20 6 9 のように、設定制御線や論理演算子がある場合のタイミングチャートについて述べる。図 6 6 や図 6 9 では、設定制御線によって、電流源回路の設定動作を行うかどうかを制御できる。したがって、あるアドレス期間中における、ある行の走査線（ゲート線）が選択されているときだけ、設定動作期間 Tb を設け、該設定動作期間 Tb において設定動作を行うことができる。

25 よって、図 8 1 には、信号線駆動回路の電流源回路の設定動作と入力動作（画素への電流の出力、つまり、画素の電流源回路の設定動作）とが、同時に出来ない場

合のタイミングチャートを示す。信号線駆動回路の電流源回路の設定動作は、画素の電流源回路の設定動作が行われていない期間に行われる。図 8 1 では、Ta2 の期間に行われる。画素の電流源回路の設定動作は、それ以外の期間に行われる。よって、画素の電流源回路の設定動作（信号線駆動回路の電流源回路の入力動作）を行う期間を避けて、信号線駆動回路の電流源回路の設定動作を行うことが出来る。

また、このようにすることにより、信号線駆動回路に配置された電流源回路の設定動作の回数を減らすことが出来る。そのため、消費電力を低減することが出来る。なお、信号線駆動回路の電流源回路の設定動作は、任意のタイミングで、任意の回数だけ行えばよい。ただし、電流源回路に配置されている容量素子に蓄積された電荷を変動させないようにするため、電流源回路の設定動作を、ある周期で行っていき、電荷をリフレッシュする必要がある。そこで、容量素子に蓄積された電荷をリフレッシュする動作は、1 フレーム期間につき、何回おこなってもよい。あるいは、数フレーム期間につき、1 回おこなってもよい。

図 8 1 では、電流源回路の設定動作は、アドレス期間 Ta2 のある期間において、1 回だけ行っている。どれくらいの頻度で設定動作を行うかは、電流源回路の有する容量素子の電荷の保存状況により、適宜決めればよい。

次に、図 8 1 とは、信号線駆動回路に配置された電流源回路の設定動作のタイミングが異なる場合について、図 8 2 に示す。

図 8 2 では、設定制御線を利用して、アドレス期間中には、信号線駆動回路の電流源回路の設定動作を行わないようにし、アドレス期間とアドレス期間との隙間の期間において、電流源回路の設定動作を行うようにする。そして、信号線駆動回路の電流源回路の入力動作（画素への電流の出力、つまり、画素の電流源回路の設定動作）は、画素の電流源回路が入力動作を行っていない時、つまり、発光素子に電流が流れていないときである非点灯期間（非発光期間）(Td3、Td4) に行う。

このようにすることにより、信号線駆動回路の電流源回路の設定動作と入力動作を、同時に行わないことが可能となる。



このように、信号線駆動回路の電流源回路の設定動作をアドレス期間以外の期間に行うことにより、アドレス期間における動作と設定動作における動作とで、動作速度を変えることができる。つまり、シフトレジスタ 411 が出力するサンプリングパルスの周波数を、変えることが出来る。したがって、信号線駆動回路の電流源回路の設定動作を行う場合のみ、シフトレジスタ 411 の動作を遅くすることが出来る。その結果、電流源回路の設定動作を、十分な時間をかけて行うことができ、より正確に設定動作を行うことが可能となる。

なお、電流源回路の設定動作を行うために、シフトレジスタ 411 が動作していても、画素における走査線（ゲート線）が選択されていなければ、画素には、全く影響を与えない。つまり、アドレス期間中には、走査線（ゲート線）が選択されていないので、画素には、全く影響を与えない。

また、シフトレジスタ 411 が、図 4 3、図 4 4、図 4 5、図 4 6 などのように、複数の配線をランダムに選択できる回路である場合は、1 回分のアドレス期間とアドレス期間の隙間の期間の 1 区間内で、すべての電流源回路の設定動作を終える必要がない。つまり、数フレーム期間かかって、すべての電流源回路の設定動作を終えるようにしてもよい。あるいは、1 フレーム期間内に、アドレス期間とアドレス期間の隙間の期間が複数ある場合は、それらの期間から選択された幾つかの期間を用いて、電流源回路の設定動作を行ってもよい。このときのタイミングチャートを、図 8 3 に示す。

なお、画素の電流源回路に対する設定動作が、非点灯期間だけでは、期間が短い場合がある。そのようなときは、図 8 4 のように、各アドレス期間の前に、強制的に非点灯期間を設け、該非点灯期間において、画素の電流源回路に対する設定動作を行ってもよい。

これまでは、デジタル階調と時間階調を組み合わせた場合における、タイミングチャートに関して述べてきた。つぎに、アナログ階調の場合のタイミングチャートについて述べる。ここでも、信号線駆動回路の電流源回路に対する設定動作と入力

動作を同時に行うことができない場合のタイミングチャートについて述べる。

まず、画素は、図 13 (A) もしくは図 13 (B) であるとする。信号線駆動回路は、図 27 もしくは図 54 の構成、つまり、図 29、図 7、図 8、図 55 のような回路であるとする。このときのタイミングチャートを図 85 に示す。

- 5     1 行づつ走査線 (図 13 (A) での第 1 の走査線 1102 や図 13 (B) での第 1 の走査線 1132) を選択し、信号線 (図 13 (A) での 1101 や図 13 (B) での 1131) から電流を入力していく。この電流は、ビデオ信号に応じた値になっている。これを、1 フレーム期間かけて行う。

以上が、画像表示動作、つまり、画素の動作に関するタイミングチャートである。

- 10   次に、信号線駆動回路に配置された電流源回路の設定動作のタイミングについて述べる。ここでの電流源回路は、設定動作と入力動作とは、同時に行えるものについて述べる。よって、定電流回路に図 57 や図 58 など適用した場合に相当する。

信号線駆動回路の電流源回路の入力動作は、通常は、1 フレーム期間をかけて行われる。そして、図 85 に示すように、1 フレーム期間をかけて信号線駆動回路の

- 15   電流源回路の設定動作を行っていく。

次に、図 53、図 60、図 59、図 61、図 62 のように、設定制御線や論理演算子がある場合のタイミングチャートについて述べる。この場合、設定制御線によって、電流源回路の設定動作を行うか否が制御される。

- 20   なお、図 60 において、第 1～第 3 設定制御線までは、どちらの電流源回路に設定動作を行い、どちらの電流源回路に入力動作をさせるかを制御している。そして、第 4 設定制御線は、電流源回路の設定動作を行うかどうかを制御している。

したがって、図 86 に示すように、走査線 (ゲート線) が選択されているある期間だけ、設定動作期間  $T_b$  を設け、該設定動作期間  $T_b$  において設定動作を行うことができる。

- 25   この場合、図 61 や図 60 の場合は、信号線駆動回路に配置された電流源回路の設定動作と入力動作を同時にできるため、設定動作を行うタイミングに関する問題

は生じない。信号線駆動回路の電流源回路の設定動作と入力動作を同時にできない場合は、走査線が選択されているとき、つまり最初の期間のみ、信号線駆動回路の電流源回路の入力動作を停止し、設定動作を行うようにすればよい。なお、その期間は、帰線期間と一致させてもよい。

- 5     また、図 9 のように、走査線が選択されるとき、毎行で設定動作を行う必要はない。また、図 8 6 や図 9 では、電流源回路を制御する回路（シフトレジスタ）として、図 4 3 などの回路を用いて、ランダムに電流源回路を選択できるようにすることが望ましい。また、図 4 4、図 4 5、図 4 6 などの回路を用いてもよい。

- あるいは、図 1 0 や図 1 1 に示すように、信号線駆動回路の電流源回路の入力動作（ビデオ信号の入力動作、つまり、画素への電流の出力）は、1 フレーム期間のうちの何割かの期間で行い、残りの期間で、信号線駆動回路の電流源回路の設定動作を行ってもよい。この場合、信号線駆動回路の電流源回路の設定動作と入力動作とは、同時に行えなくても良い。
- 10

- その時、信号線駆動回路の電流源回路の設定動作を行う場合、図 1 0 に示すように、電流源回路に対して、1 列ずつ設定動作をおこなってもよい。あるいは、図 4 3、図 4 4、図 4 5、図 4 6 などの回路を用いて、ランダムに電流源回路を選択できるようにして、1 フレーム期間内では、すべての電流源回路に対して設定動作を行わなくてもよい。つまり、数フレーム期間以上かけて、すべての電流源回路に対して、設定動作をおこなってもよい。その場合、1 つの電流源回路に対して、長い時間をかけて設定動作を行えるため、より正確に設定することが可能となる。
- 15
- 20

- なお、信号線駆動回路の電流源回路の設定動作を行う場合、電流が漏れたり、別の電流が入ってきたりすることが無い状態で行う必要がある。よって、図 2 9 におけるトランジスタ 1 8 2、図 5 5 におけるトランジスタ A、B、C などは、信号線駆動回路の電流源回路の設定動作を行う前には、オフ状態にしておく必要がある。
- 25
- ただし、図 5 6 のように、トランジスタ 1 9 3 が配置されていて、電流が漏れたり、別の電流が入ってきたりすることが無い場合は、考慮する必要はない。

本実施例は、実施の形態 1～8、実施例 1 と任意に組み合わせることが可能である。

#### 〈実施例 3〉

本実施例では、カラー表示を行う場合の工夫について述べる。

- 5 発光素子が有機 EL 素子である場合、該発光素子に同じ大きさの電流を流しても、色によって、輝度が異なる。また、発光素子が劣化した場合、劣化の度合いは、色によって異なる。そのため、ホワイトバランスを調節するためには、さまざまな工夫が必要である。

最も単純なのは、画素に入力する電流の大きさを色によって変えることである。

- 10 そのためには、リファレンス用定電流源の電流の大きさを色によって変えればよい。

その他の手法としては、画素、信号線駆動回路、リファレンス用定電流源などにおいて、図 20 のような回路を用いることである。そして、カレントミラー回路を構成している 2 つのトランジスタの W/L の比率を、色によって変えることである。これにより、電流の大きさが色によって異なってくる。

- 15 さらに他の手法としては、点灯期間の長さを色によって変えることである。これは、時間階調方式を用いている場合でも、用いていない場合でも、どちらでも適用できる。これにより、輝度を調節することができる。

以上のような手法を用いることにより、あるいは、組み合わせて用いることにより、容易にホワイトバランスを調節することができる。

- 20 本実施例は、実施の形態 1～8、実施例 1、2 と任意に組み合わせることが可能である。

#### 〈実施例 4〉

- 本実施例では、本発明の発光装置（半導体装置）の外観について、図 12 を用いて説明する。図 12 は、トランジスタが形成された素子基板をシーリング材によっ  
25 て封止することによって形成された発光装置の上面図であり、図 12（B）は、図 12（A）の A-A' における断面図、図 12（C）は図 12（A）の B-B' におけ

る断面図である。

基板4001上に設けられた画素部4002と、ソース信号線駆動回路4003と、ゲート信号線駆動回路4004a、bとを囲むようにして、シール材4009が設けられている。また画素部4002と、ソース信号線駆動回路4003と、ゲート信号線駆動回路4004a、bとの上にシーリング材4008が設けられている。よって画素部4002と、ソース信号線駆動回路4003と、ゲート信号線駆動回路4004a、bとは、基板4001とシール材4009とシーリング材4008とによって、充填材4210で密封されている。

また基板4001上に設けられた画素部4002と、ソース信号線駆動回路4003と、ゲート信号線駆動回路4004a、bとは、複数のTFTを有している。図12(B)では代表的に、下地膜4010上に形成された、ソース信号線駆動回路4003に含まれる駆動TFT(但し、ここではnチャネル型TFTとpチャネル型TFTを図示)4201及び画素部4002に含まれる消去用TFT4202を図示した。

本実施例では、駆動TFT4201には公知の方法で作製されたpチャネル型TFTまたはnチャネル型TFTが用いられ、消去用TFT4202には公知の方法で作製されたnチャネル型TFTが用いられる。

駆動TFT4201及び消去用TFT4202上には層間絶縁膜(平坦化膜)4301が形成され、その上に消去用TFT4202のドレインと電氣的に接続する画素電極(陽極)4203が形成される。画素電極4203としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものを用いても良い。

そして、画素電極4203の上には絶縁膜4302が形成され、絶縁膜4302は画素電極4203の上に開口部が形成されている。この開口部において、画素電

極 4 2 0 3 の上には発光層 4 2 0 4 が形成される。発光層 4 2 0 4 は公知の発光材料または無機発光材料を用いることができる。また、発光材料には低分子系（モノマー系）材料と高分子系（ポリマー系）材料があるがどちらを用いても良い。

発光層 4 2 0 4 の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、発光層 4 2 0 4 の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を任意に組み合わせて積層構造または単層構造とすれば良い。

発光層 4 2 0 4 の上には遮光性を有する導電膜（代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜）からなる陰極 4 2 0 5 が形成される。また、陰極 4 2 0 5 と発光層 4 2 0 4 の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、発光層 4 2 0 4 を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極 4 2 0 5 を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。そして陰極 4 2 0 5 は所定の電圧が与えられている。

15 以上のようにして、画素電極（陽極）4 2 0 3、発光層 4 2 0 4 及び陰極 4 2 0 5 からなる発光素子 4 3 0 3 が形成される。そして発光素子 4 3 0 3 を覆うように、絶縁膜上に保護膜が形成されている。保護膜は、発光素子 4 3 0 3 に酸素や水分等が入り込むのを防ぐのに効果的である。

4 0 0 5 a は電源線に接続された引き回し配線であり、消去用 TFT 4 2 0 2 のソース領域に電氣的に接続されている。引き回し配線 4 0 0 5 a はシール材 4 0 0 9 と基板 4 0 0 1 との間を通り、異方導電性フィルム 4 3 0 0 を介して FPC 4 0 0 6 が有する FPC 用配線 4 3 0 1 に電氣的に接続される。

シーリング材 4 0 0 8 としては、ガラス材、金属材（代表的にはステンレス材）、セラミックス材、プラスチック材（プラスチックフィルムも含む）を用いることができる。プラスチック材としては、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マ

イラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをP V Fフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

但し、発光層からの光の放射方向がカバー材側に向かう場合にはカバー材は透明  
5 でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

また、充填材 4 2 1 0 としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、P V C (ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、P V B (ポリビニルブチラ  
10 ル) またはE V A (エチレンビニルアセテート) を用いることができる。本実施例では充填材として窒素を用いた。

また充填材 4 2 1 0 を吸湿性物質 (好ましくは酸化バリウム) もしくは酸素を吸着しうる物質にさらしておくために、シーリング材 4 0 0 8 の基板 4 0 0 1 側の面に凹部 4 0 0 7 を設けて吸湿性物質または酸素を吸着しうる物質 4 2 0 7 を配置  
15 する。そして、吸湿性物質または酸素を吸着しうる物質 4 2 0 7 が飛び散らないように、凹部カバー材 4 2 0 8 によって吸湿性物質または酸素を吸着しうる物質 4 2 0 7 は凹部 4 0 0 7 に保持されている。なお凹部カバー材 4 2 0 8 は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物質 4 2 0 7 は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質  
20 4 2 0 7 を設けることで、発光素子 4 3 0 3 の劣化を抑制できる。

図 1 2 (C) に示すように、画素電極 4 2 0 3 が形成されると同時に、引き回し配線 4 0 0 5 a 上に接するように導電性膜 4 2 0 3 a が形成される。

また、異方導電性フィルム 4 3 0 0 は導電性フィラー 4 3 0 0 a を有している。基板 4 0 0 1 とF P C 4 0 0 6 とを熱圧着することで、基板 4 0 0 1 上の導電性膜  
25 4 2 0 3 a とF P C 4 0 0 6 上のF P C用配線 4 3 0 1 とが、導電性フィラー 4 3 0 0 a によって電氣的に接続される。

本実施例は、実施の形態 1 ～ 8、実施例 1 ～ 3 と任意に組み合わせることが可能である。

〈実施例 5〉

発光装置は自発光型であるため、液晶ディスプレイに比べ、明るい場所での視認  
5 性に優れ、視野角が広い。従って、様々な電子機器の表示部に用いることができる。

本発明の発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型  
10 ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的には Digital Versatile Disc (DVD) 等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図 2 2 に示す。

15 図 2 2 (A) は発光装置であり、筐体 2 0 0 1、支持台 2 0 0 2、表示部 2 0 0 3、スピーカー部 2 0 0 4、ビデオ入力端子 2 0 0 5 等を含む。本発明は表示部 2 0 0 3 に用いることができる。また本発明により、図 2 2 (A) に示す発光装置が完成される。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、発光装置は、パソコン用、T  
20 V 放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

図 2 2 (B) はデジタルスチルカメラであり、本体 2 1 0 1、表示部 2 1 0 2、受像部 2 1 0 3、操作キー 2 1 0 4、外部接続ポート 2 1 0 5、シャッター 2 1 0 6 等を含む。本発明は表示部 2 1 0 2 に用いることができる。また本発明により、図 2 2 (B) に示すデジタルスチルカメラが完成される。

25 図 2 2 (C) はノート型パーソナルコンピュータであり、本体 2 2 0 1、筐体 2 2 0 2、表示部 2 2 0 3、キーボード 2 2 0 4、外部接続ポート 2 2 0 5、ポイン



ティングマウス 2206 等を含む。本発明は表示部 2203 に用いることができる。  
また本発明により、図 22 (C) に示す発光装置が完成される。

図 22 (D) はモバイルコンピュータであり、本体 2301、表示部 2302、  
スイッチ 2303、操作キー 2304、赤外線ポート 2305 等を含む。本発明は  
5 表示部 2302 に用いることができる。また本発明により、図 22 (D) に示すモ  
バイルコンピュータが完成される。

図 22 (E) は記録媒体を備えた携帯型の画像再生装置（具体的には DVD 再生装  
置）であり、本体 2401、筐体 2402、表示部 A 2403、表示部 B 2404、  
記録媒体（DVD 等）読み込み部 2405、操作キー 2406、スピーカー部 24  
10 07 等を含む。表示部 A 2403 は主として画像情報を表示し、表示部 B 2404  
は主として文字情報を表示するが、本発明はこれら表示部 A、B 2403、240  
4 に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲー  
ム機器なども含まれる。また本発明より、図 22 (E) に示す DVD 再生装置が完成  
される。

15 図 22 (F) はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、  
本体 2501、表示部 2502、アーム部 2503 を含む。本発明は表示部 250  
2 に用いることができる。また本発明により、図 22 (F) に示すゴーグル型ディ  
スプレイが完成される。

図 22 (G) はビデオカメラであり、本体 2601、表示部 2602、筐体 26  
20 03、外部接続ポート 2604、リモコン受信部 2605、受像部 2606、バッ  
テリー 2607、音声入力部 2608、操作キー 2609、接岸部 2610 等を含  
む。本発明は表示部 2602 に用いることができる。また本発明により、図 22 (G)  
に示すビデオカメラが完成される。

ここで図 22 (H) は携帯電話であり、本体 2701、筐体 2702、表示部 2  
25 703、音声入力部 2704、音声出力部 2705、操作キー 2706、外部接続  
ポート 2707、アンテナ 2708 等を含む。本発明は表示部 2703 に用いるこ

とができる。なお、表示部 2703 は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。また本発明により、図 22 (H) に示す携帯電話が完成される。

5      なお、将来的に発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

また、上記電子機器はインターネットやCATV（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。発光材料の応答速度は非常に高いため、発光装置は動  
10   画表示に好ましい。

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが  
15   望ましい。

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また本実施例の電子機器は、実施の形態 1～6、実施例 1～6 に示したいずれの構成を用いても良い。

上記構成を有する本発明は、作製工程や使用する基板の相違によって生じる TFT  
20   の特性バラツキの影響を抑制して、所望の信号電流を外部に供給することができる。

また本発明では、1つのシフトレジスタが2つの役割を有する。1つの役割は電流源回路を制御する役割である。もう1つの役割はビデオ信号を制御する回路、つまり画像を表示するために動作する回路を制御する役割であり、例えばラッチ回路、サンプリングスイッチ及びスイッチ 101（信号電流制御スイッチ）などを制御す  
25   る役割である。上記構成により、電流源回路を制御する回路と、ビデオ信号を制御する回路の各々の回路の配置が不必要となるため、配置する回路の素子数を削減す

ることが可能となり、さらに素子数を削減することが出来るため、レイアウト面積を縮小することができる。そうすると、作製工程における歩留まりが向上し、コストダウンを実現することができる。またレイアウト面積を小さくできると、狭額縁化できるため、筐体の小型化を実現することができる。

- 5    また、シフトレジスタとして、複数の配線をランダムに選択できる機能を有する構成を用いた場合、電流源回路に供給する設定信号もランダムに出力できる。従って、電流源回路の設定動作も、1列目から最終列目まで順に行うのではなく、ランダムに行うことができる。そうすると、電流源回路が設定動作を行う期間を自由に設定することができる。また、電流源回路の容量素子に保持された電荷の漏れの影響を目立たせなくすることが可能となる。このように、電流源回路の設定動作をランダムに行うことができると、電流源回路の設定動作に伴う不具合があった場合、その不具合を目立たなくさせることができるようになる。
- 10

## 請 求 の 範 囲

1. 複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有する信号線駆動回路であって、

前記複数の電流源回路の各々は、前記シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有することを特徴とする信号線駆動回路。

2. 複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有する信号線駆動回路であって、

1本の配線につき、各々が容量手段及び供給手段を有する2個の電流源回路が配置され、

- 前記シフトレジスタから供給されるサンプリングパルスに従って、前記2個の電流源回路のうち、一方の電流源回路の容量手段は供給された電流を電圧に変換し、  
15 他方の電流源回路の供給手段は前記変換された電圧に応じた電流を供給することを特徴とする信号線駆動回路。

3. 複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路であって、

- 1本の配線につき、 $n$ 個の電流源回路（ $n$ は2以上の自然数）が配置され、  
20 前記シフトレジスタから供給されるサンプリングパルスに従って、前記 $n$ 個の電流源回路の各々は、供給された電流を電圧に変換する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有することを特徴とする信号線駆動回路。

4. 請求項1乃至請求項3のいずれか一項において、

- 前記 $n$ 個の電流源回路は、互いに異なるビットに対応した $n$ 個のリファレンス用  
25 定電流源に接続され、

前記 $n$ 個のリファレンス用定電流源から供給される電流値は、 $2^0 : 2^1 : \dots :$

2n に設定されることを特徴とする信号線駆動回路。

5. 請求項 1 乃至請求項 3 のいずれか一項において、

前記 n 個の電流源回路は、最上位ビットに対応した 1 個のリファレンス用定電流源に接続されることを特徴とする信号線駆動回路。

5 6. 請求項 1 乃至請求項 3 のいずれか一項において、

前記複数の配線は、複数の信号線又は複数の電流線であることを特徴とする信号線駆動回路。

7. 請求項 1 乃至請求項 3 のいずれか一項において、

前記シフトレジスタはデコーダ回路で構成され、前記複数の配線をランダムに選択することを特徴とする信号線駆動回路。

8. 請求項 1 乃至請求項 3 のいずれか一項において、

前記容量手段は、前記供給手段が有するトランジスタのドレインとゲートが短絡された状態にあるとき、供給された電流により、そのゲート・ソース間に発生する電圧を保持することを特徴とする信号線駆動回路。

15 9. 請求項 1 乃至請求項 3 のいずれか一項において、

前記供給手段は、トランジスタと、前記トランジスタのゲートとドレインの導通を制御する第 1 スイッチと、リファレンス用定電流源と前記トランジスタのゲートの導通を制御する第 2 スイッチと、前記トランジスタのドレインと画素の導通を制御する第 3 スイッチとを有することを特徴とする信号線駆動回路。

20 10. 請求項 1 乃至請求項 3 のいずれか一項において、

前記容量手段は、前記供給手段が有する第 1 及び第 2 トランジスタの両方のドレインとゲートが短絡された状態にあるとき、供給された電流により、前記第 1 又は前記第 2 トランジスタのゲート・ソース間に発生する電圧を保持することを特徴とする信号線駆動回路。

25 11. 請求項 1 乃至請求項 3 のいずれか一項において、

前記供給手段は、第 1 及び第 2 トランジスタで構成されるカレントミラー回路と、

前記第 1 及び前記第 2 トランジスタのゲートとソースの導通を制御する第 1 スイッチと、リファレンス用定電流源と前記第 1 及び前記第 2 トランジスタのゲートの導通を制御する第 2 スイッチを有することを特徴とする信号線駆動回路。

1 2. 請求項 1 乃至請求項 3 のいずれか一項において、

- 5 前記容量手段は、前記供給手段が有する第 1 及び第 2 トランジスタの一方のドレインとゲートが短絡された状態にあるとき、供給された電流により、そのゲート・ソース間に発生する電圧を保持することを特徴とする信号線駆動回路。

1 3. 請求項 1 乃至請求項 3 のいずれか一項において、

前記供給手段は、第 1 及び第 2 のトランジスタを含むカレントミラー回路と、

- 10 リファレンス用定電流源と前記第 1 トランジスタのドレインとの導通を制御する第 1 スイッチと、

前記第 1 トランジスタのドレインとゲート、前記第 1 トランジスタのゲートと前記第 2 トランジスタのゲート、前記第 1 及び前記第 2 トランジスタのゲートと前記リファレンス用定電流源から選択されたいずれか 1 つの導通を制御する第 2 スイッチとを有することを特徴とする信号線駆動回路。

- 15

1 4. 請求項 1 1 乃至請求項 1 3 のいずれか一項において、

前記第 1 及び前記第 2 トランジスタのゲート幅/ゲート長は同じ値に設定されることを特徴とする信号線駆動回路。

1 5. 請求項 1 1 乃至請求項 1 3 のいずれか一項において、

- 20 前記第 1 トランジスタのゲート幅/ゲート長は、前記第 2 トランジスタのゲート幅/ゲート長よりも大きい値に設定されることを特徴とする信号線駆動回路。

1 6. 請求項 1 乃至請求項 3 のいずれか一項において、

前記供給手段は、トランジスタと、前記容量手段に対する電流の供給を制御する第 1 及び第 2 スイッチと、前記トランジスタのゲートとドレインの導通を制御する

- 25 第 3 スイッチを有し、

前記トランジスタのゲートは前記第 1 スイッチに接続され、前記トランジスタの

ソースは前記第2スイッチに接続され、前記トランジスタのドレインは前記第3スイッチに接続されることを特徴とする信号線駆動回路。

17. 請求項1乃至請求項3のいずれか一項において、

前記供給手段は、m個のトランジスタを含むカレントミラー回路を有し、

5 前記m個のトランジスタのゲート幅/ゲート長は $2_0 : 2_1 : \dots : 2_m$ に設定され、

前記m個のトランジスタのドレイン電流は $2_0 : 2_1 : \dots : 2_m$ に設定されることを特徴とする信号線駆動回路。

18. 請求項1乃至請求項3のいずれか一項において、

10 前記供給手段を構成するトランジスタは飽和領域で動作することを特徴とする信号線駆動回路。

19. 請求項1乃至請求項3のいずれか一項において、

前記電流源回路を構成するトランジスタの能動層はポリシリコンで形成されることを特徴とする信号線駆動回路。

15 20. 請求項1乃至請求項19のいずれか一項に記載の前記信号線駆動回路と、各々に発光素子を含む複数の画素がマトリクス状に配置された画素部を有し、

前記発光素子には、前記信号線駆動回路から電流が供給されることを特徴とする発光装置。

21. 複数の配線及び複数の画素がマトリクス状に配置された画素部と、

20 前記複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有する信号線駆動回路が設けられた発光装置の駆動方法であって、

1フレーム期間は複数のサブフレーム期間を有し、

前記複数のサブフレーム期間の各々はアドレス期間と点灯期間を有し、

前記アドレス期間において、前記シフトレジスタから供給されるサンプリングパ  
25 ルスに従って、前記複数の電流源回路が有する容量手段は、供給された電流を電圧に変換し、

前記点灯期間において、前記複数の電流源回路が有する供給手段は、前記変換された電圧に応じた電流を前記画素に供給することを特徴とする発光装置の駆動方法。

2 2. 複数の配線及び複数の走査線並びに複数の画素がマトリクス状に配置された

5 画素部と、

前記複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有する信号線駆動回路が設けられた発光装置の駆動方法であって、

1 フレーム期間は複数のサブフレーム期間を有し、

前記複数のサブフレーム期間の各々はアドレス期間と点灯期間を有し、

10 前記点灯期間は、前記複数の走査線のいずれも選択されていない期間に設けられた設定動作期間を有し、

前記設定動作期間において、前記シフトレジスタから供給されるサンプリングパルスに従って、前記複数の電流源回路が有する容量手段は、供給された電流を電圧に変換することを特徴とする発光装置の駆動方法。

15 2 3. 複数の配線及び複数の走査線並びに複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の第 1 電流源回路及びシフトレジスタを有する信号線駆動回路が設けられ、

前記複数の画素の各々は、発光素子及び第 2 電流源回路並びに前記発光素子及び

20 前記第 2 電流源回路の導通を制御するスイッチを有し、

前記第 1 及び前記第 2 電流源回路の各々は、容量手段及び供給手段を有する発光装置の駆動方法であって、

1 フレーム期間は複数のサブフレーム期間を有し、

前記複数のサブフレーム期間の各々はアドレス期間と点灯期間を有し、

25 前記複数のサブフレーム期間から選択されたサブフレーム期間が有する点灯期間は、第 1 又は第 2 設定動作期間を有し、



前記第 1 設定動作期間において、前記第 1 電流源回路が有する前記容量手段は、前記第シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換し、

前記第 2 設定動作期間において、前記第 2 電流源回路が有する前記容量手段は、

- 5 供給された電流を電圧に変換することを特徴とする発光装置の駆動方法。

2 4. 複数の配線及び複数の走査線並びに複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有する信号線駆動回路が設けられ、

- 10 前記複数の画素の各々は、発光素子及び第 2 電流源回路並びに前記発光素子及び前記第 2 電流源回路の導通を制御するスイッチを有し、

前記第 1 及び前記第 2 電流源回路の各々は、容量手段及び供給手段を有する発光装置の駆動方法であって、

1 フレーム期間は複数のサブフレーム期間を有し、

- 15 前記複数のサブフレーム期間の各々はアドレス期間と点灯期間を有し、

前記アドレス期間において、前記シフトレジスタから供給されるサンプリングパルスに従って、前記第 1 電流源回路が有する前記容量手段は、供給された電流を電圧に変換し、

- 20 前記複数のサブフレーム期間から選択されたサブフレーム期間において、前記第 2 電流源回路が有する前記容量手段は、供給された電流を電圧に変換することを特徴とする発光装置の駆動方法。

2 5. 複数の配線及び複数の走査線並びに複数の画素がマトリクス状に配置された画素部と、

- 25 前記複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有する信号線駆動回路が設けられ、

前記複数の画素の各々は、発光素子及び第 2 電流源回路並びに前記発光素子及び

前記第 2 電流源回路の導通を制御するスイッチを有し、

前記第 1 及び前記第 2 電流源回路の各々は、容量手段及び供給手段を有する発光装置の駆動方法であって、

1 フレーム期間は複数のサブフレーム期間を有し、

- 5 前記複数のサブフレーム期間の各々はアドレス期間と点灯期間を有し、

前記複数のサブフレーム期間から選択された第 1 サブフレーム期間は、前記複数の走査線のいずれも選択されていない期間に設けられた第 1 設定動作期間を有し、

前記複数のサブフレーム期間から選択された第 2 サブフレーム期間は、第 2 設定動作期間を有し、

- 10 前記第 1 設定動作期間において、前記第 1 電流源回路が有する前記容量手段は、前記第シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換し、

前記第 2 設定動作期間において、前記第 2 電流源回路が有する前記容量手段は、供給された電流を電圧に変換することを特徴とする発光装置の駆動方法。

- 15 26. 複数の配線及び複数の走査線並びに複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有する信号線駆動回路が設けられ、

前記複数の画素の各々は、発光素子及び第 2 電流源回路並びに前記発光素子及び

- 20 前記第 2 電流源回路の導通を制御するスイッチを有し、

前記第 1 及び前記第 2 電流源回路の各々は、容量手段及び供給手段を有する発光装置の駆動方法であって、

1 フレーム期間は複数のサブフレーム期間を有し、

前記複数のサブフレーム期間の各々はアドレス期間と点灯期間を有し、

- 25 前記点灯期間において、前記第 1 電流源回路が有する前記容量手段は、前記シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に

変換し、

前記複数のサブフレーム期間から選択されたサブフレーム期間は設定動作期間を有し、

- 前記設定動作期間において、前記第2電流源回路が有する前記容量手段は、供給
- 5    された電流を電圧に変換することを特徴とする発光装置の駆動方法。

27. 複数の配線及び複数の走査線並びに複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有する信号線駆動回路が設けられ、

- 10    前記複数の画素の各々は、発光素子及び第2電流源回路並びに前記発光素子及び前記第2電流源回路の導通を制御するスイッチを有し、

前記第1及び前記第2電流源回路の各々は、容量手段及び供給手段を有する発光装置の駆動方法であって、

1フレーム期間は複数のサブフレーム期間を有し、

- 15    前記複数のサブフレーム期間の各々はアドレス期間と点灯期間を有し、

前記点灯期間は、前記複数の走査線のいずれも選択されていない期間に設けられた設定動作期間を有し、

前記設定動作期間において、前記第1電流源回路が有する前記容量手段は、前記シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電

- 20    圧に変換し、

前記アドレス期間において、前記第2電流源回路が有する前記容量手段は、供給された電流を電圧に変換することを特徴とする発光装置の駆動方法。

28. 複数の配線及び複数の画素がマトリクス状に配置された画素部と、

- 前記複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有する
- 25    信号線駆動回路が設けられた発光装置の駆動方法であって、

1フレーム期間は複数の水平走査期間を有し、

前記複数の水平走査期間の各々は、設定動作期間を有し、

前記設定動作期間において、前記複数の電流源回路が有する容量手段は、前記シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換することを特徴とする発光装置の駆動方法。

- 5 29. 複数の配線及び複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有する信号線駆動回路が設けられた発光装置の駆動方法であって、

1 フレーム期間は複数の水平走査期間を有し、

前記複数の水平走査期間の各々は、設定動作期間を有し、

- 10 前記設定動作期間において、前記複数の電流源回路が有する容量手段は、前記シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換することを特徴とする発光装置の駆動方法。

30. 複数の配線及び複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有す

- 15 る信号線駆動回路が設けられた発光装置の駆動方法であって、

1 フレーム期間は複数の水平走査期間と設定動作期間を有し、

前記設定動作期間において、前記容量手段は、前記シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換することを特徴とする発光装置の駆動方法。

- 20 31. 請求項21乃至請求項30のいずれか一項において、

前記画素部は線順次駆動又は点順次駆動を行うことを特徴とする発光装置の駆動方法。

32. 請求項21乃至請求項30のいずれか一項において、

- 前記複数の配線は、複数の信号線又は複数の電流線であることを特徴とする発光  
25 装置の駆動方法。

33. 請求項12において、

前記第 1 及び前記第 2 トランジスタのゲート幅/ゲート長は同じ値に設定されることを特徴とする信号線駆動回路。

3 4. 請求項 1 2 において、

前記第 1 トランジスタのゲート幅/ゲート長は、前記第 2 トランジスタのゲート幅/ゲート長よりも大きい値に設定されることを特徴とする信号線駆動回路。

3 5. 請求項 1 3 において、

前記第 1 及び前記第 2 トランジスタのゲート幅/ゲート長は同じ値に設定されることを特徴とする信号線駆動回路。

3 6. 請求項 1 3 において、

10 前記第 1 トランジスタのゲート幅/ゲート長は、前記第 2 トランジスタのゲート幅/ゲート長よりも大きい値に設定されることを特徴とする信号線駆動回路。

3 7. 請求項 2 に記載の前記信号線駆動回路と、各々に発光素子を含む複数の画素がマトリクス状に配置された画素部を有し、

前記発光素子には、前記信号線駆動回路から電流が供給されることを特徴とする  
15 発光装置。

3 8. 請求項 3 に記載の前記信号線駆動回路と、各々に発光素子を含む複数の画素がマトリクス状に配置された画素部を有し、

前記発光素子には、前記信号線駆動回路から電流が供給されることを特徴とする  
発光装置。

20 3 9. 請求項 4 に記載の前記信号線駆動回路と、各々に発光素子を含む複数の画素がマトリクス状に配置された画素部を有し、

前記発光素子には、前記信号線駆動回路から電流が供給されることを特徴とする  
発光装置。

## 補正書の請求の範囲

補正書の請求の範囲 [2003年3月31日(31.03.03)国際事務局受理:出願当初の請求の範囲1-4、17及び21-30は補正された;新たな請求の範囲40-43が追加された;他の請求の範囲は変更なし。(11頁)]

1. (補正後) 複数の配線の各々に対応した複数の電流源回路及びシフトレジスタ
- 5 を有する信号線駆動回路であって、

前記複数の電流源回路の各々は、前記シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換する手段と、前記変換された電圧を保持する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有することを特徴とする信号線駆動回路。
- 10 2. (補正後) 複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有する信号線駆動回路であって、

1本の配線につき、各々が変換手段及び供給手段を有する2個の電流源回路が配置され、

前記シフトレジスタから供給されるサンプリングパルスに従って、前記2個の電
- 15 流源回路のうち、一方の電流源回路の変換手段は供給された電流を電圧に変換し、他方の電流源回路の供給手段は変換された電圧に応じた電流を供給することを特徴とする信号線駆動回路。
3. (補正後) 複数の配線の各々に対応した複数の電流源回路を有する信号線駆動回路であって、
- 20 1本の配線につき、 $n$ 個の電流源回路( $n$ は2以上の自然数)が配置され、

前記シフトレジスタから供給されるサンプリングパルスに従って、前記 $n$ 個の電流源回路の各々は、供給された電流を電圧に変換する手段と、前記変換された電圧を保持する容量手段と、変換された電圧に応じた電流を供給する供給手段を有することを特徴とする信号線駆動回路。
- 25 4. (補正後) 請求項1乃至請求項3のいずれか一項において、

前記 $n$ 個の電流源回路は、互いに異なるビットに対応した $n$ 個のリファレンス用

定電流源に接続され、

前記 $n$ 個のリファレンス用定電流源から供給される電流値は、 $2^0 : 2^1 : \dots : 2^{n-1}$ に設定されることを特徴とする信号線駆動回路。

5. 請求項1乃至請求項3のいずれか一項において、

- 5 前記 $n$ 個の電流源回路は、最上位ビットに対応した1個のリファレンス用定電流源に接続されることを特徴とする信号線駆動回路。

6. 請求項1乃至請求項3のいずれか一項において、

前記複数の配線は、複数の信号線又は複数の電流線であることを特徴とする信号線駆動回路。

- 10 7. 請求項1乃至請求項3のいずれか一項において、

前記シフトレジスタはデコーダ回路で構成され、前記複数の配線をランダムに選択することを特徴とする信号線駆動回路。

8. 請求項1乃至請求項3のいずれか一項において、

- 15 前記容量手段は、前記供給手段が有するトランジスタのドレインとゲートが短絡された状態にあるとき、供給された電流により、そのゲート・ソース間に発生する電圧を保持することを特徴とする信号線駆動回路。

9. 請求項1乃至請求項3のいずれか一項において、

- 20 前記供給手段は、トランジスタと、前記トランジスタのゲートとドレインの導通を制御する第1スイッチと、リファレンス用定電流源と前記トランジスタのゲートの導通を制御する第2スイッチと、前記トランジスタのドレインと画素の導通を制御する第3スイッチとを有することを特徴とする信号線駆動回路。

10. 請求項1乃至請求項3のいずれか一項において、

- 25 前記容量手段は、前記供給手段が有する第1及び第2トランジスタの両方のドレインとゲートが短絡された状態にあるとき、供給された電流により、前記第1又は前記第2トランジスタのゲート・ソース間に発生する電圧を保持することを特徴とする信号線駆動回路。

1 1. 請求項 1 乃至請求項 3 のいずれか一項において、

前記供給手段は、第 1 及び第 2 トランジスタで構成されるカレントミラー回路と、



ソースは前記第 2 スイッチに接続され、前記トランジスタのドレインは前記第 3 スイッチに接続されることを特徴とする信号線駆動回路。

17. (補正後) 請求項 1 乃至請求項 3 のいずれか一項において、

前記供給手段は、 $m$  個のトランジスタを含むカレントミラー回路を有し、

- 5 前記  $m$  個のトランジスタのゲート幅/ゲート長は  $2^0 : 2^1 : \dots : 2^{m-1}$  に設定され、

前記  $m$  個のトランジスタのドレイン電流は  $2^0 : 2^1 : \dots : 2^{m-1}$  に設定されることを特徴とする信号線駆動回路。

18. 請求項 1 乃至請求項 3 のいずれか一項において、

- 10 前記供給手段を構成するトランジスタは飽和領域で動作することを特徴とする信号線駆動回路。

19. 請求項 1 乃至請求項 3 のいずれか一項において、

前記電流源回路を構成するトランジスタの能動層はポリシリコンで形成されることを特徴とする信号線駆動回路。

- 15 20. 請求項 1 乃至請求項 19 のいずれか一項に記載の前記信号線駆動回路と、各々に発光素子を含む複数の画素がマトリクス状に配置された画素部を有し、

前記発光素子には、前記信号線駆動回路から電流が供給されることを特徴とする発光装置。

21. (補正後) 複数の配線及び複数の画素がマトリクス状に配置された画素部と、

- 20 前記複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有する信号線駆動回路が設けられた発光装置の駆動方法であって、

1 フレーム期間は複数のサブフレーム期間を有し、

前記複数のサブフレーム期間の各々はアドレス期間と点灯期間を有し、

- 25 前記アドレス期間において、前記シフトレジスタから供給されるサンプリングパルスに従って、前記複数の電流源回路が有する変換手段は、供給された電流を電圧に変換し、

前記点灯期間において、前記複数の電流源回路が有する供給手段は、前記変換された電圧に応じた電流を前記画素に供給することを特徴とする発光装置の駆動方法。

22. (補正後) 複数の配線及び複数の走査線並びに複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有する信号線駆動回路が設けられた発光装置の駆動方法であって、

1 フレーム期間は複数のサブフレーム期間を有し、

前記複数のサブフレーム期間の各々はアドレス期間と点灯期間を有し、

- 10 前記点灯期間は、前記複数の走査線のいずれも選択されていない期間に設けられた設定動作期間を有し、

前記設定動作期間において、前記シフトレジスタから供給されるサンプリングパルスに従って、前記複数の電流源回路が有する変換手段は、供給された電流を電圧に変換することを特徴とする発光装置の駆動方法。

- 15 23. (補正後) 複数の配線及び複数の走査線並びに複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の第1電流源回路及びシフトレジスタを有する信号線駆動回路が設けられ、

前記複数の画素の各々は、発光素子及び第2電流源回路並びに前記発光素子及び

- 20 前記第2電流源回路の導通を制御するスイッチを有し、

前記第1及び前記第2電流源回路の各々は、変換手段及び供給手段を有する発光装置の駆動方法であって、

1 フレーム期間は複数のサブフレーム期間を有し、

前記複数のサブフレーム期間の各々はアドレス期間と点灯期間を有し、

- 25 前記複数のサブフレーム期間から選択されたサブフレーム期間が有する点灯期間は、第1又は第2設定動作期間を有し、

前記第 1 設定動作期間において、前記第 1 電流源回路が有する前記変換手段は、前記シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換し、

前記第 2 設定動作期間において、前記第 2 電流源回路が有する前記変換手段は、

- 5 供給された電流を電圧に変換することを特徴とする発光装置の駆動方法。

2 4. (補正後) 複数の配線及び複数の走査線並びに複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有する信号線駆動回路が設けられ、

- 10 前記複数の画素の各々は、発光素子及び第 2 電流源回路並びに前記発光素子及び前記第 2 電流源回路の導通を制御するスイッチを有し、

前記第 1 及び前記第 2 電流源回路の各々は、変換手段及び供給手段を有する発光装置の駆動方法であって、

1 フレーム期間は複数のサブフレーム期間を有し、

- 15 前記複数のサブフレーム期間の各々はアドレス期間と点灯期間を有し、

前記アドレス期間において、前記シフトレジスタから供給されるサンプリングパルスに従って、前記第 1 電流源回路が有する前記変換手段は、供給された電流を電圧に変換し、

- 20 前記複数のサブフレーム期間から選択されたサブフレーム期間において、前記第 2 電流源回路が有する前記変換手段は、供給された電流を電圧に変換することを特徴とする発光装置の駆動方法。

2 5. (補正後) 複数の配線及び複数の走査線並びに複数の画素がマトリクス状に配置された画素部と、

- 25 前記複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有する信号線駆動回路が設けられ、

前記複数の画素の各々は、発光素子及び第 2 電流源回路並びに前記発光素子及び

前記第 2 電流源回路の導通を制御するスイッチを有し、

前記第 1 及び前記第 2 電流源回路の各々は、変換手段及び供給手段を有する発光装置の駆動方法であって、

1 フレーム期間は複数のサブフレーム期間を有し、

- 5 前記複数のサブフレーム期間の各々はアドレス期間と点灯期間を有し、

前記複数のサブフレーム期間から選択された第 1 サブフレーム期間は、前記複数の走査線のいずれも選択されていない期間に設けられた第 1 設定動作期間を有し、

前記複数のサブフレーム期間から選択された第 2 サブフレーム期間は、第 2 設定動作期間を有し、

- 10 前記第 1 設定動作期間において、前記第 1 電流源回路が有する前記変換手段は、前記第シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換し、

前記第 2 設定動作期間において、前記第 2 電流源回路が有する前記変換手段は、供給された電流を電圧に変換することを特徴とする発光装置の駆動方法。

- 15 26. (補正後) 複数の配線及び複数の走査線並びに複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有する信号線駆動回路が設けられ、

前記複数の画素の各々は、発光素子及び第 2 電流源回路並びに前記発光素子及び

- 20 前記第 2 電流源回路の導通を制御するスイッチを有し、

前記第 1 及び前記第 2 電流源回路の各々は、変換手段及び供給手段を有する発光装置の駆動方法であって、

1 フレーム期間は複数のサブフレーム期間を有し、

前記複数のサブフレーム期間の各々はアドレス期間と点灯期間を有し、

- 25 前記点灯期間において、前記第 1 電流源回路が有する前記変換手段は、前記シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に

変換し、

前記複数のサブフレーム期間から選択されたサブフレーム期間は設定動作期間を有し、

- 前記設定動作期間において、前記第2電流源回路が有する前記変換手段は、供給
- 5 された電流を電圧に変換することを特徴とする発光装置の駆動方法。

27. (補正後) 複数の配線及び複数の走査線並びに複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有する信号線駆動回路が設けられ、

- 10 前記複数の画素の各々は、発光素子及び第2電流源回路並びに前記発光素子及び前記第2電流源回路の導通を制御するスイッチを有し、

前記第1及び前記第2電流源回路の各々は、変換手段及び供給手段を有する発光装置の駆動方法であって、

1 フレーム期間は複数のサブフレーム期間を有し、

- 15 前記複数のサブフレーム期間の各々はアドレス期間と点灯期間を有し、

前記点灯期間は、前記複数の走査線のいずれも選択されていない期間に設けられた設定動作期間を有し、

- 前記設定動作期間において、前記第1電流源回路が有する前記変換手段は、前記シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電
- 20 圧に変換し、

前記アドレス期間において、前記第2電流源回路が有する前記変換手段は、供給された電流を電圧に変換することを特徴とする発光装置の駆動方法。

28. (補正後) 複数の配線及び複数の画素がマトリクス状に配置された画素部と、

前記複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有す

- 25 る信号線駆動回路が設けられた発光装置の駆動方法であって、

1 フレーム期間は複数の水平走査期間を有し、

前記複数の水平走査期間の各々は、設定動作期間を有し、

前記設定動作期間において、前記複数の電流源回路が有する変換手段は、前記シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換することを特徴とする発光装置の駆動方法。

- 5    29. (補正後) 複数の配線及び複数の画素がマトリクス状に配置された画素部と、  
前記複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有する信号線駆動回路が設けられた発光装置の駆動方法であって、

1 フレーム期間は複数の水平走査期間を有し、

前記複数の水平走査期間の各々は、設定動作期間を有し、

- 10   前記設定動作期間において、前記複数の電流源回路が有する変換手段は、前記シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換することを特徴とする発光装置の駆動方法。

30. (補正後) 複数の配線及び複数の画素がマトリクス状に配置された画素部と、  
前記複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有する

- 15   信号線駆動回路が設けられた発光装置の駆動方法であって、

1 フレーム期間は複数の水平走査期間と設定動作期間を有し、

前記設定動作期間において、変換手段は、前記シフトレジスタから供給されるサンプリングパルスに従って、供給された電流を電圧に変換することを特徴とする発光装置の駆動方法。

- 20   31. 請求項21乃至請求項30のいずれか一項において、

前記画素部は線順次駆動又は点順次駆動を行うことを特徴とする発光装置の駆動方法。

32. 請求項21乃至請求項30のいずれか一項において、

- 25   前記複数の配線は、複数の信号線又は複数の電流線であることを特徴とする発光装置の駆動方法。

33. 請求項12において、

前記第1及び前記第2トランジスタのゲート幅/ゲート長は同じ値に設定されることを特徴とする信号線駆動回路。

34. 請求項12において、

前記第1トランジスタのゲート幅/ゲート長は、前記第2トランジスタのゲート幅/ゲート長よりも大きい値に設定されることを特徴とする信号線駆動回路。

35. 請求項13において、

前記第1及び前記第2トランジスタのゲート幅/ゲート長は同じ値に設定されることを特徴とする信号線駆動回路。

36. 請求項13において、

10 前記第1トランジスタのゲート幅/ゲート長は、前記第2トランジスタのゲート幅/ゲート長よりも大きい値に設定されることを特徴とする信号線駆動回路。

37. 請求項2に記載の前記信号線駆動回路と、各々に発光素子を含む複数の画素がマトリクス状に配置された画素部を有し、

前記発光素子には、前記信号線駆動回路から電流が供給されることを特徴とする  
15 発光装置。

38. 請求項3に記載の前記信号線駆動回路と、各々に発光素子を含む複数の画素がマトリクス状に配置された画素部を有し、

前記発光素子には、前記信号線駆動回路から電流が供給されることを特徴とする  
発光装置。

20 39. 請求項4に記載の前記信号線駆動回路と、各々に発光素子を含む複数の画素がマトリクス状に配置された画素部を有し、

前記発光素子には、前記信号線駆動回路から電流が供給されることを特徴とする  
発光装置。

40. (追加) 請求項41において、

25 前記複数の電流源回路と複数の第2配線のそれぞれの間にスイッチを有し、ビデオ信号が前記スイッチに入力されることを特徴とする信号線駆動回路。

4 1. (追加) 複数の配線の各々に対応した複数の電流源回路及びシフトレジスタを有する信号線駆動回路であって、

前記複数の電流源回路の各々は、前記シフトレジスタから供給される信号に従って、供給された電流を電圧に変換する手段と、前記変換された電圧を保持する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有することを特徴とする信号線駆動回路。

4 2. (追加) 第 1 配線に対応した電流源回路及びシフトレジスタを有する信号線駆動回路であって、

前記電流源回路は、前記シフトレジスタから供給される信号に従って、供給された電流を電圧に変換する手段と、前記変換された電圧を保持する容量手段と、前記変換された電圧に応じた電流を供給する供給手段を有し、

第 2 配線と前記電流源回路の間にスイッチを有することを特徴とする信号線駆動回路。

4 3 (追加) 請求項 4 2 において、

ビデオ信号が前記スイッチに入力されることを特徴とする信号線駆動回路。



1/82

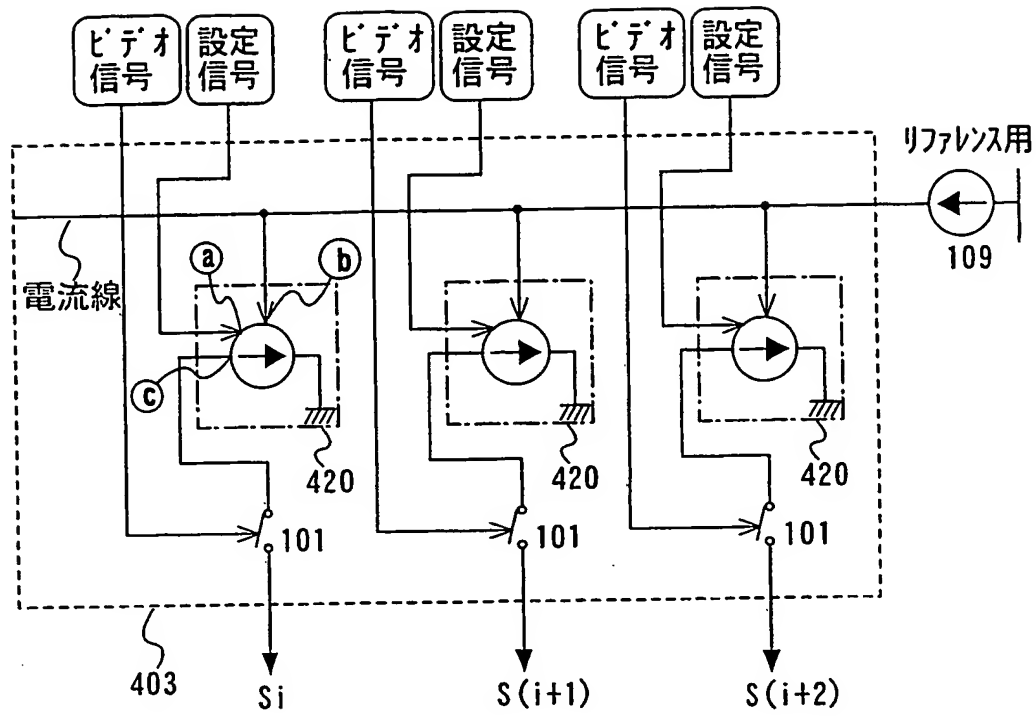


FIG. 1

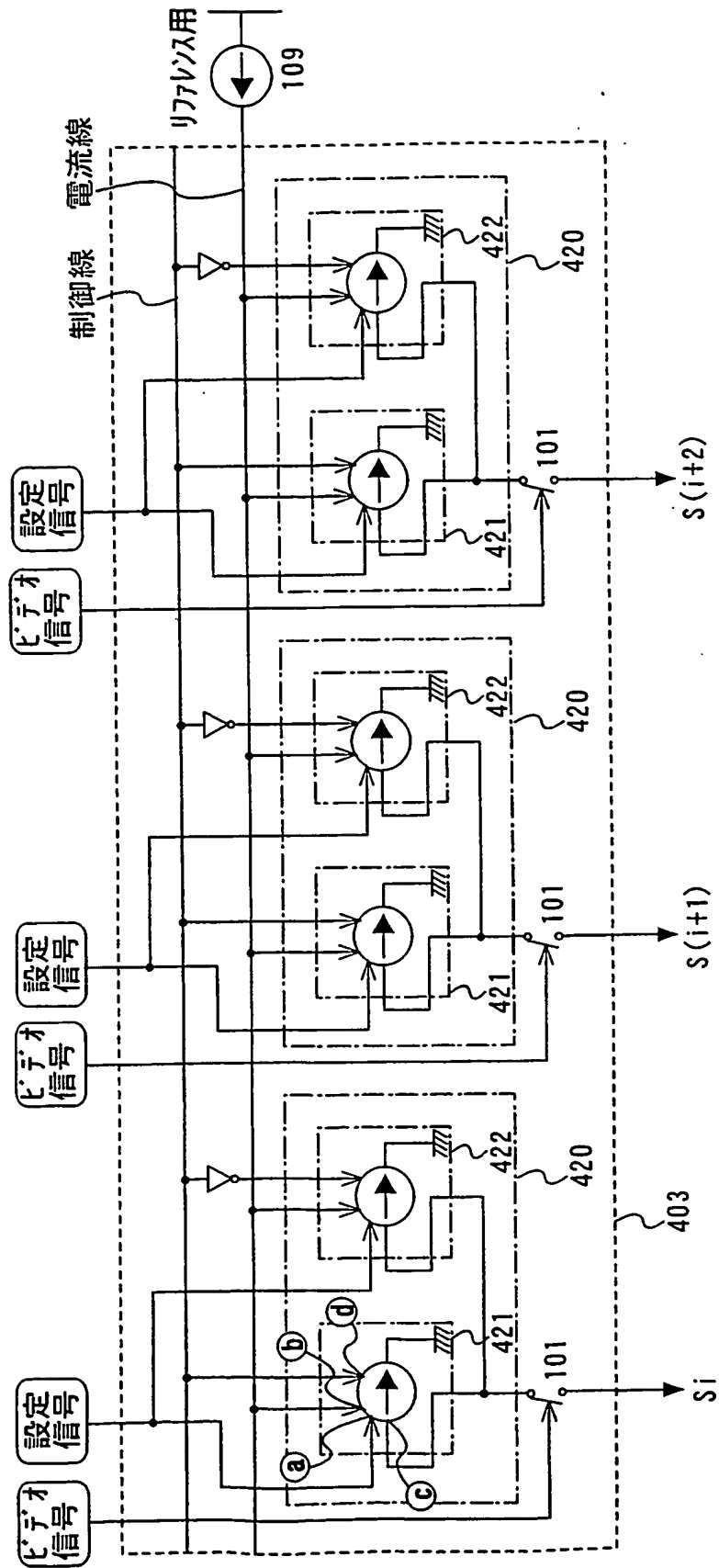


FIG. 2

3/82

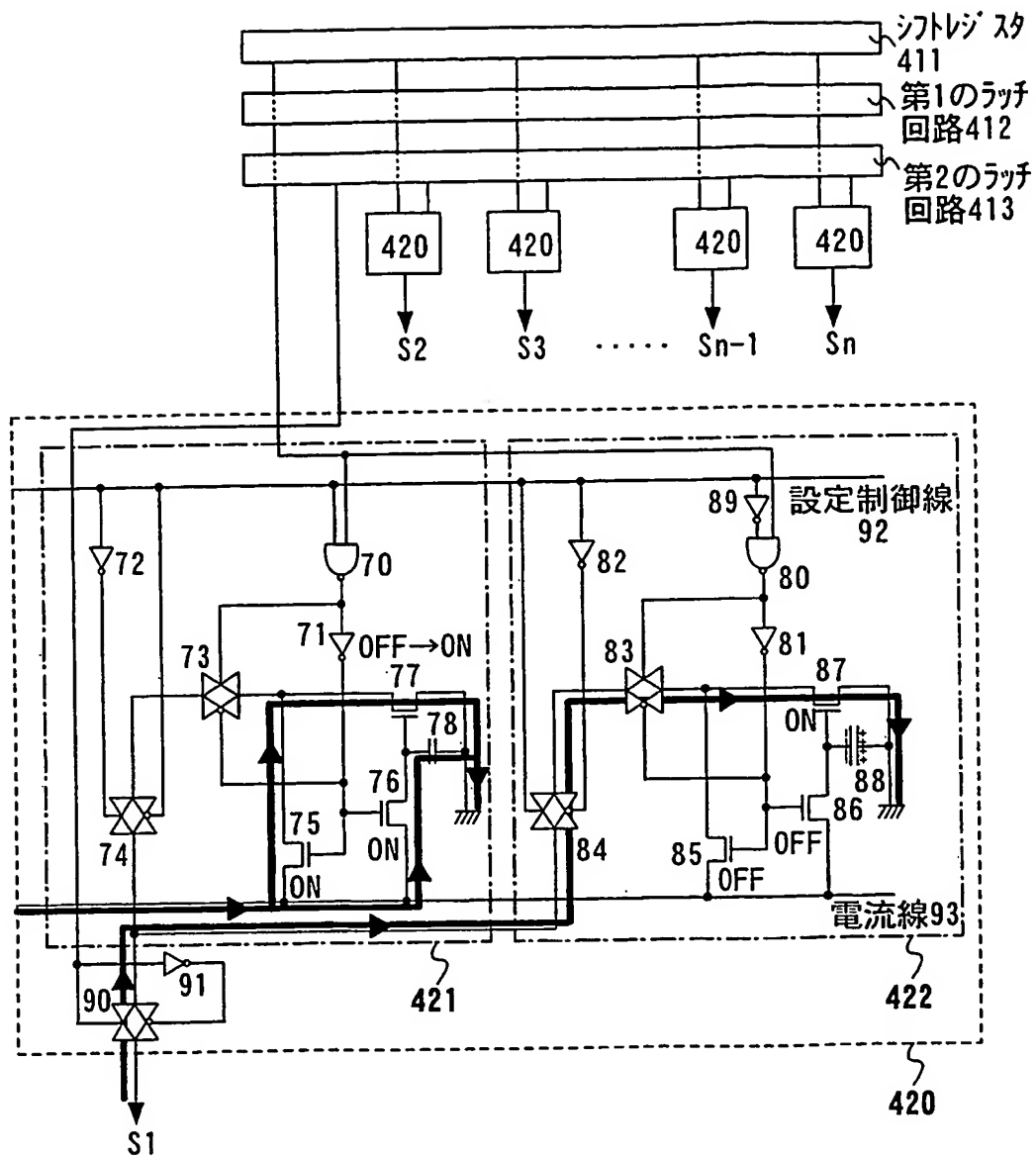


FIG. 3

4/82

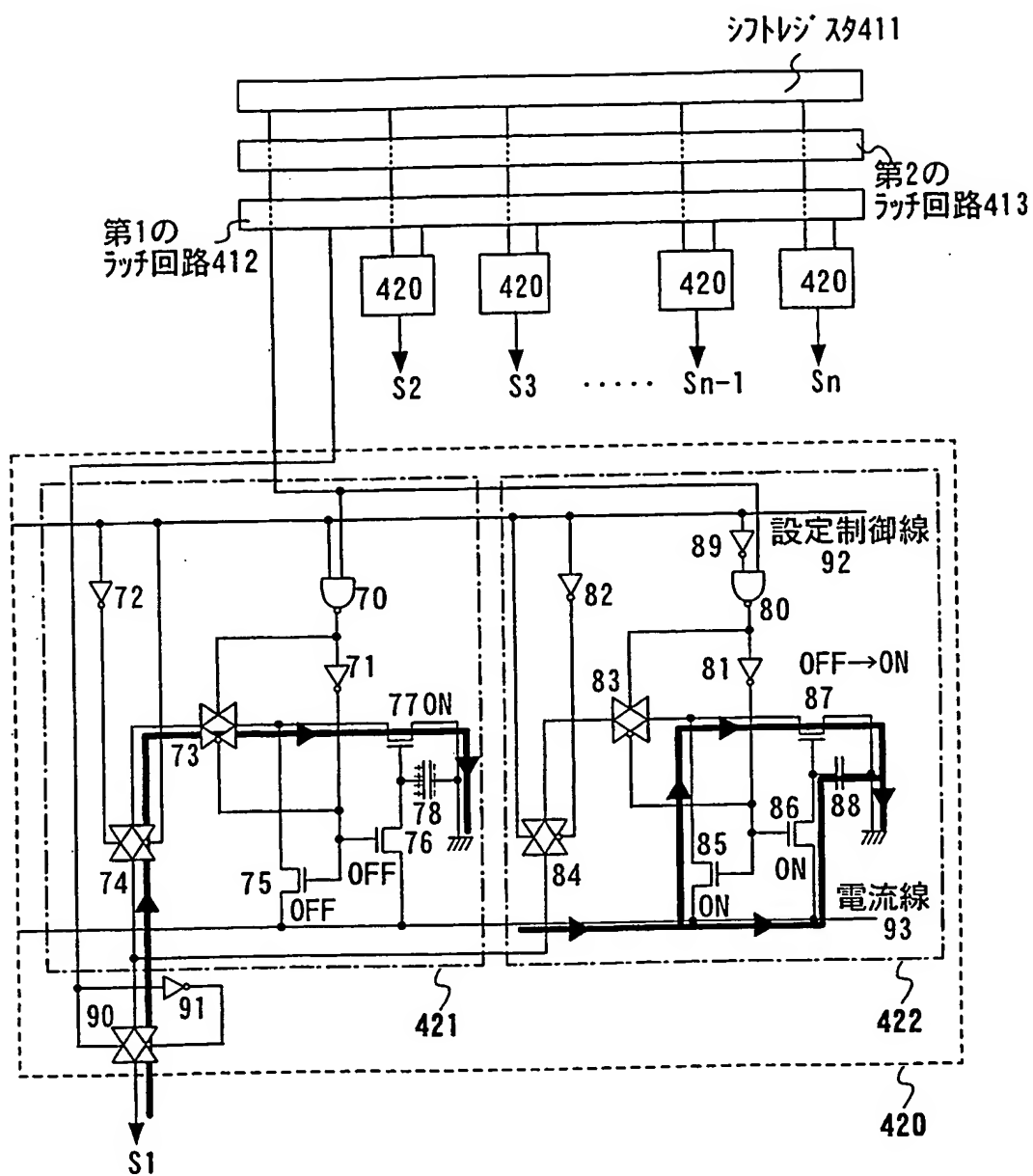


FIG. 4

5/82

FIG. 5A

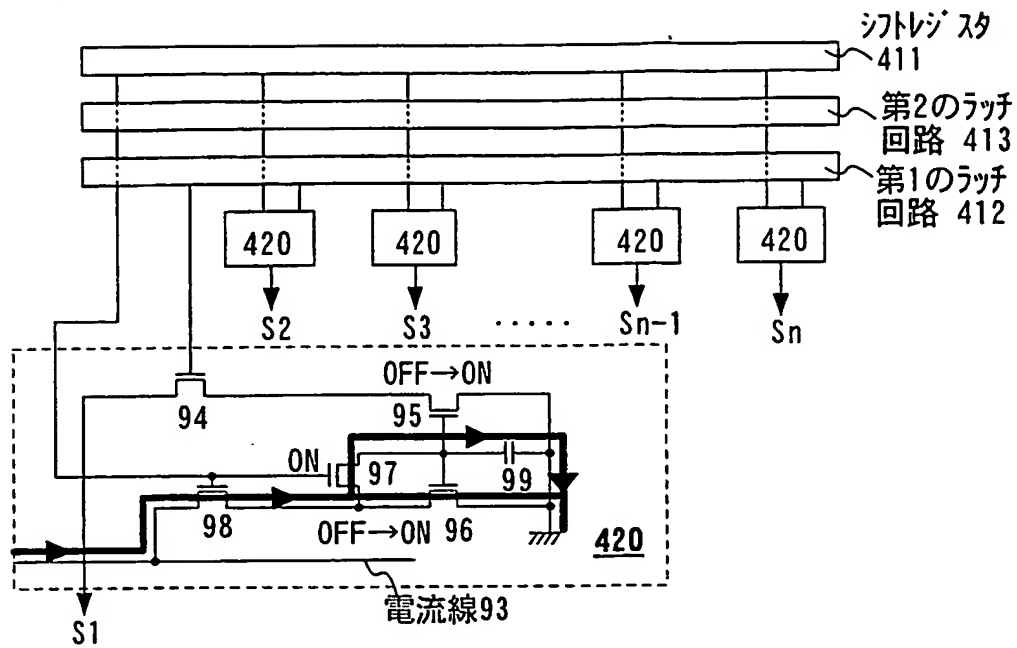


FIG. 5B

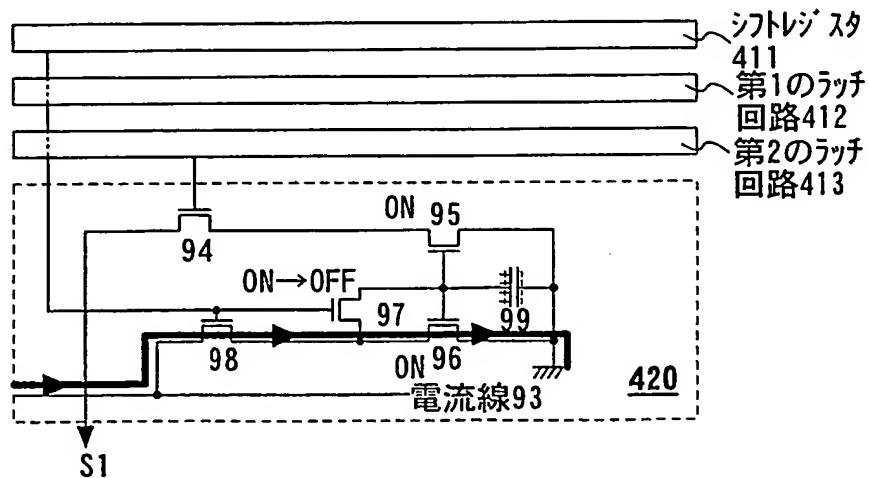


FIG. 5C

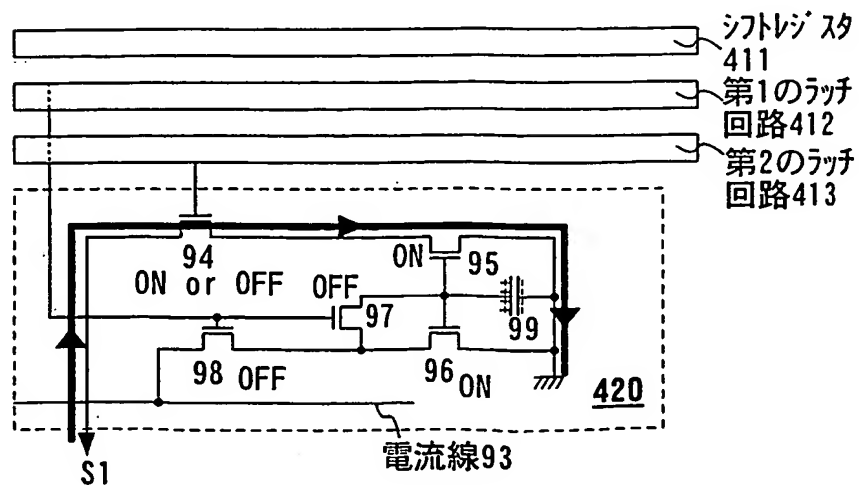


FIG. 6A

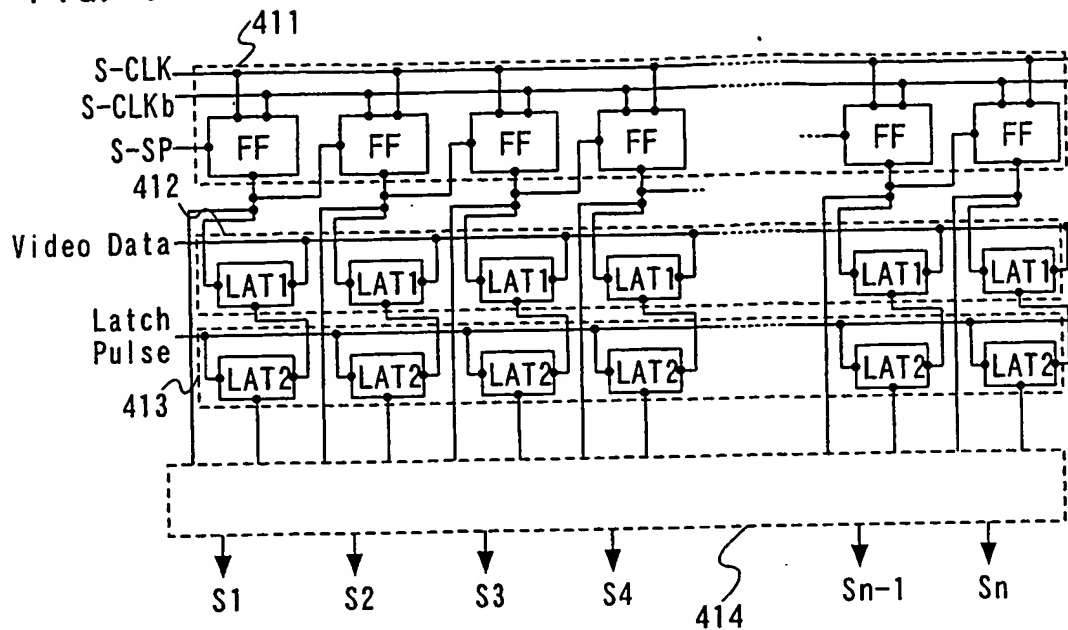
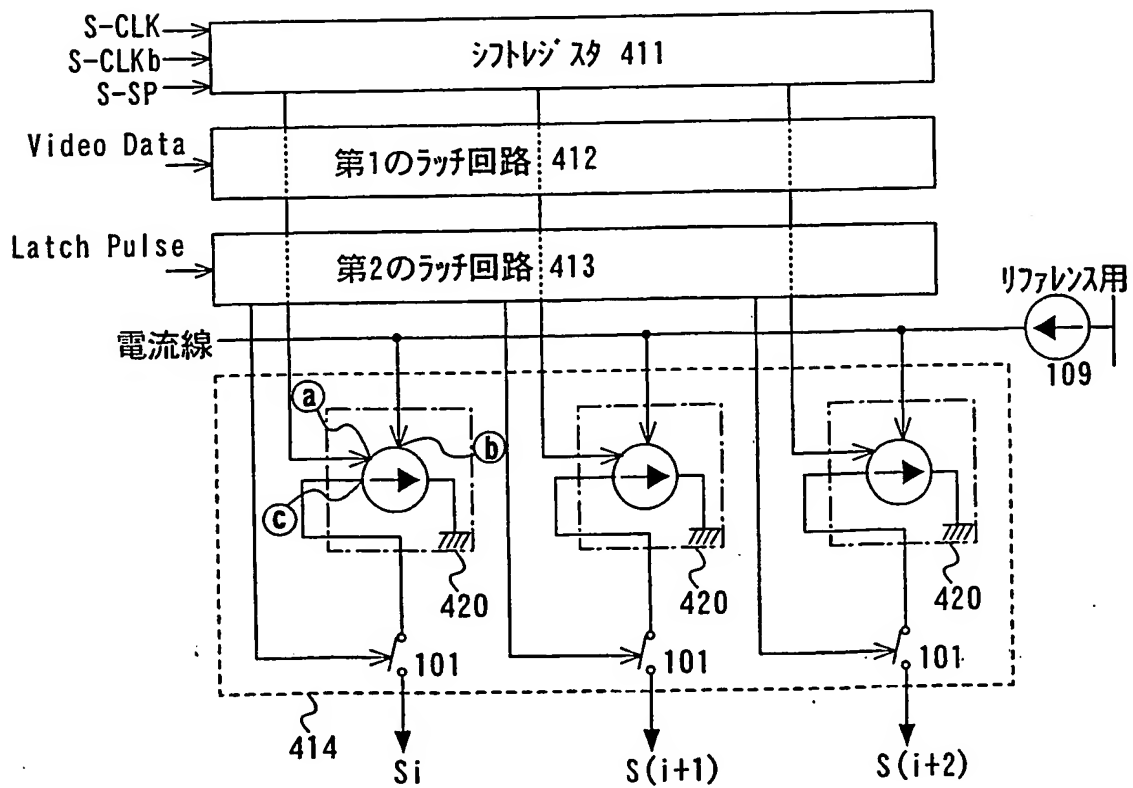
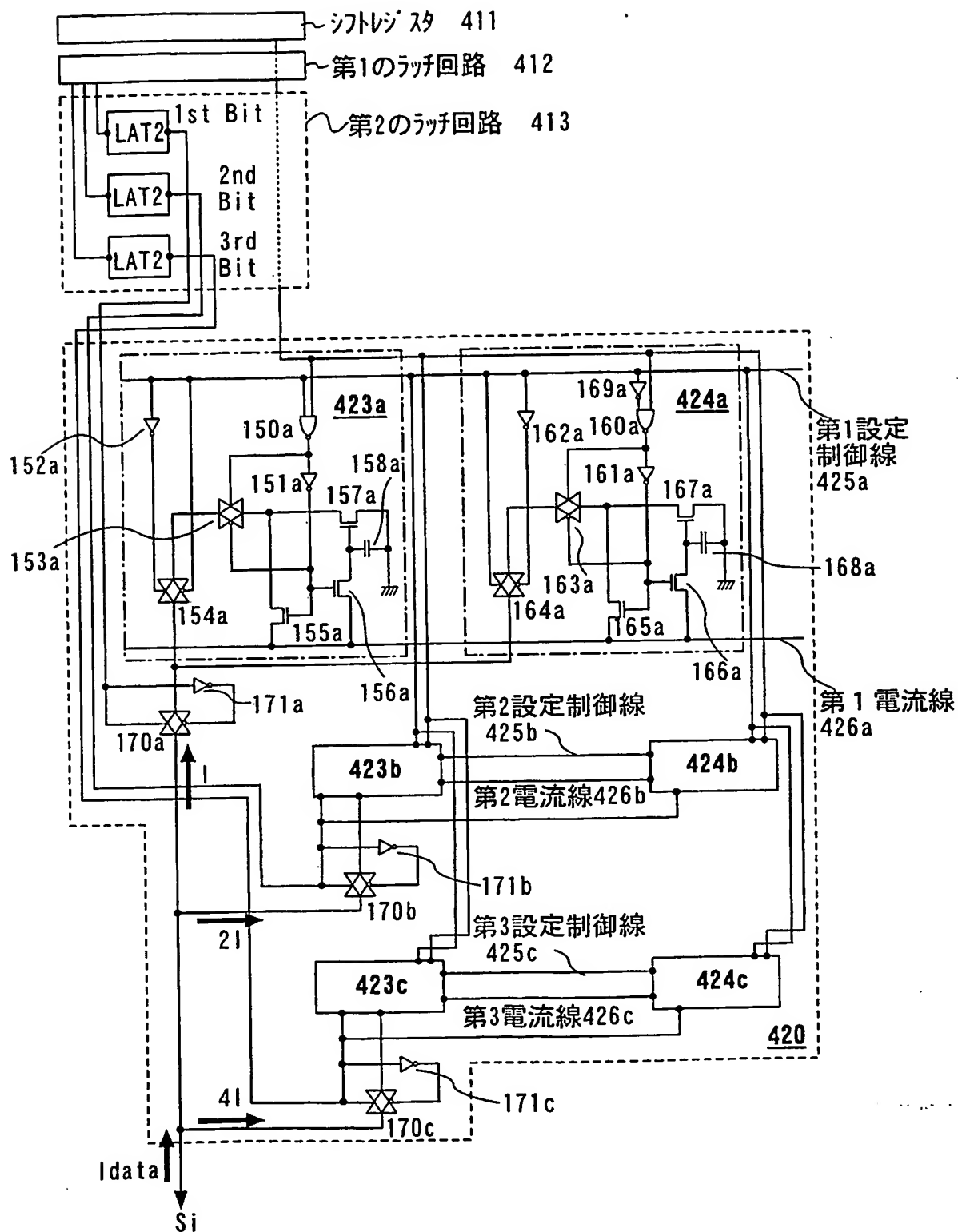


FIG. 6B



7/82



8/82

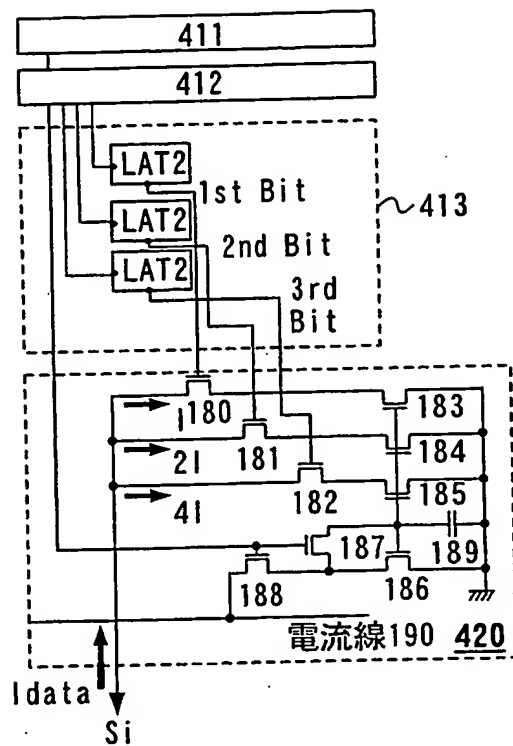


FIG. 8



9/82

FIG. 9

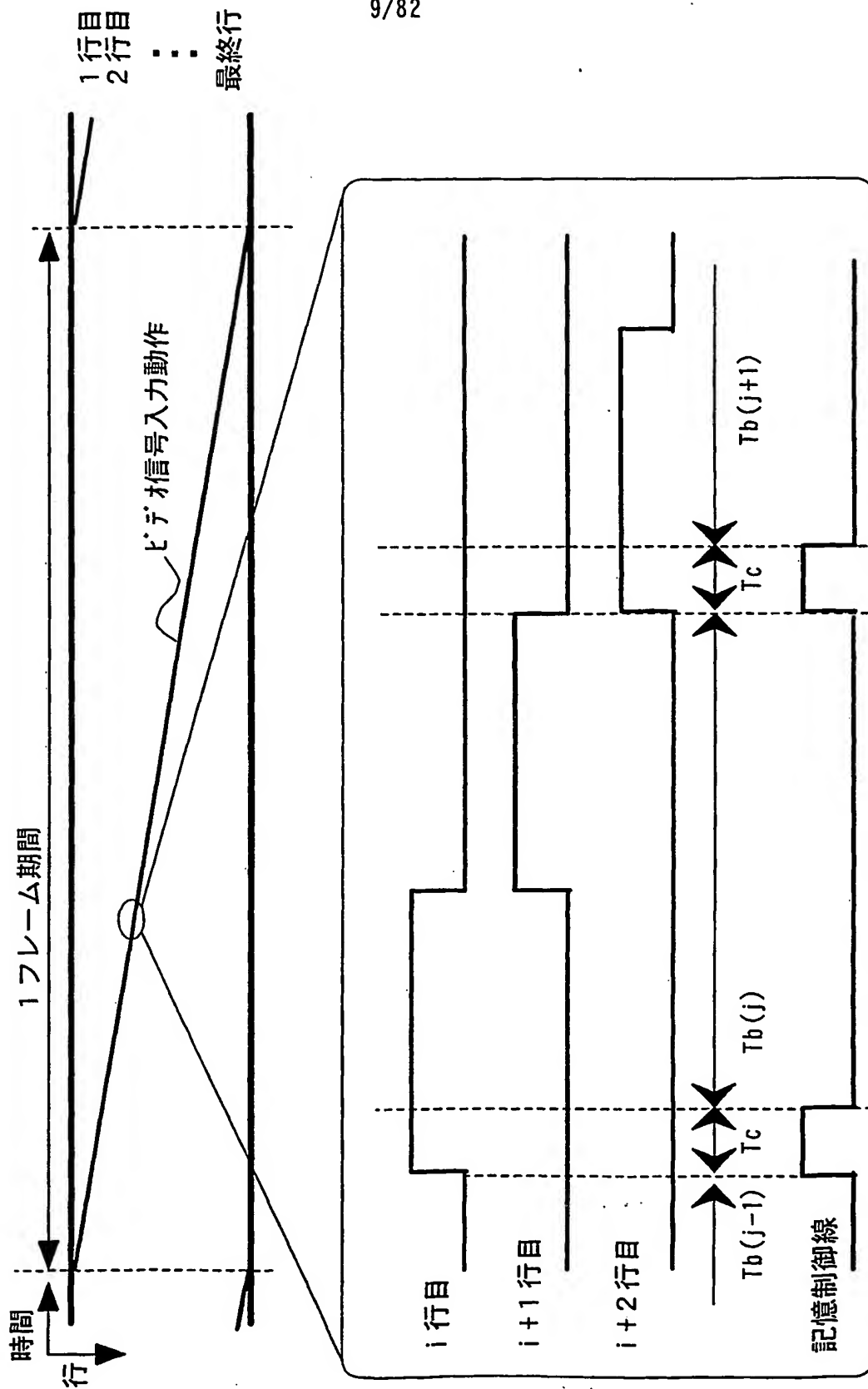


FIG. 10

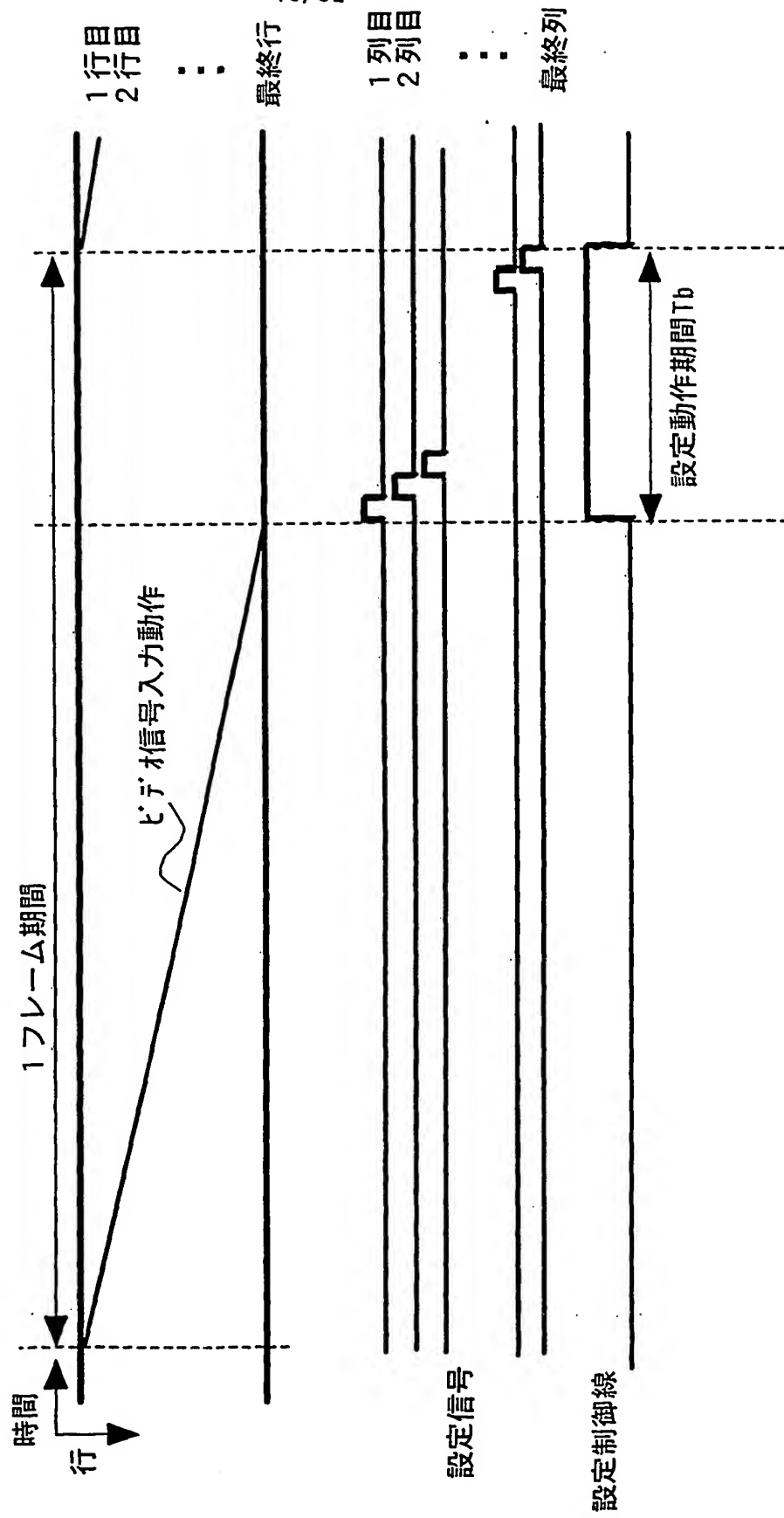
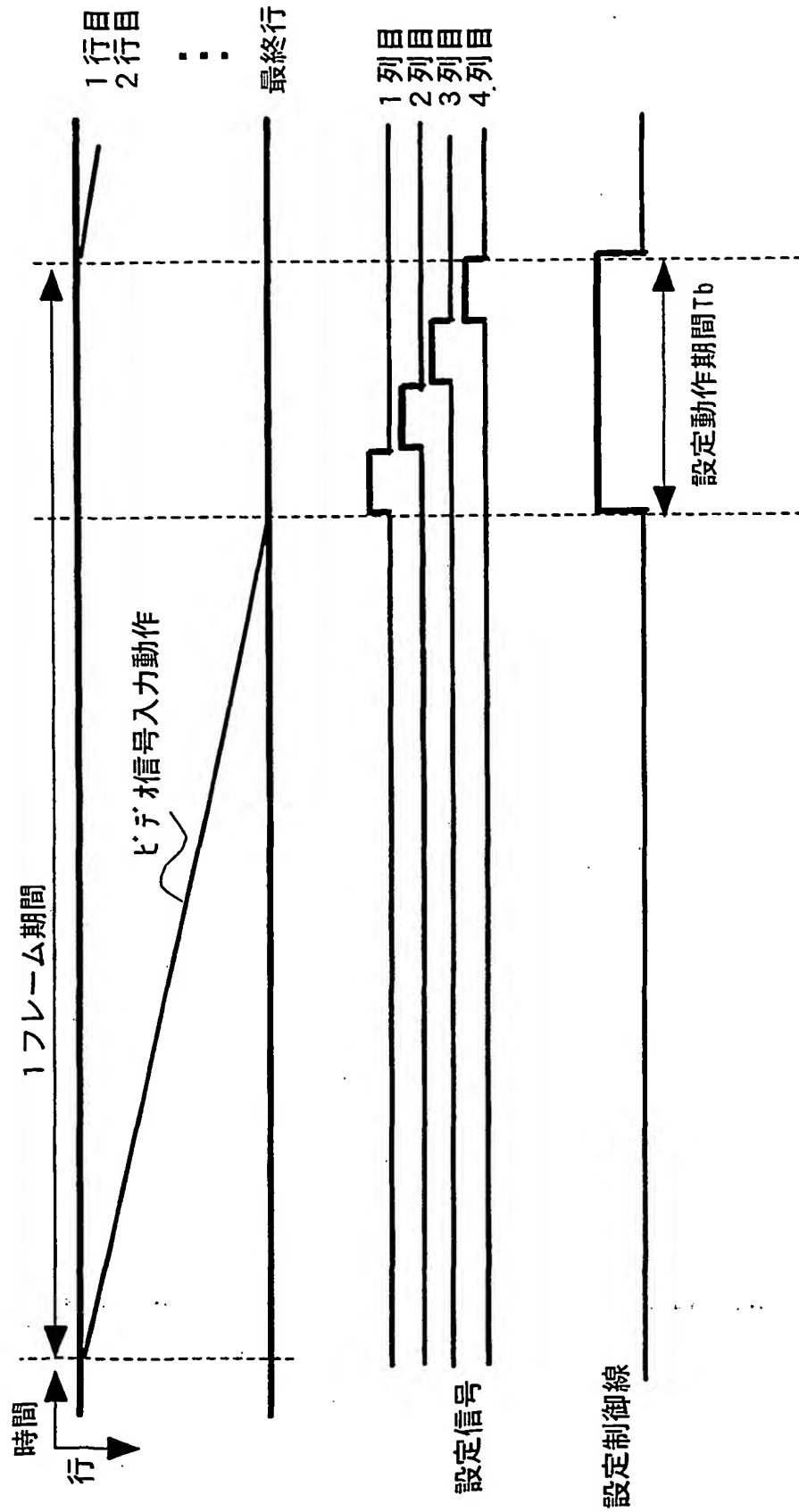


FIG. 11



12/82

FIG. 12A

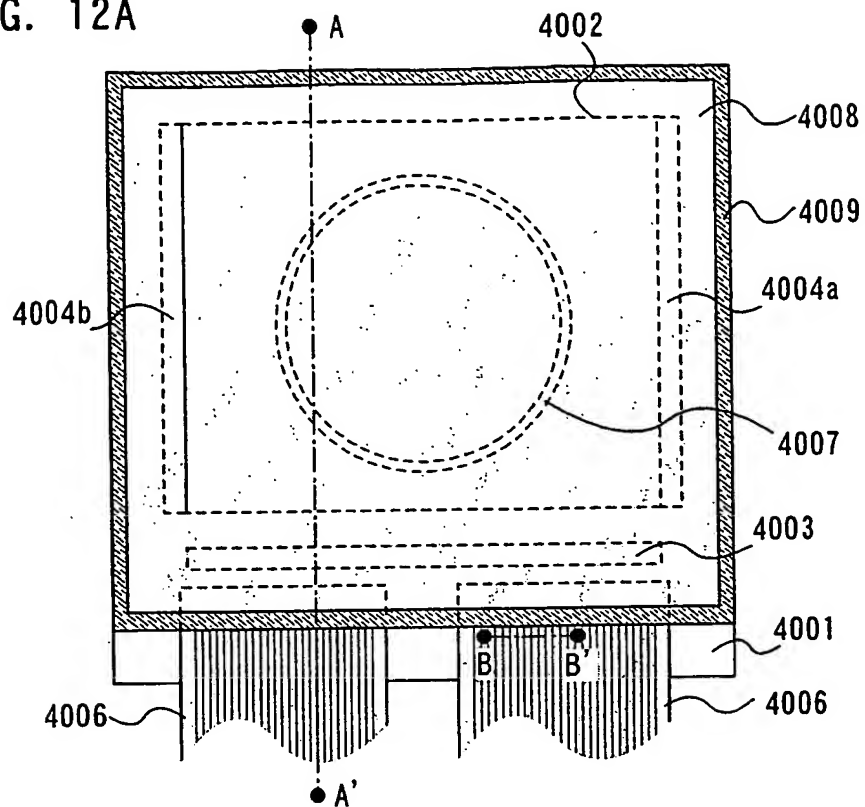


FIG. 12B

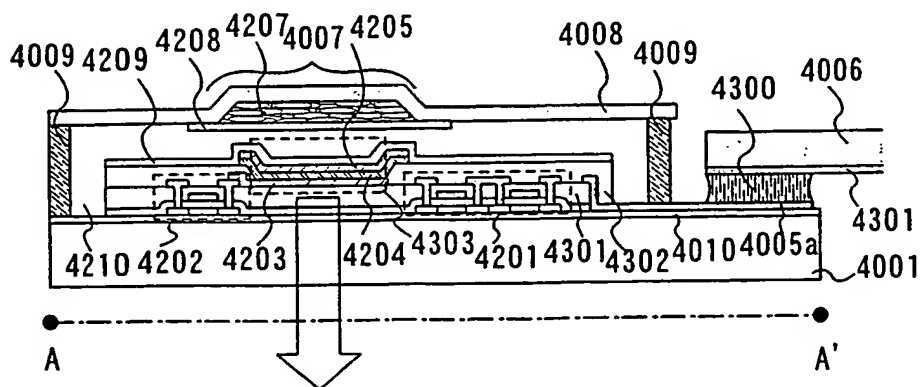
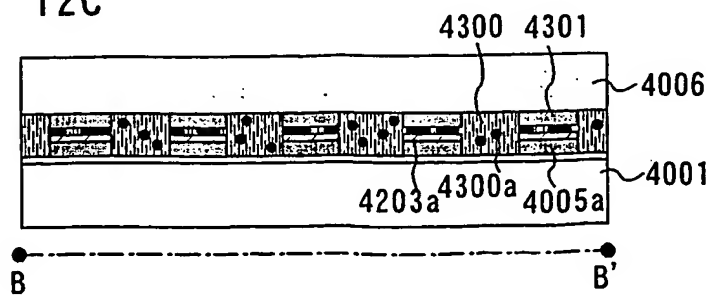


FIG. 12C



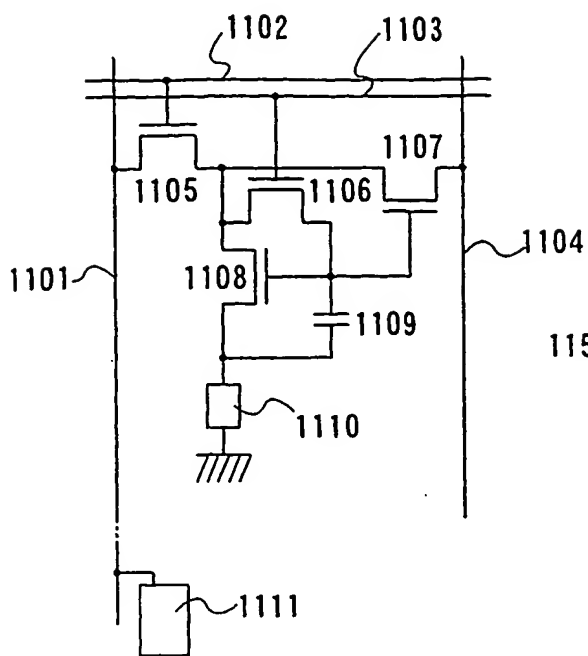


FIG. 13A

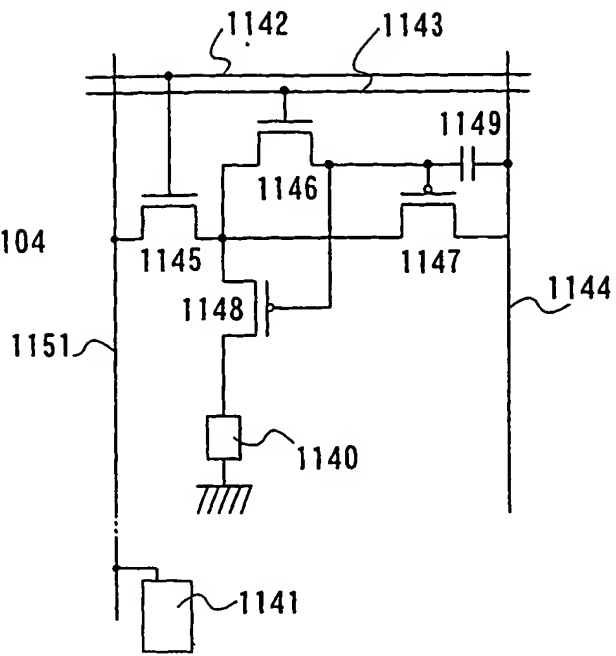


FIG. 13B

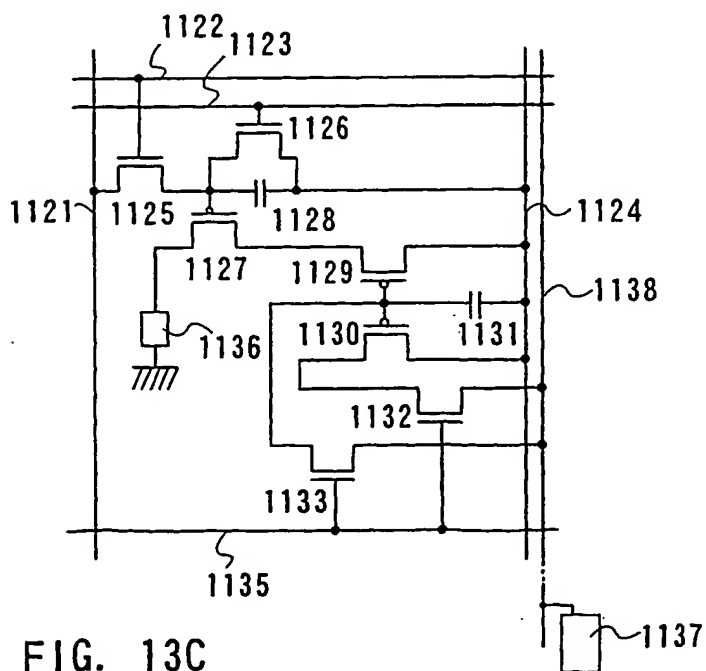


FIG. 13C

14/82

FIG. 14A



FIG. 14B

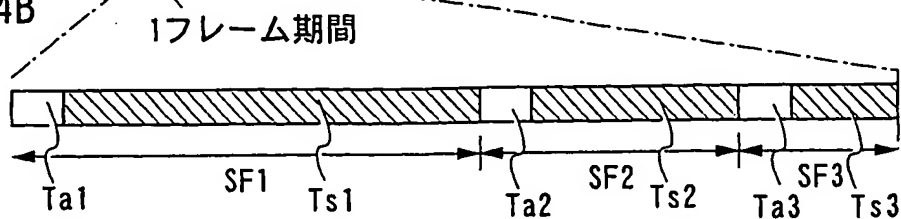


FIG. 14C

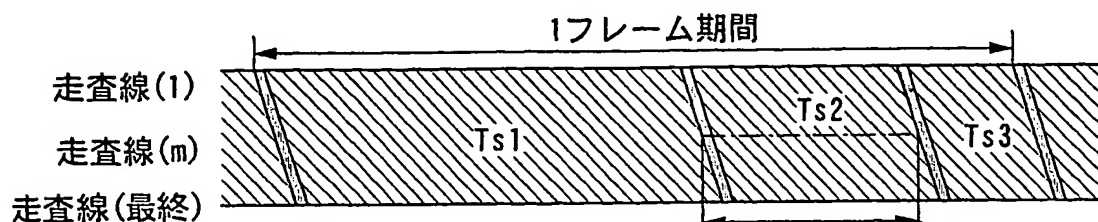


FIG. 14D

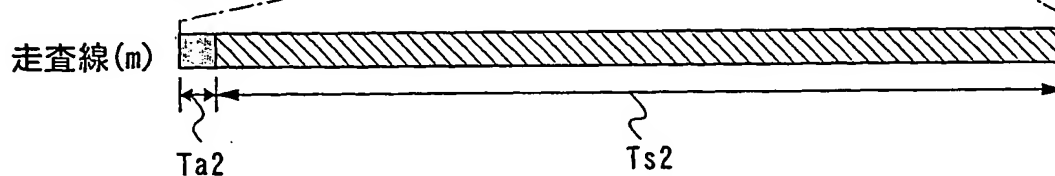


FIG. 15A

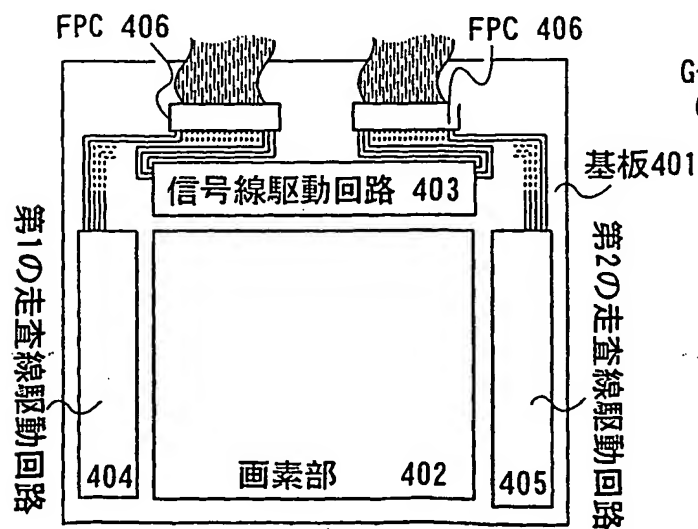
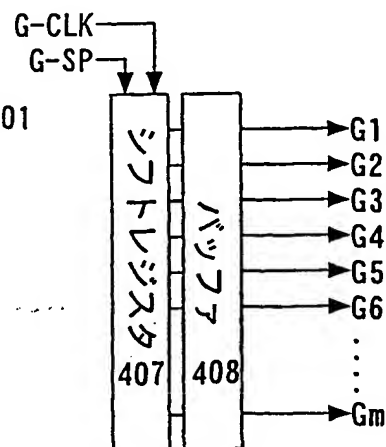


FIG. 15B



15/82

FIG. 16A

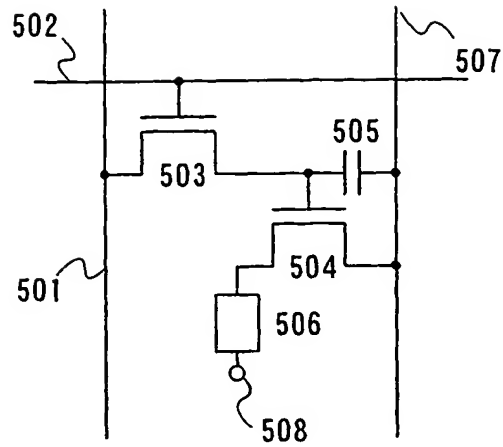


FIG. 16B

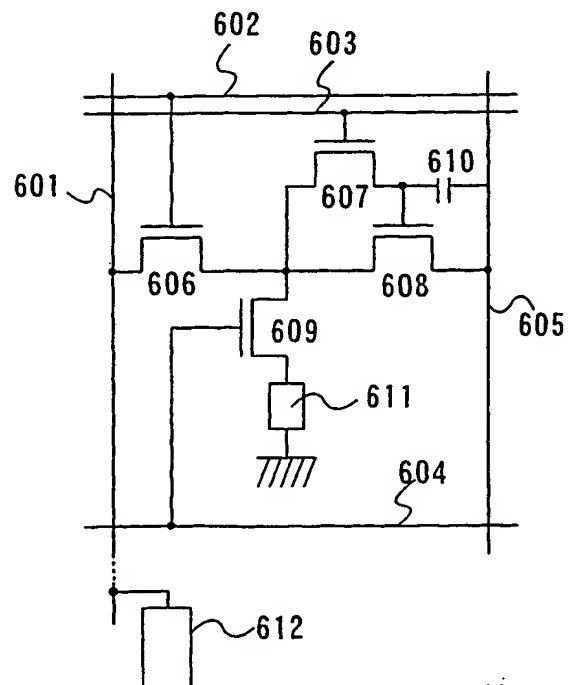


FIG. 17A

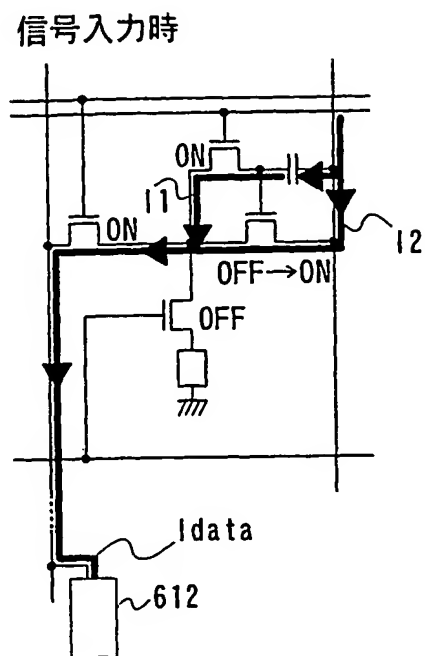


FIG. 17B

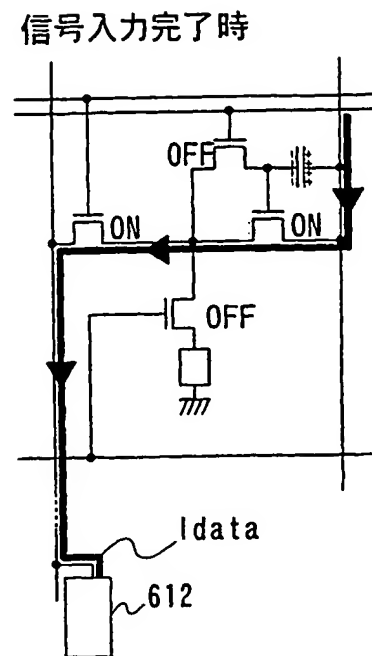


FIG. 17C

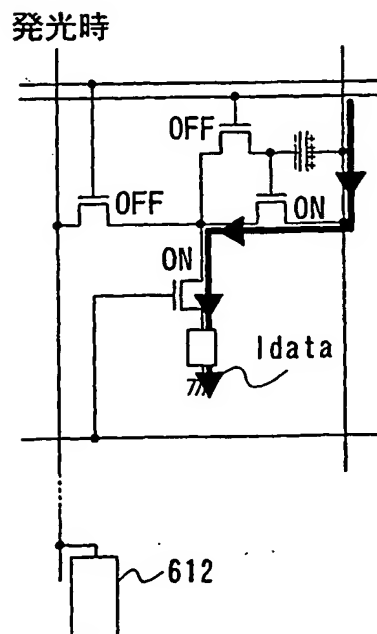


FIG. 17D

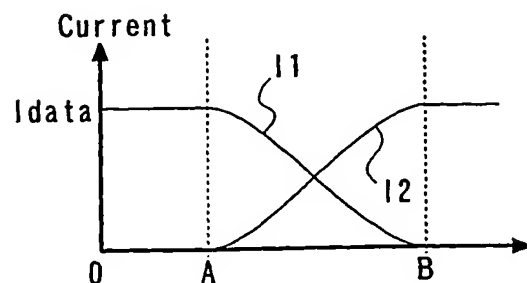
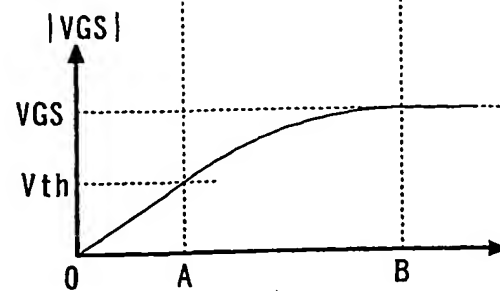


FIG. 17E





17/82

FIG. 18A

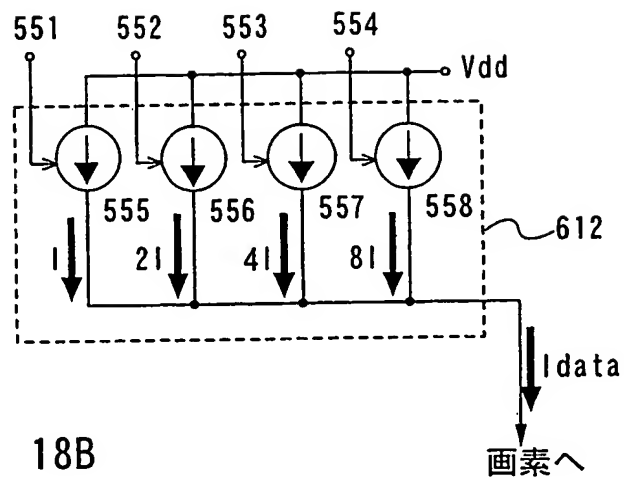
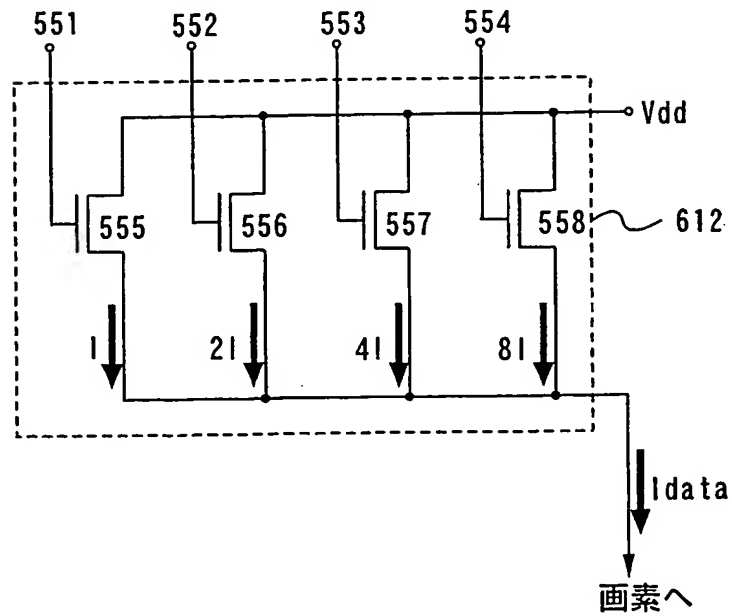


FIG. 18B



18/82

FIG. 19A

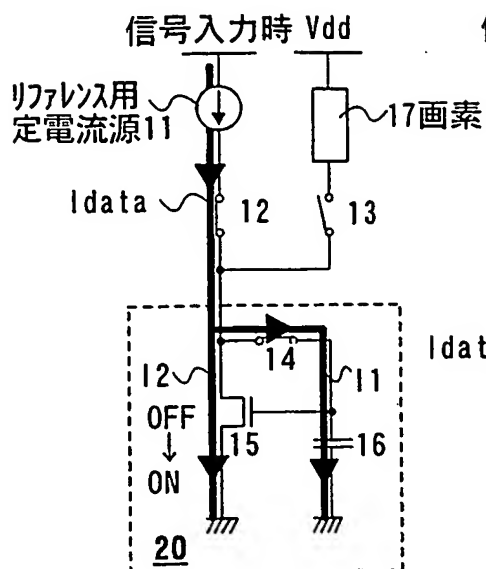


FIG. 19B

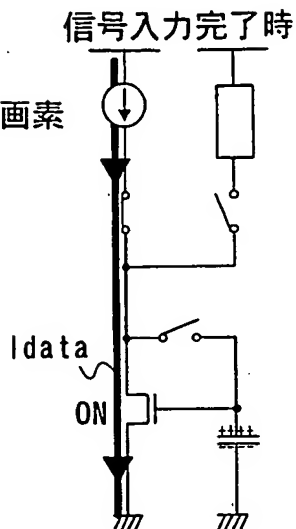


FIG. 19C

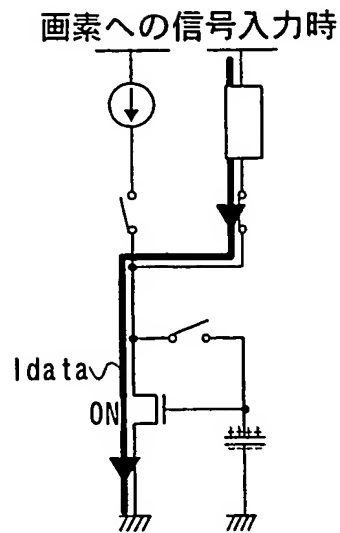


FIG. 19D

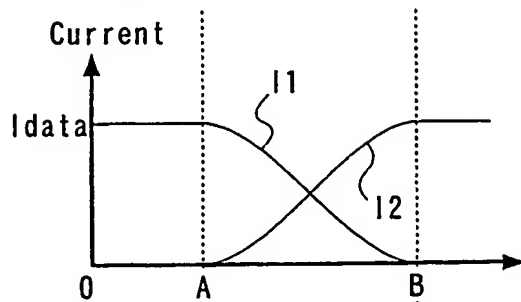


FIG. 19E

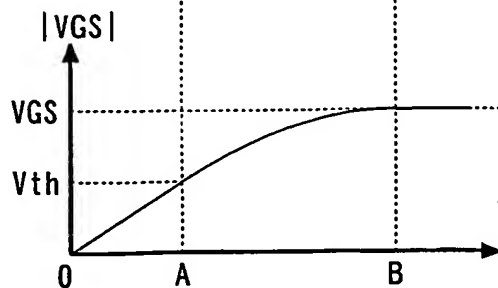
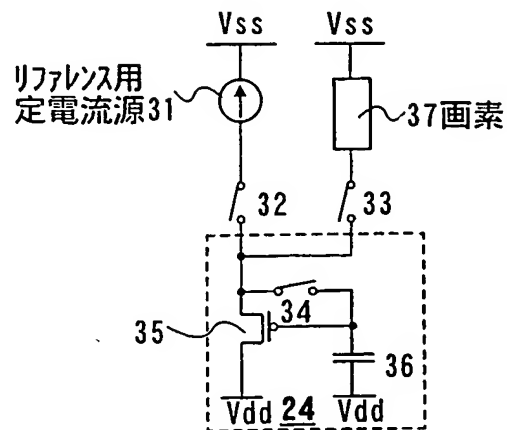


FIG. 19F



19/82

FIG. 20A

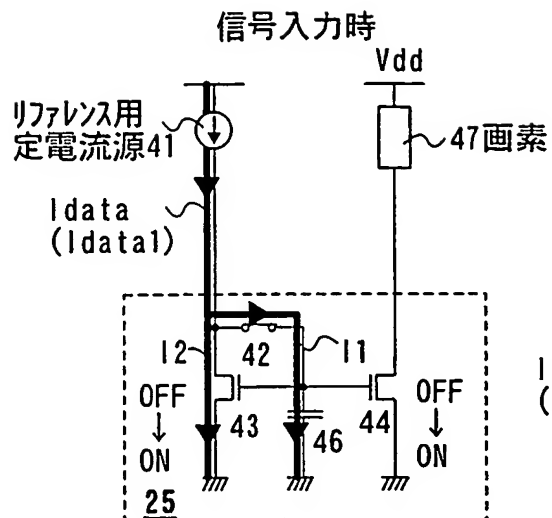


FIG. 20B

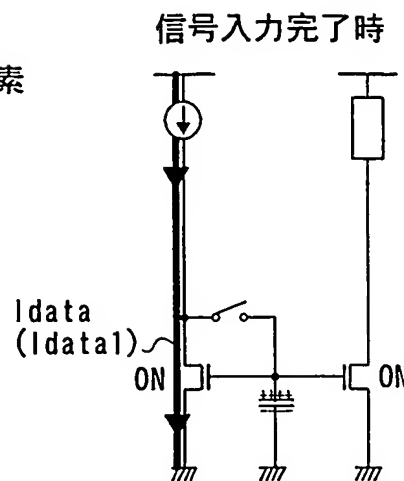


FIG. 20C

画素への信号入力時

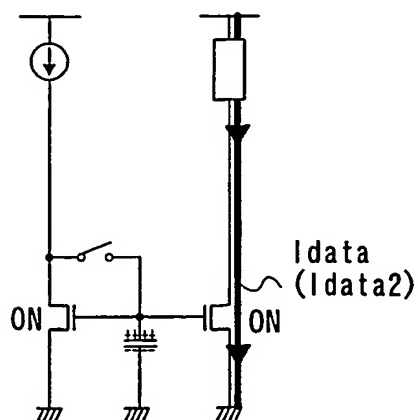


FIG. 20D

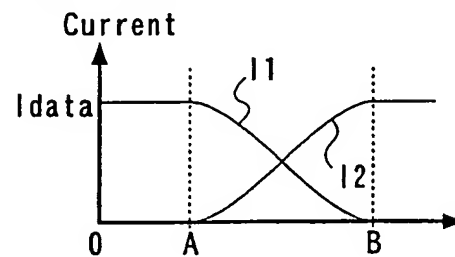
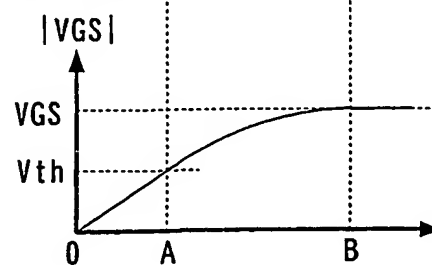


FIG. 20E



20/82

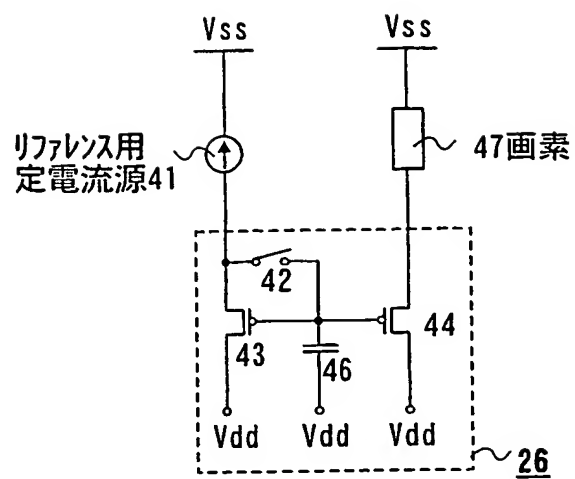


FIG. 21

FIG. 22A

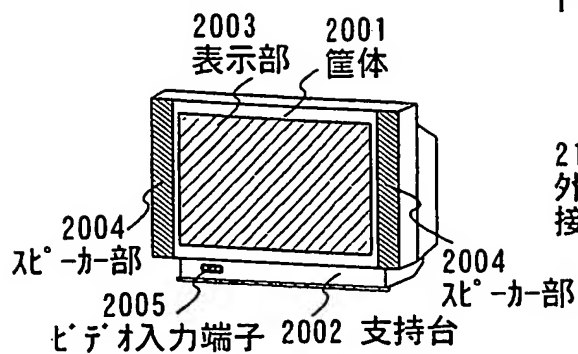


FIG. 22B

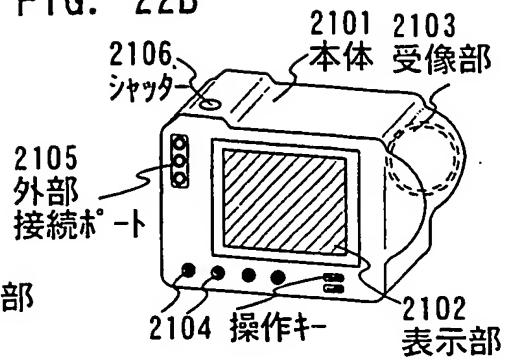


FIG. 22C

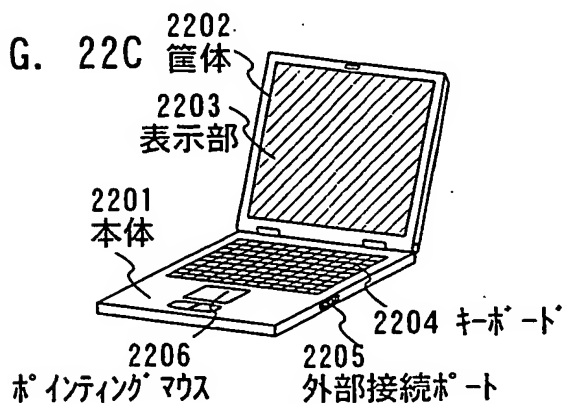


FIG. 22D

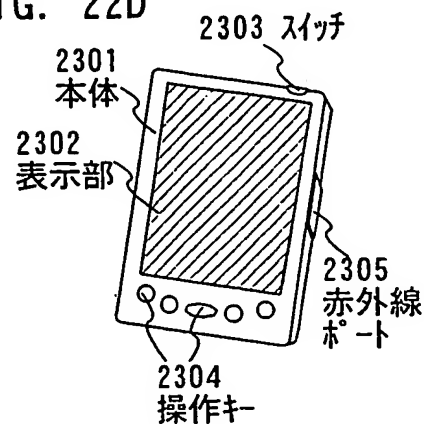


FIG. 22E

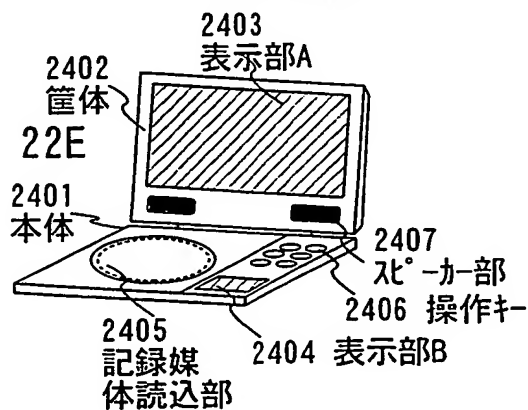


FIG. 22F

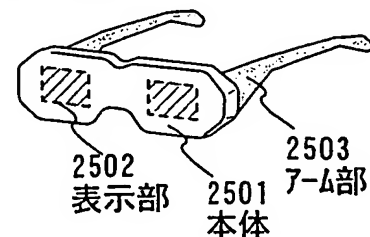


FIG. 22G

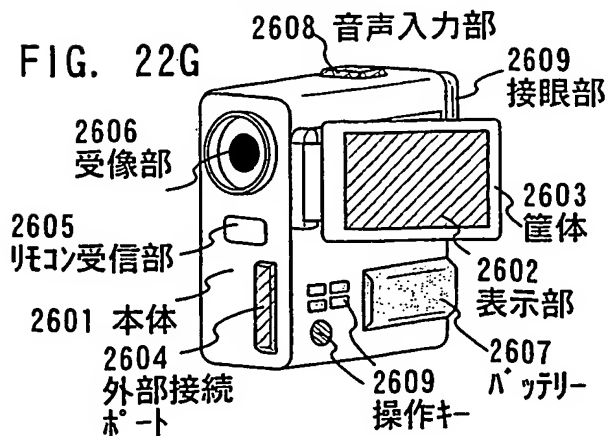
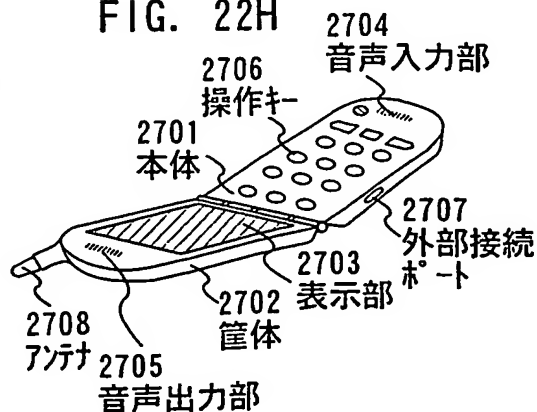


FIG. 22H



22/82

FIG. 23A

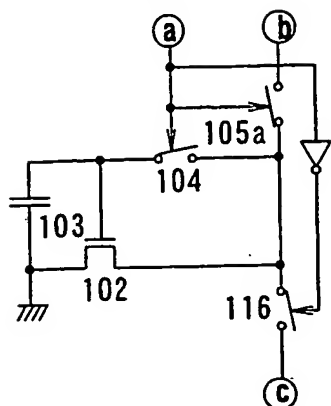


FIG. 23B

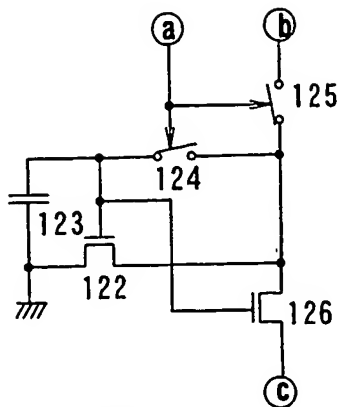


FIG. 23C

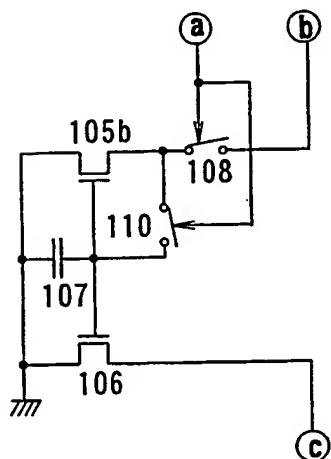


FIG. 23D

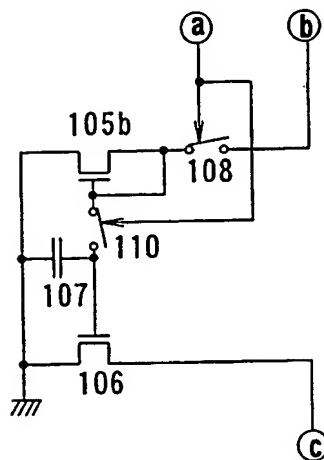
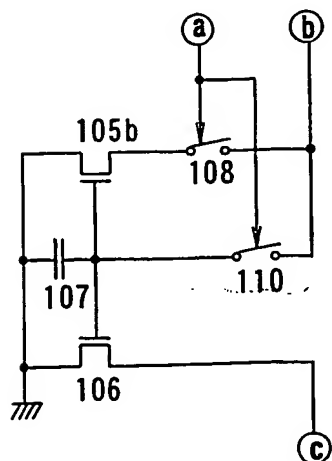


FIG. 23E



23/82

FIG. 24A

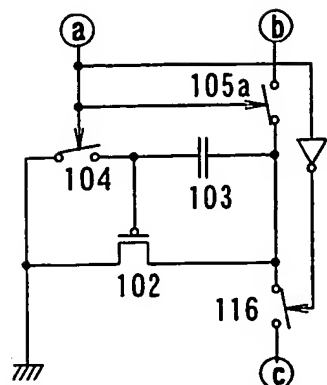


FIG. 24B

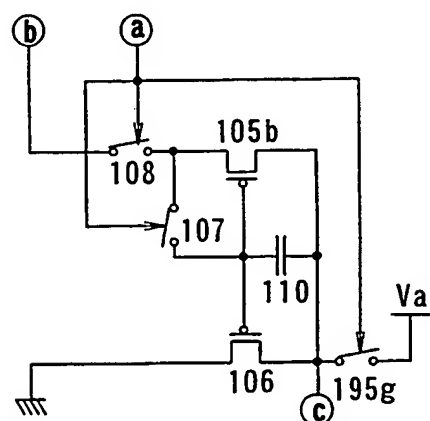


FIG. 24C

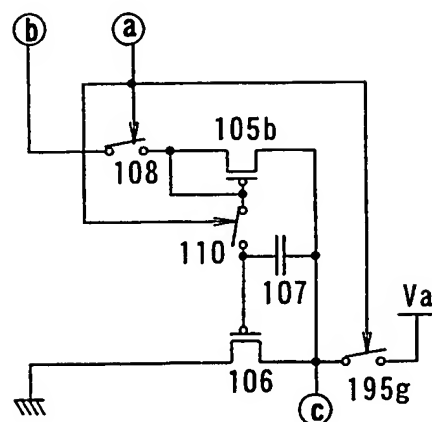
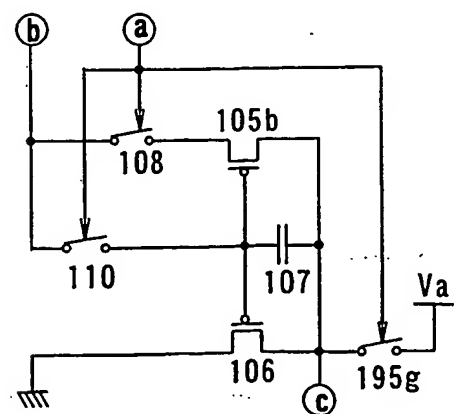


FIG. 24D



24/82

FIG. 25A

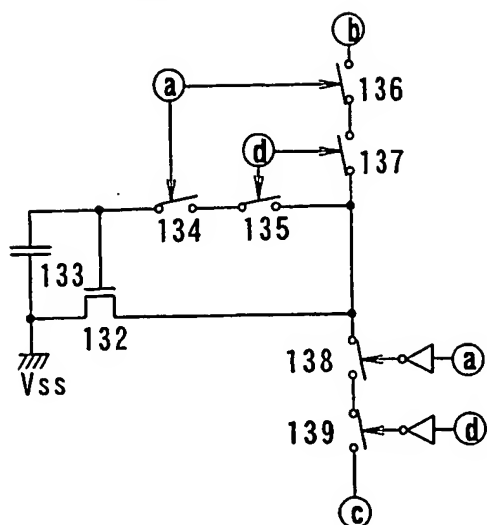


FIG. 25B

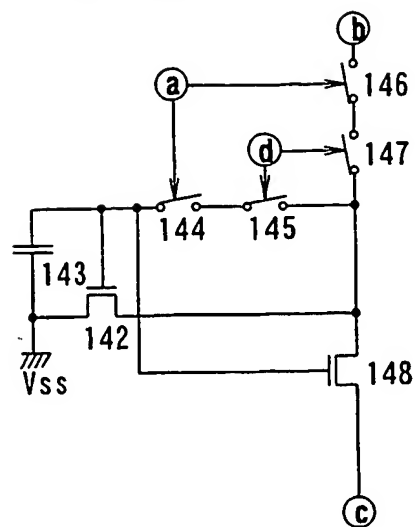
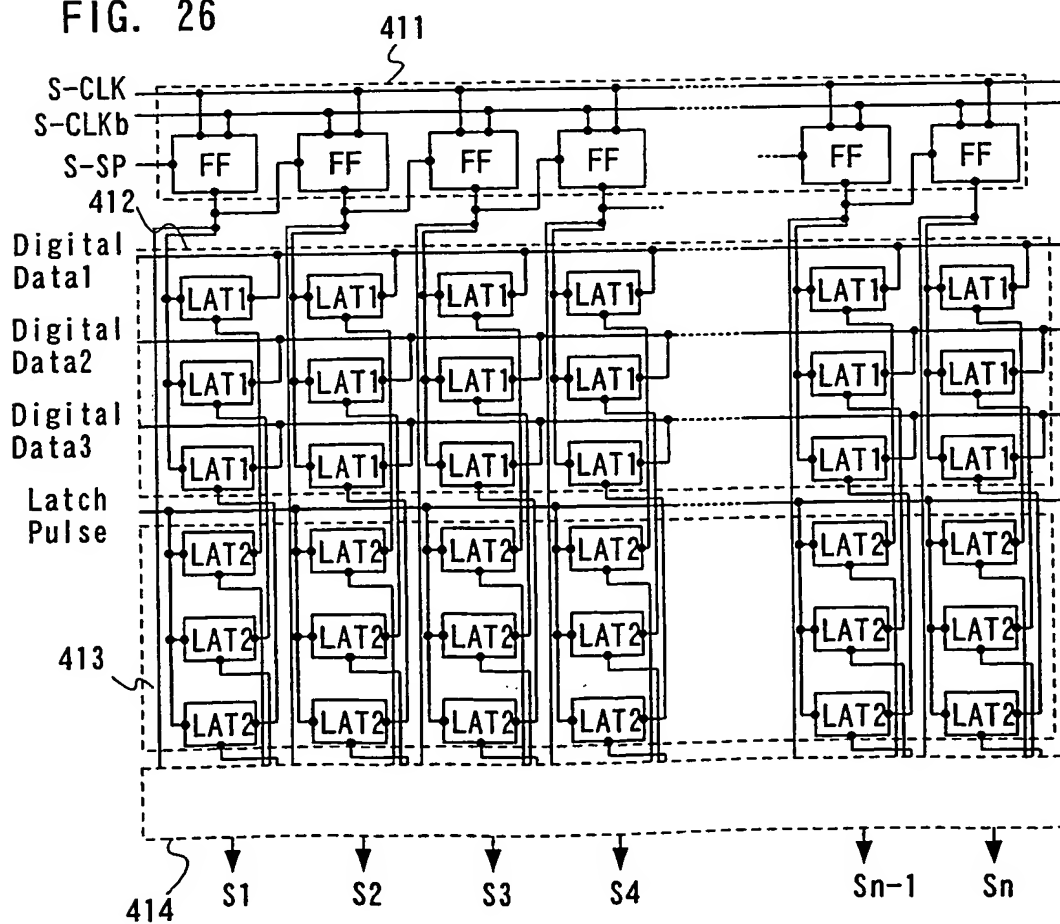


FIG. 26





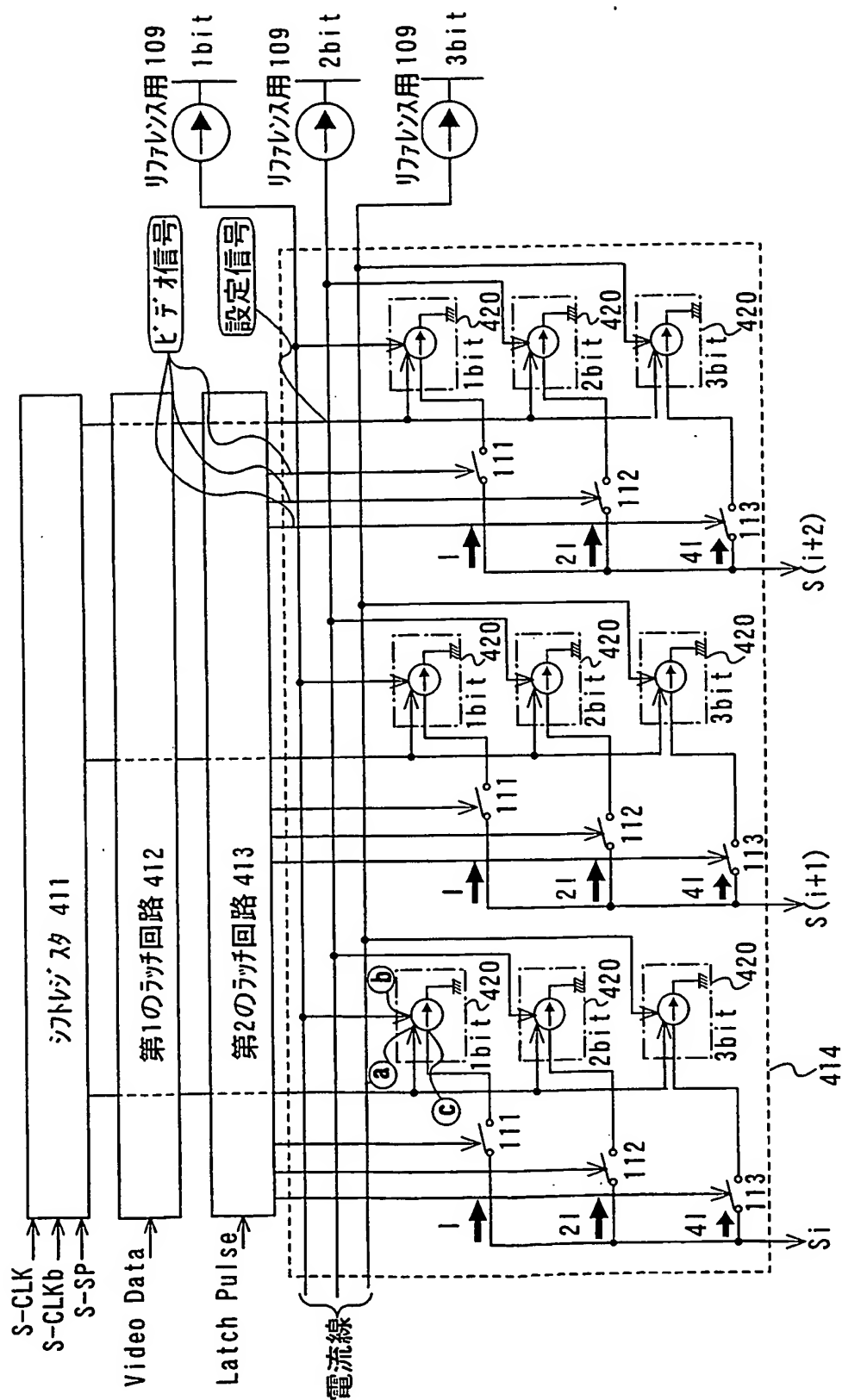


FIG. 27

26/82

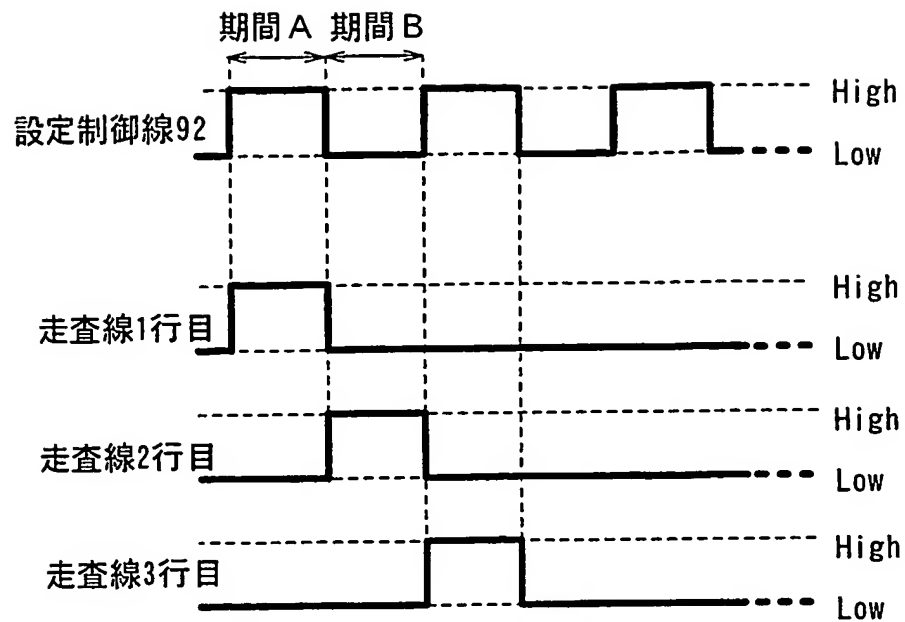


FIG. 28

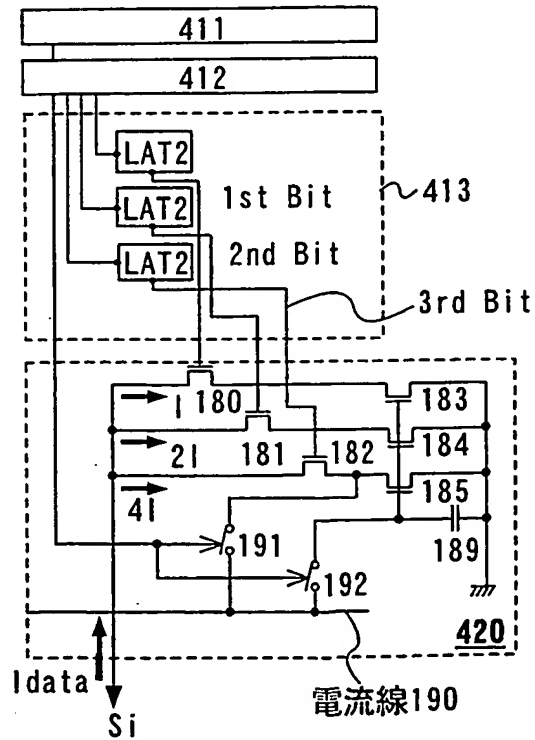


FIG. 29

27/82

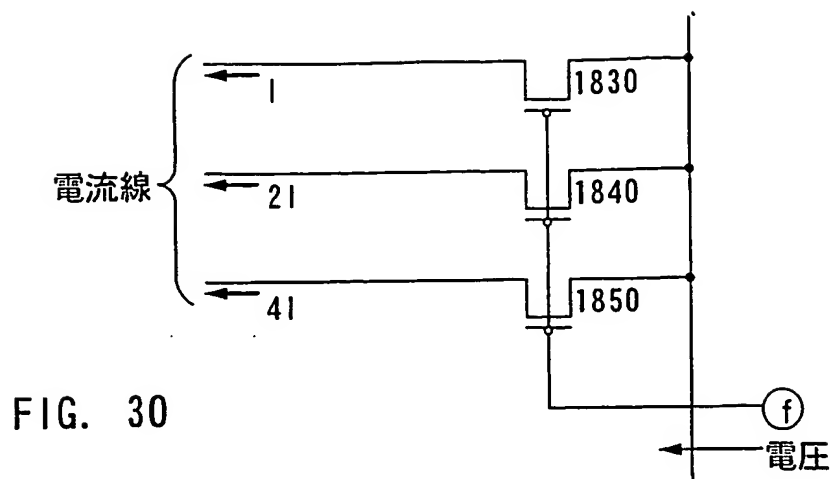


FIG. 31A

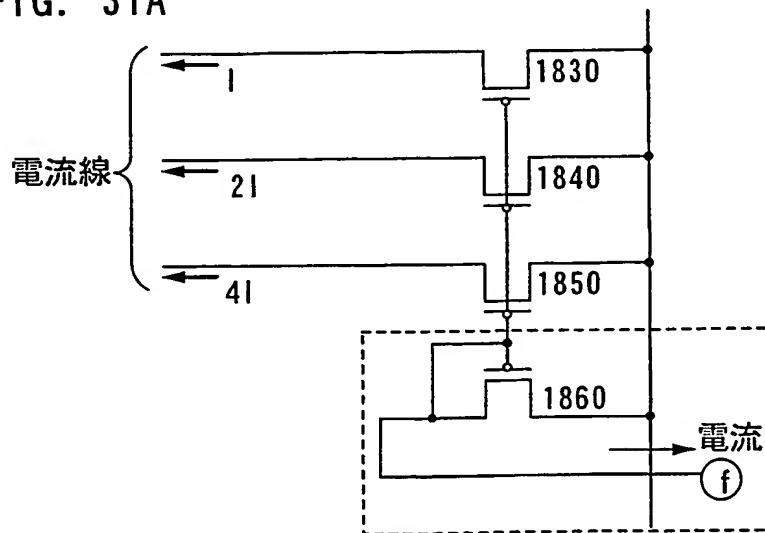
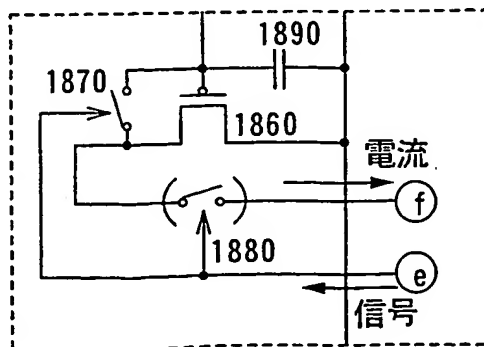


FIG. 31B



28/32

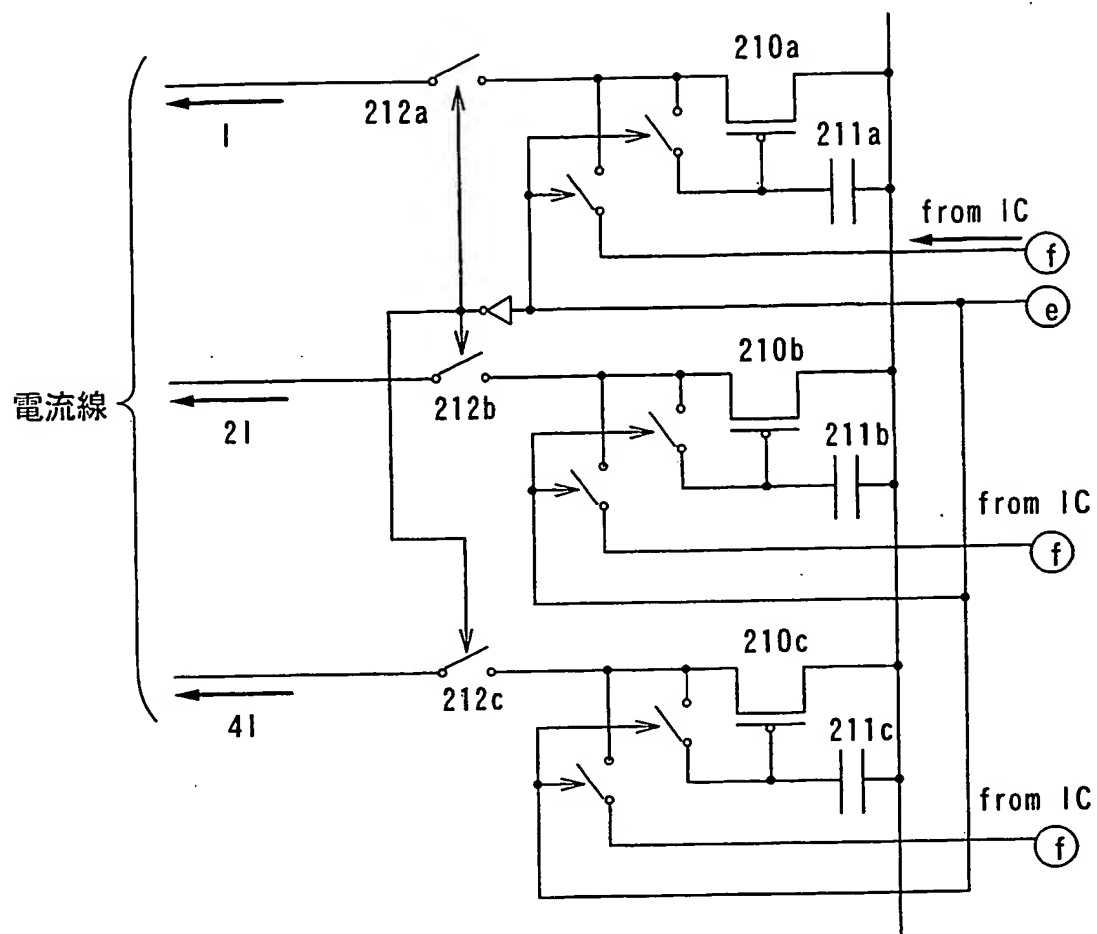
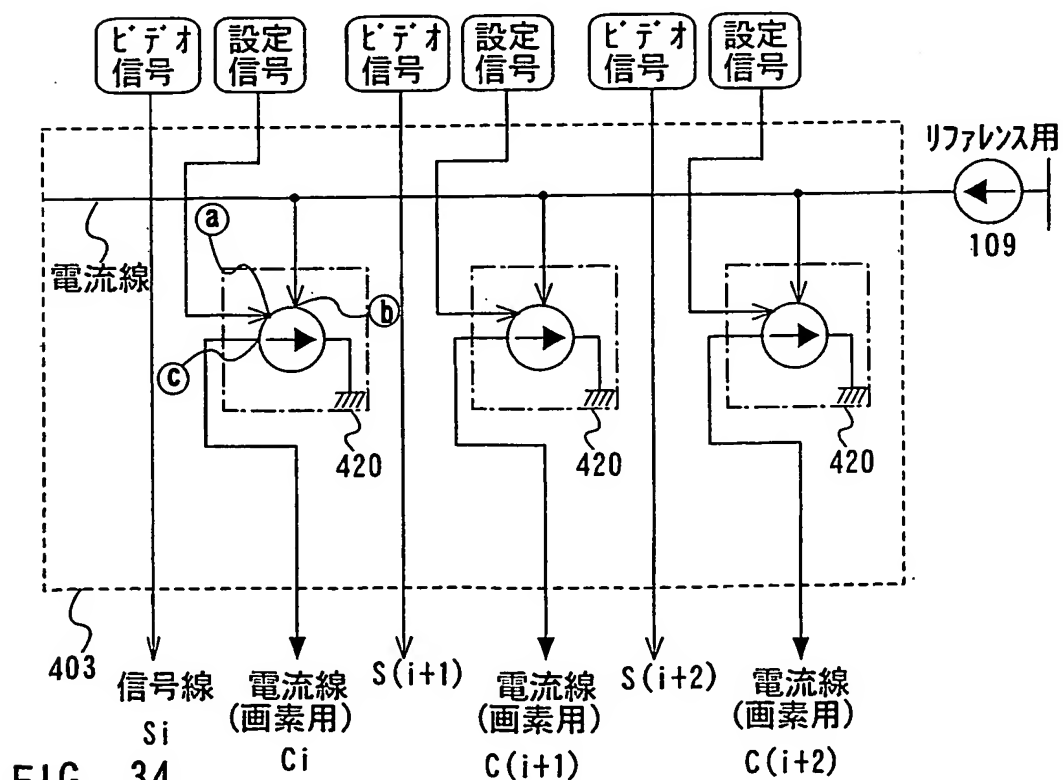
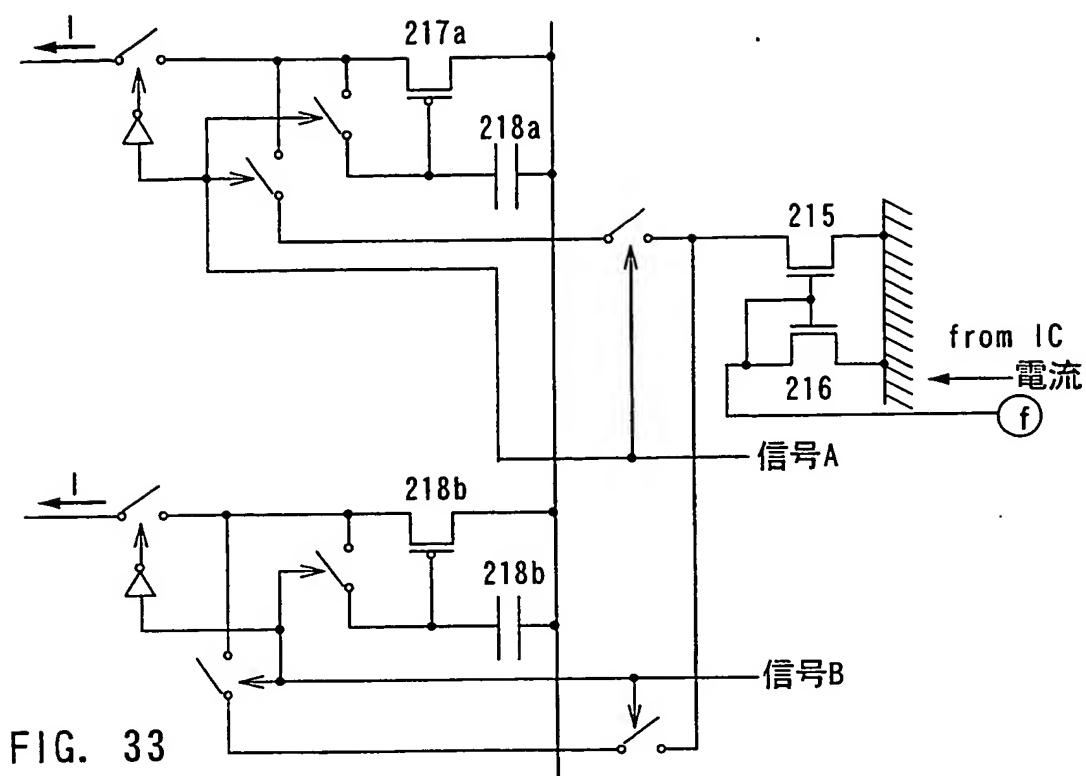


FIG. 32

29/82



差替え用紙 (規則26)

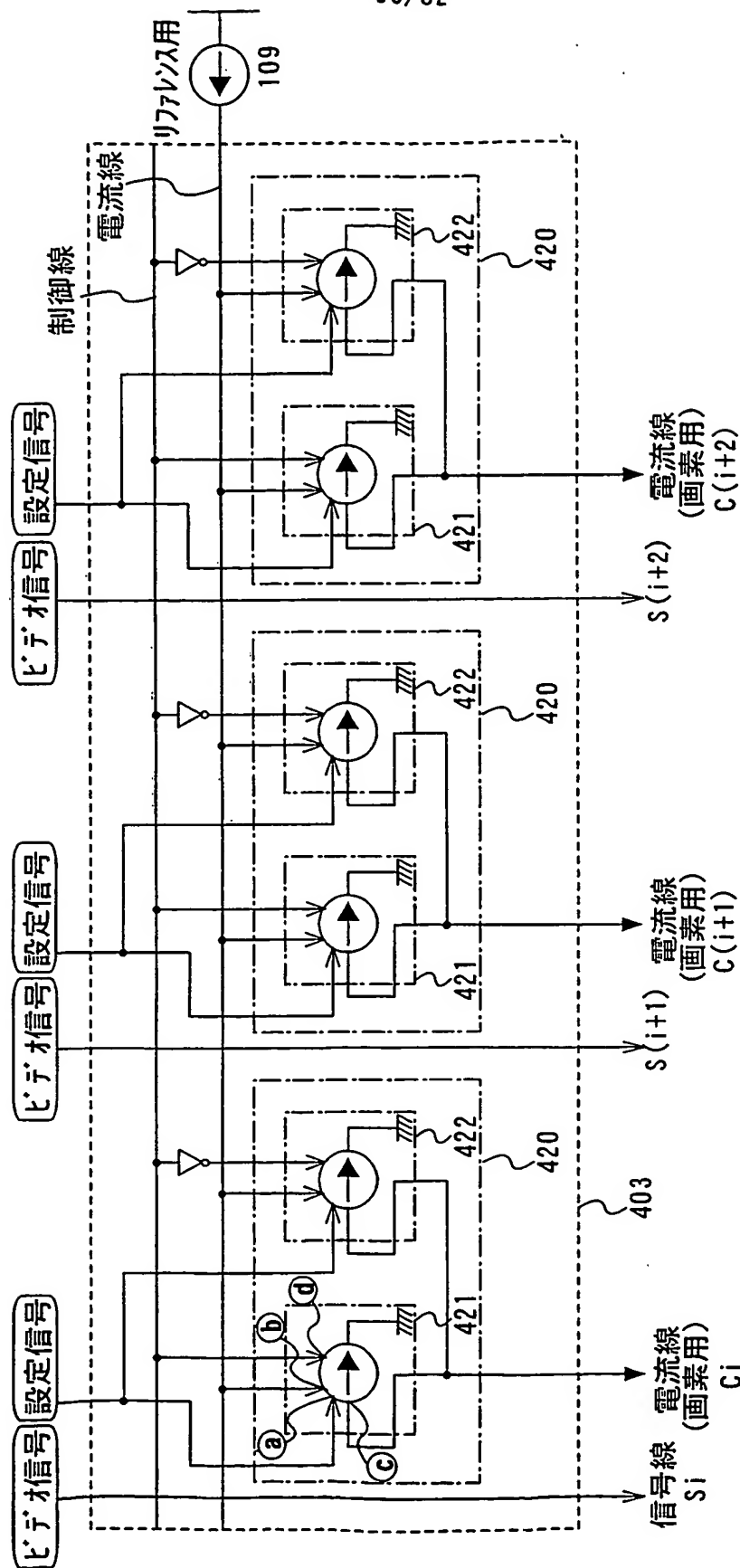
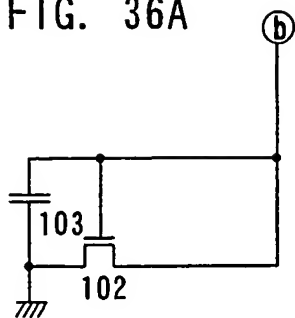


FIG. 35

31/82

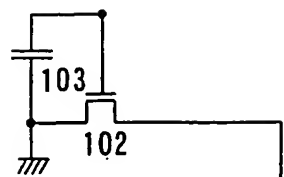
FIG. 36A



(A1)

(c)

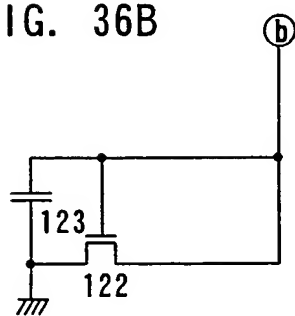
(b)



(A2)

(c)

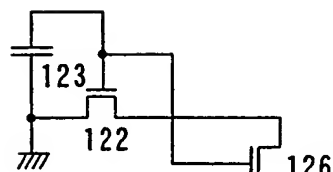
FIG. 36B



(B1)

(c)

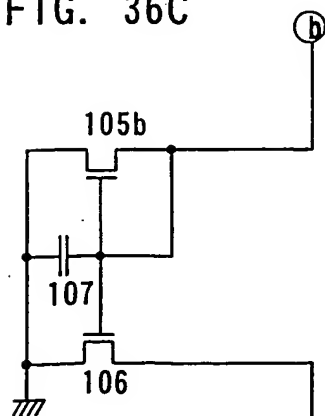
(b)



(B2)

(c)

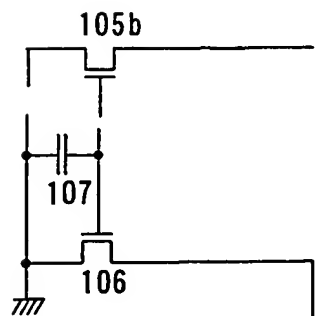
FIG. 36C



(C1)

(c)

(b)



(C2)

(c)

32/82

FIG. 37A

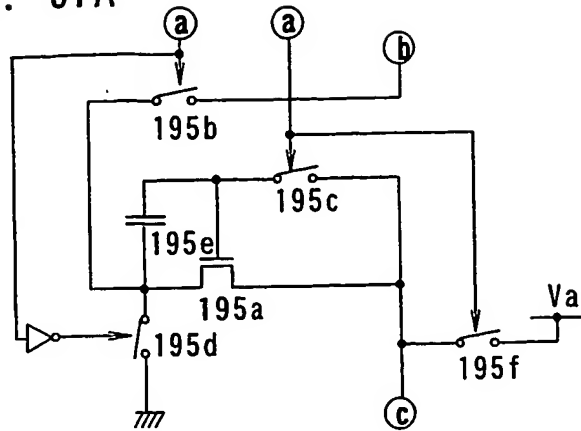


FIG. 37B

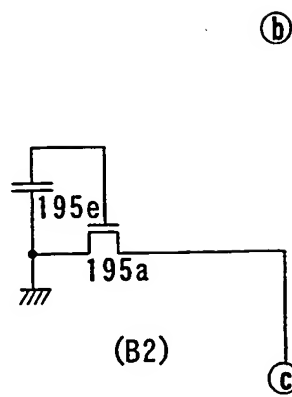
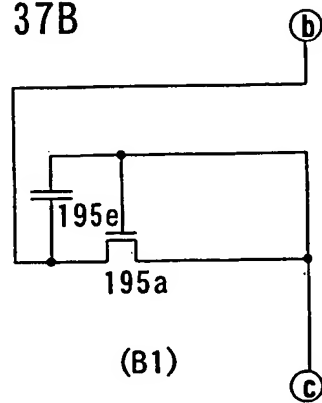
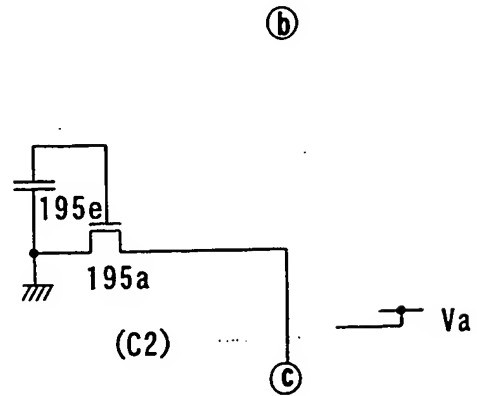
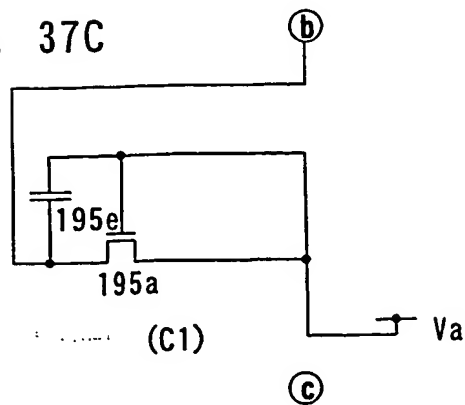


FIG. 37C





33/82

FIG. 38A

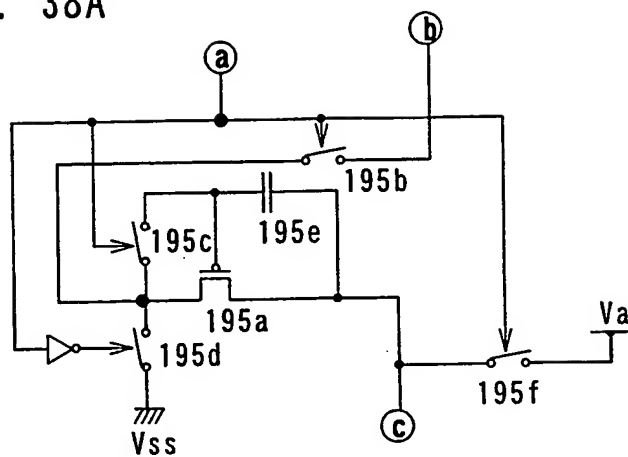
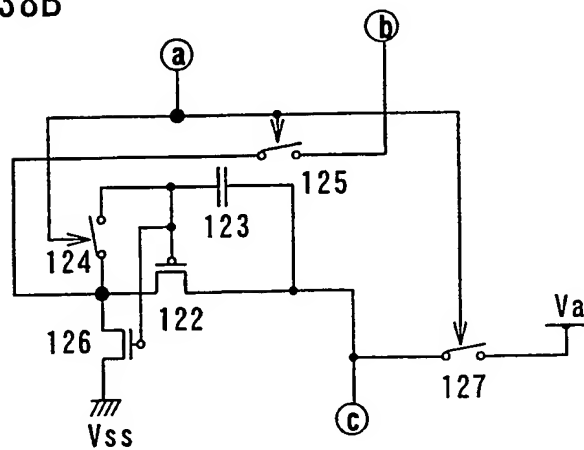


FIG. 38B



34/82

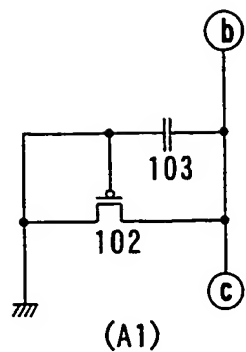


FIG. 39A

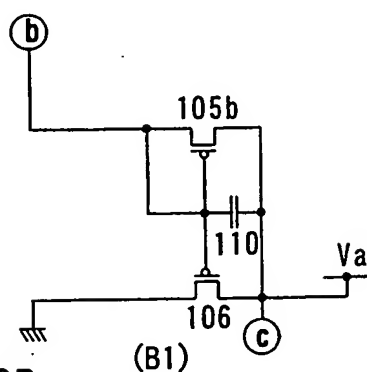
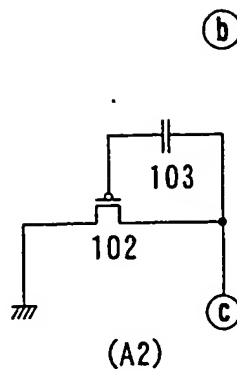


FIG. 39B

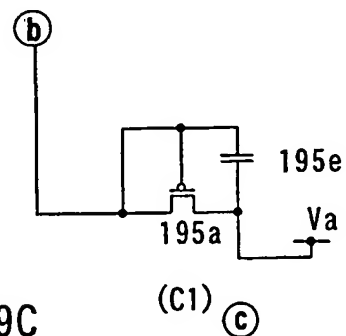
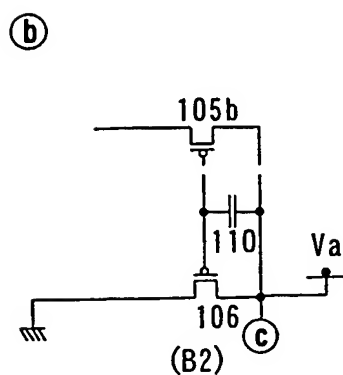


FIG. 39C

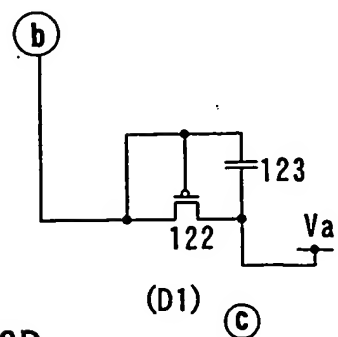
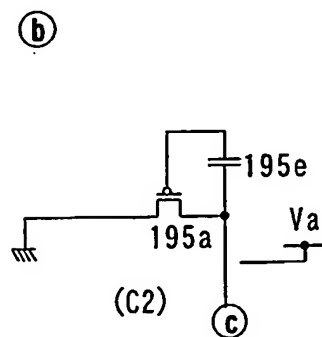
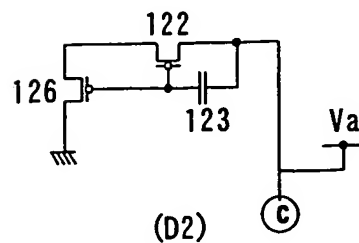
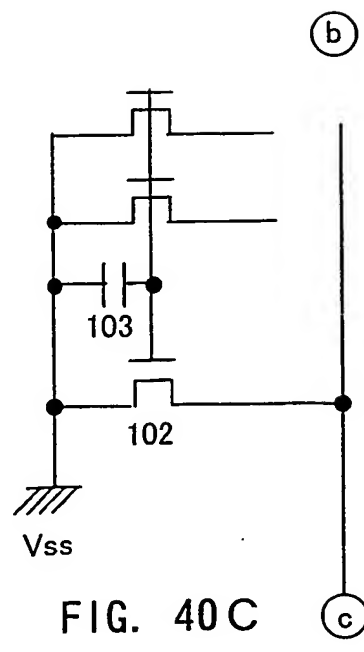
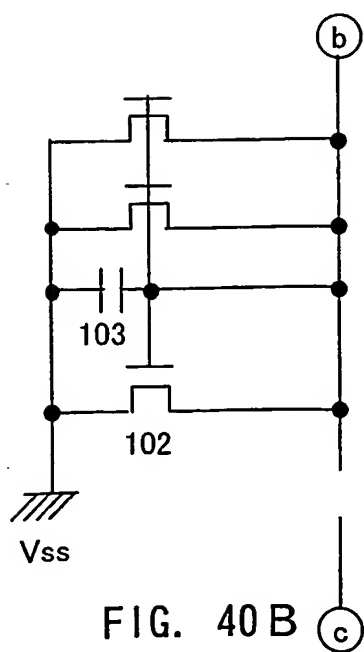
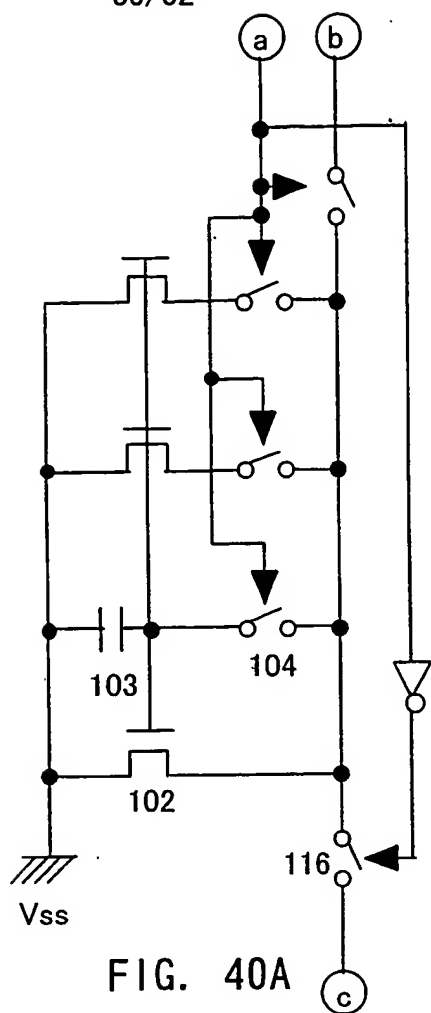


FIG. 39D



35/82



36/82

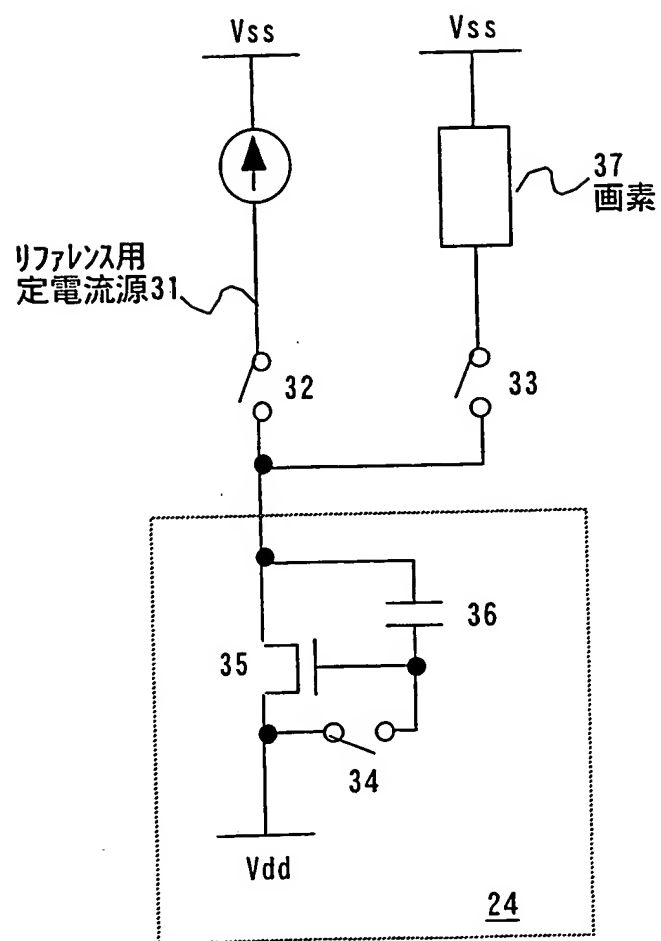


FIG. 41

37/82

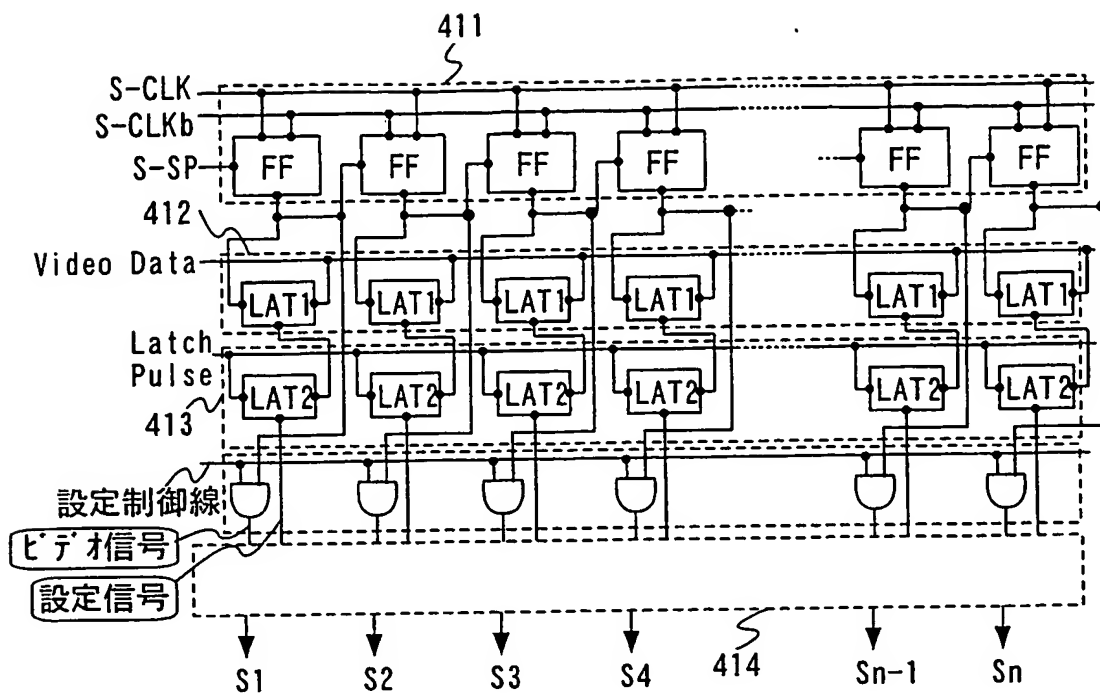


FIG. 42A

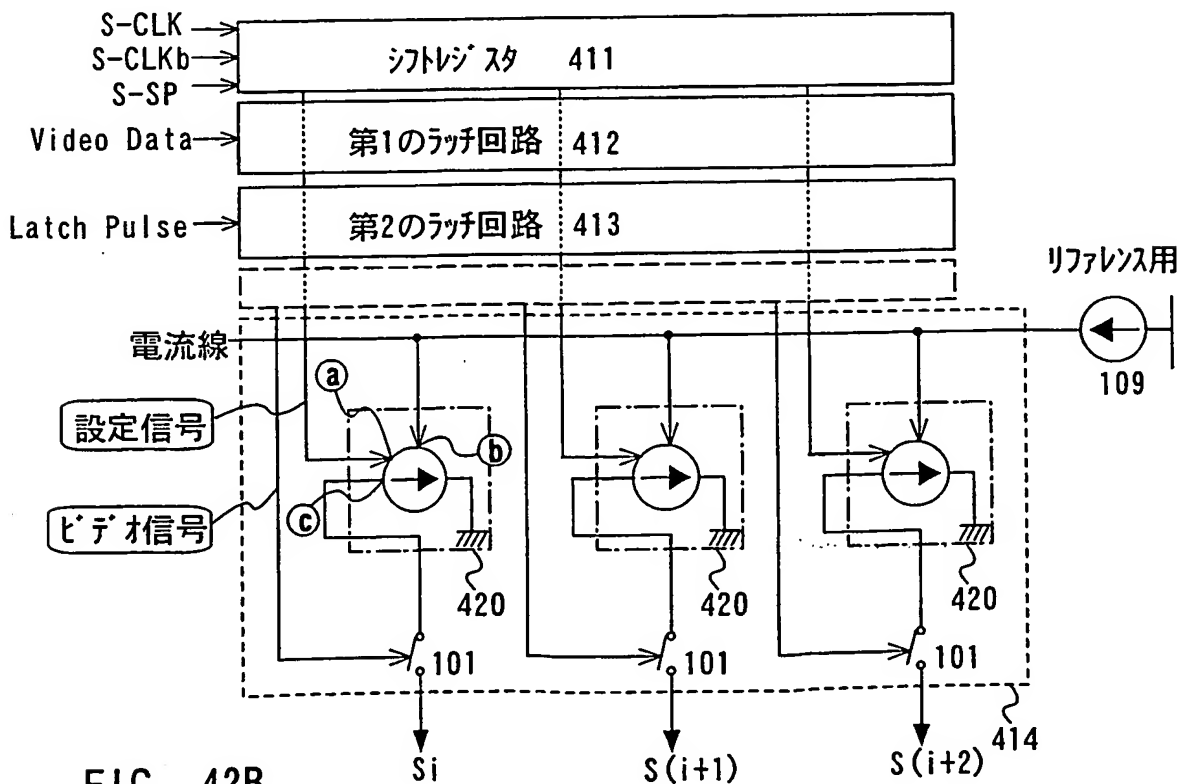
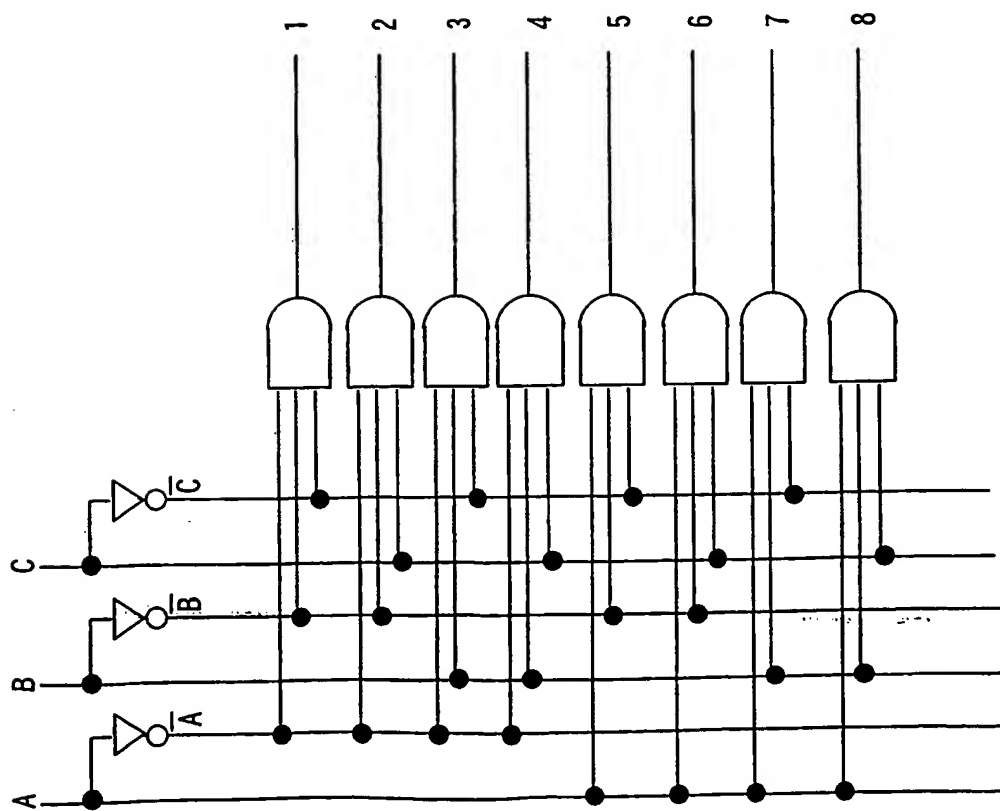


FIG. 42B

38/82

FIG. 43



A	B	C	1行目:2行目:3行目:4行目:5行目:6行目:7行目:8行目
0	0	0	1 0 0 0 0 0 0 0
0	0	1	0 1 0 0 0 0 0 0
0	1	0	0 0 1 0 0 0 0 0
0	1	1	0 0 0 1 0 0 0 0
1	0	0	0 0 0 0 1 0 0 0
1	0	1	0 0 0 0 0 1 0 0
1	1	0	0 0 0 0 0 0 1 0
1	1	1	0 0 0 0 0 0 0 1

39/82

FIG. 44A

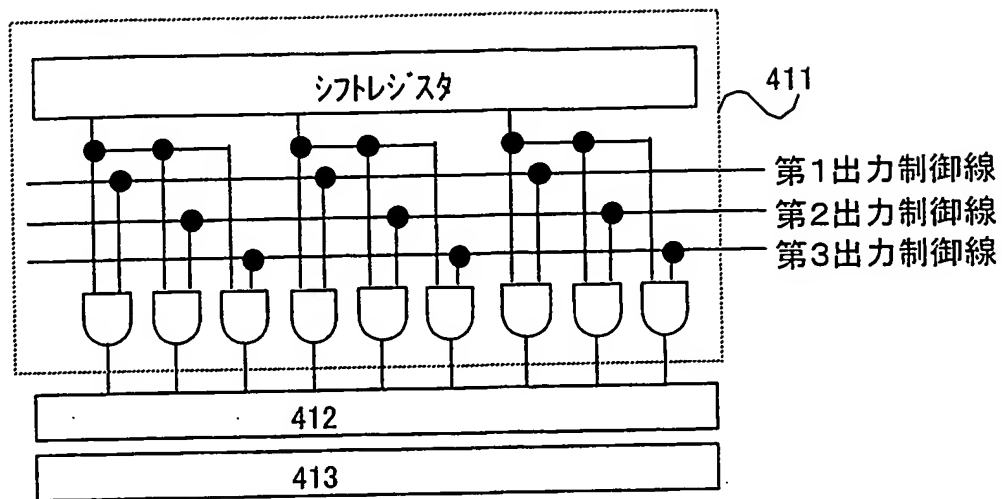
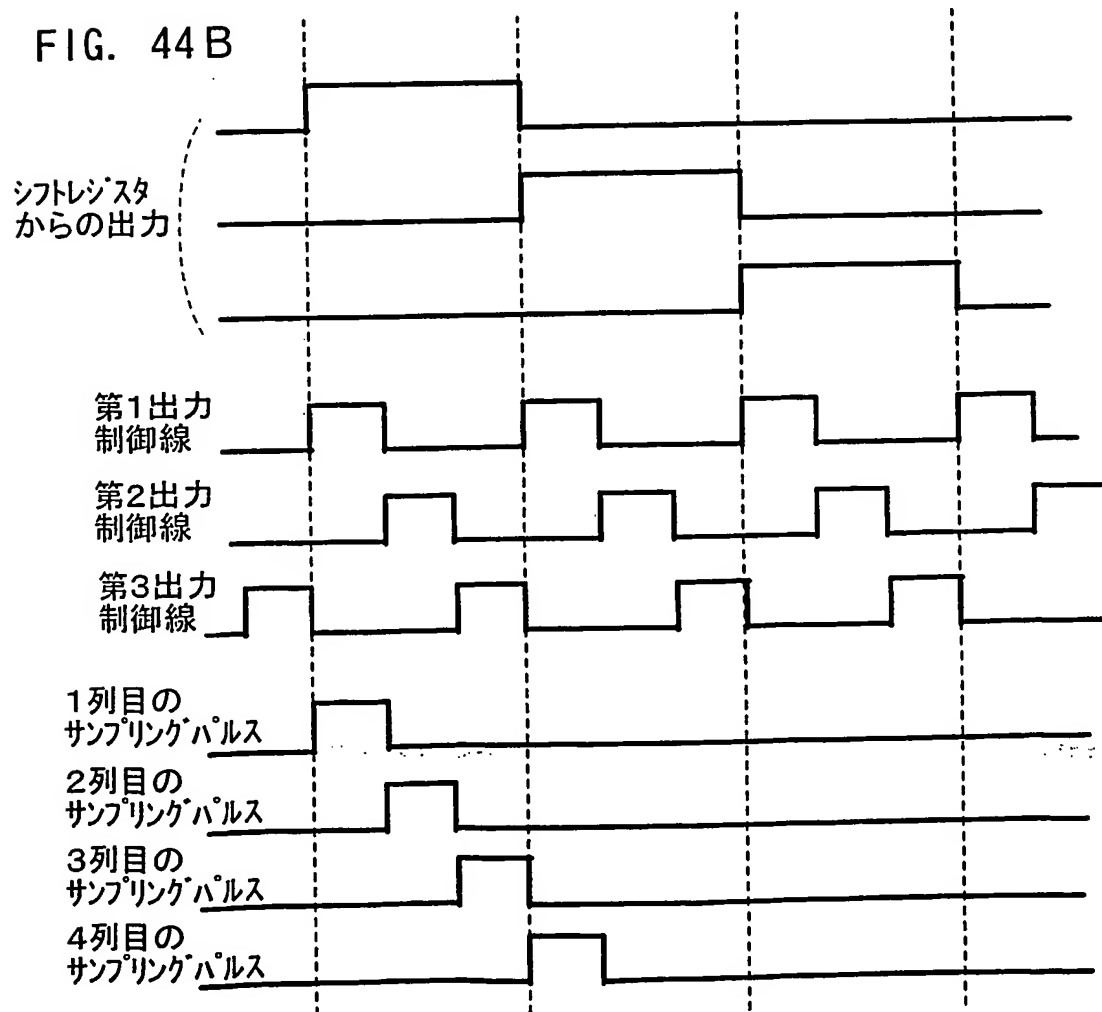


FIG. 44B



40/82

FIG. 45A

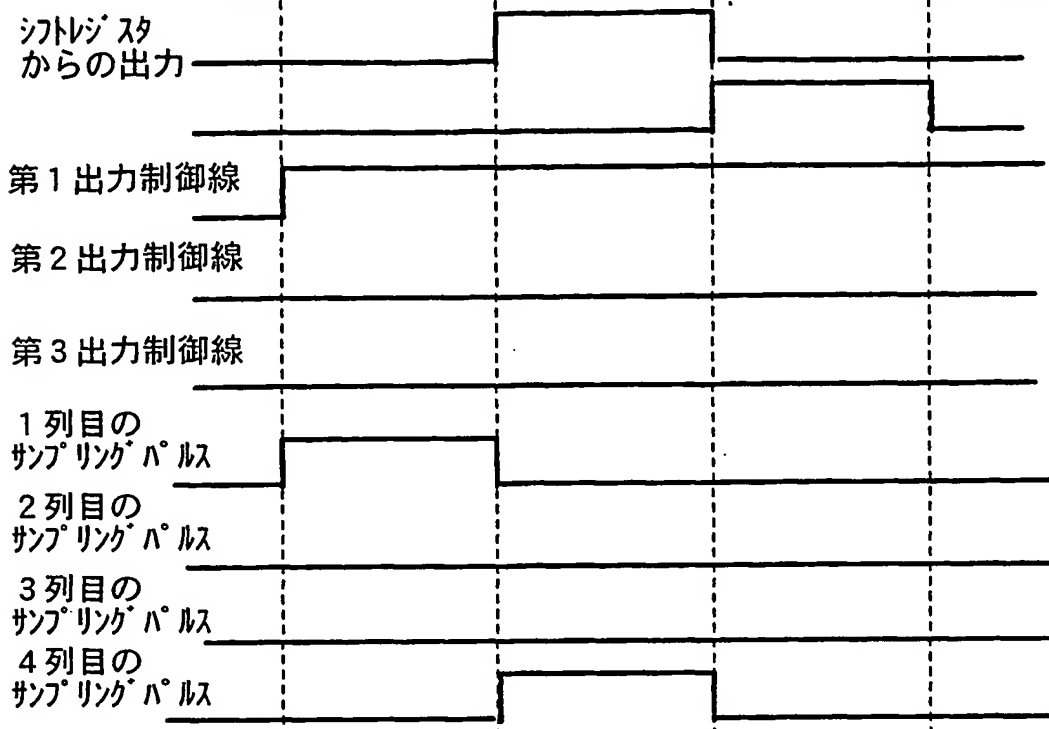
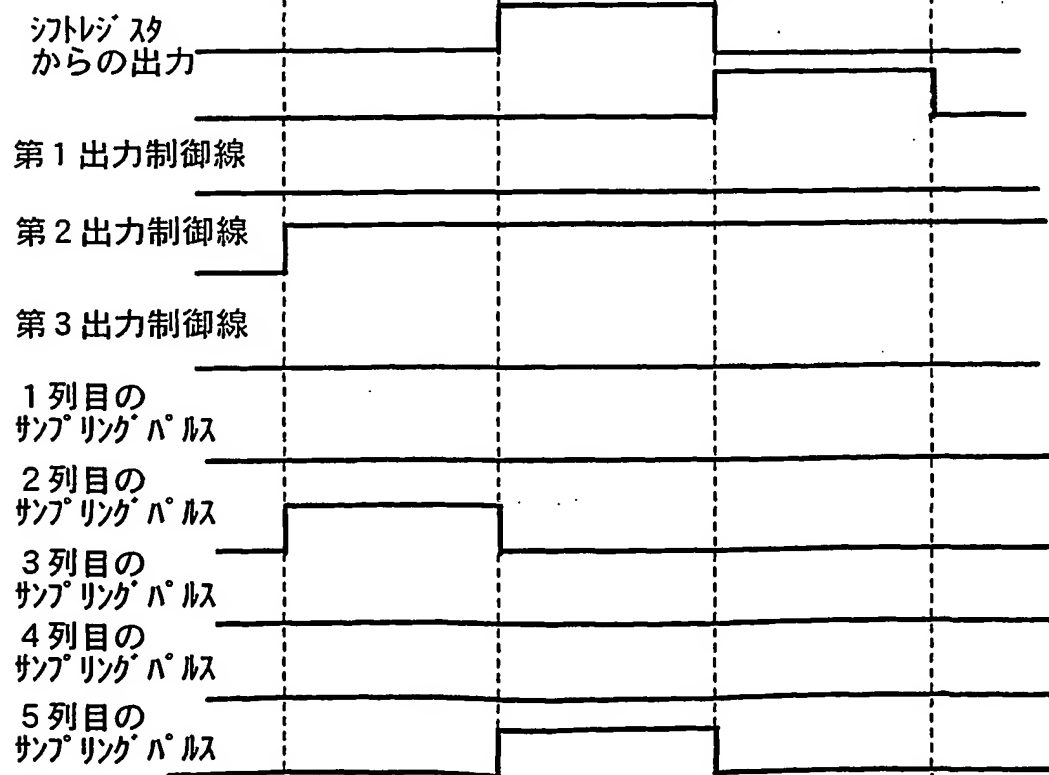


FIG. 45B





41/82

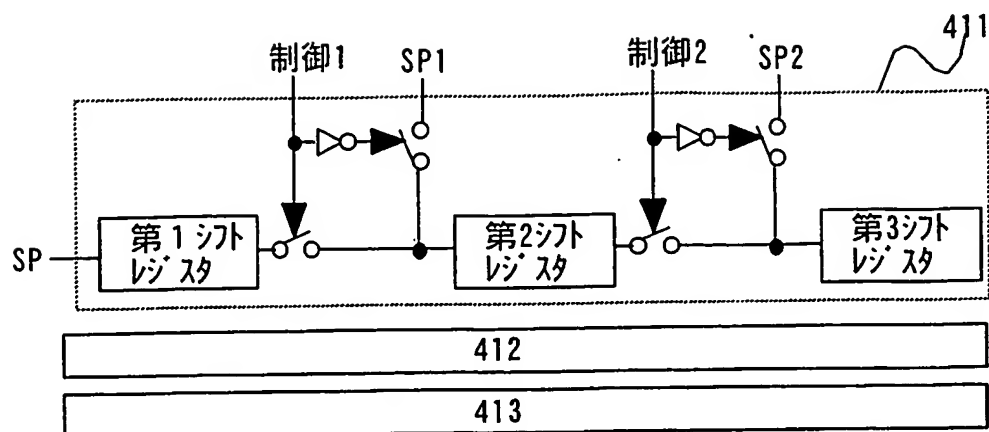


FIG. 46

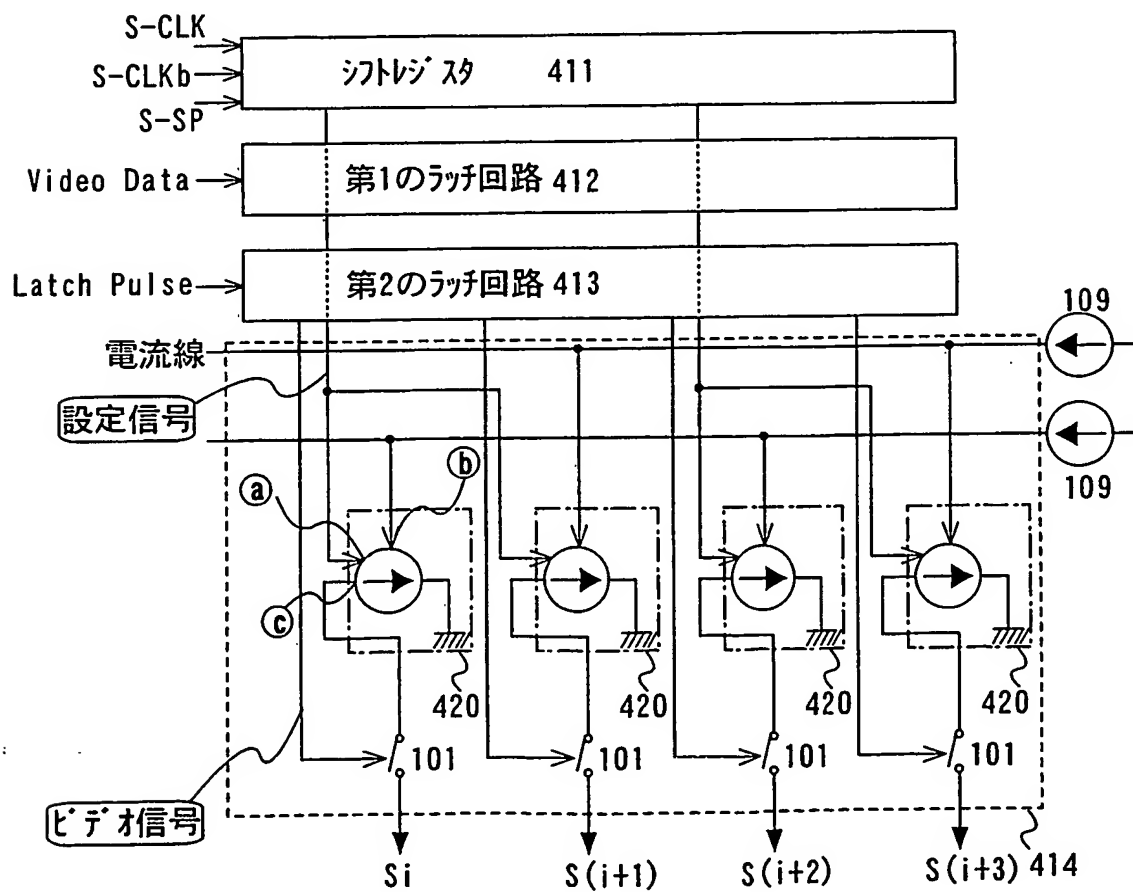
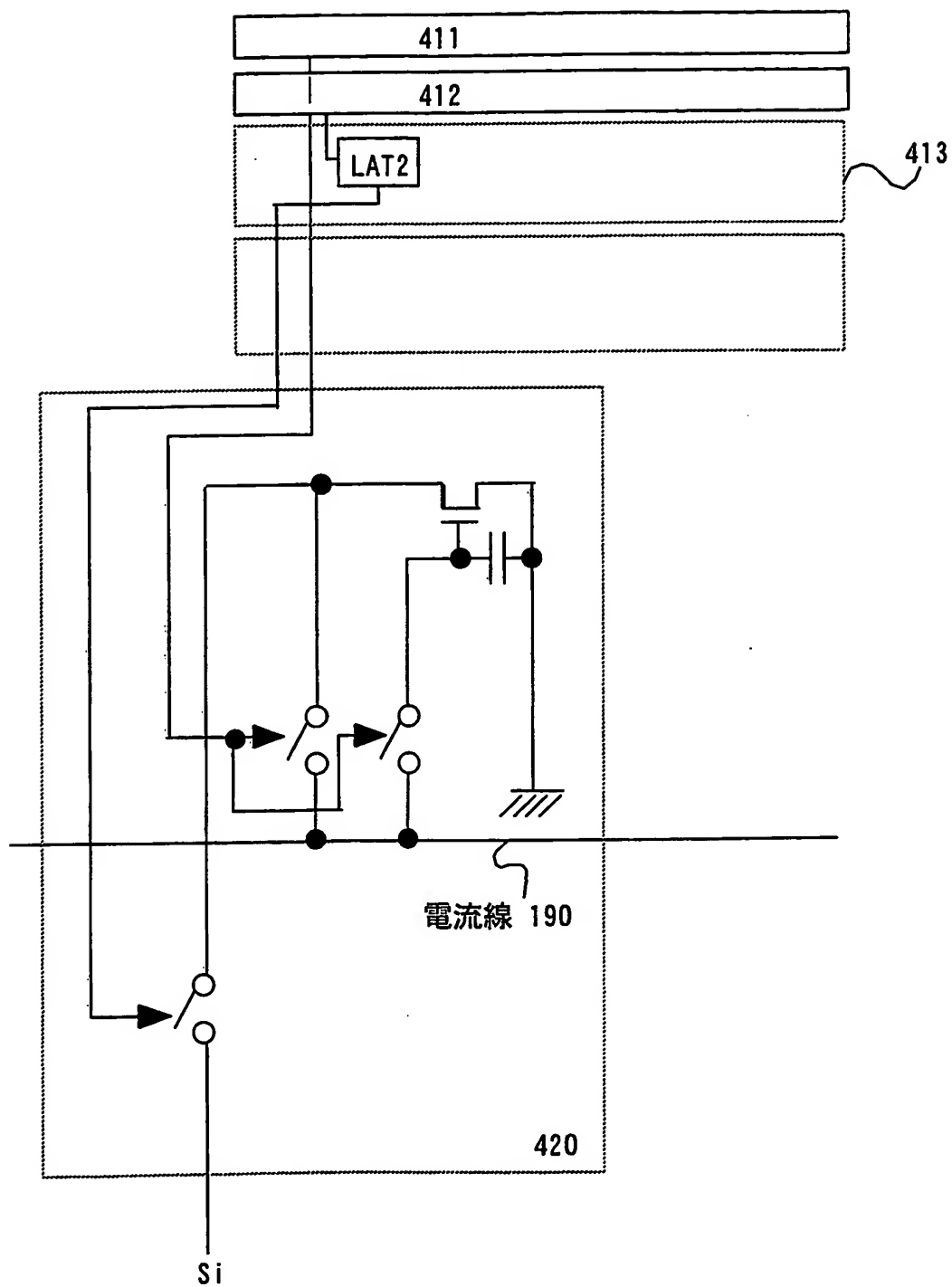


FIG. 47

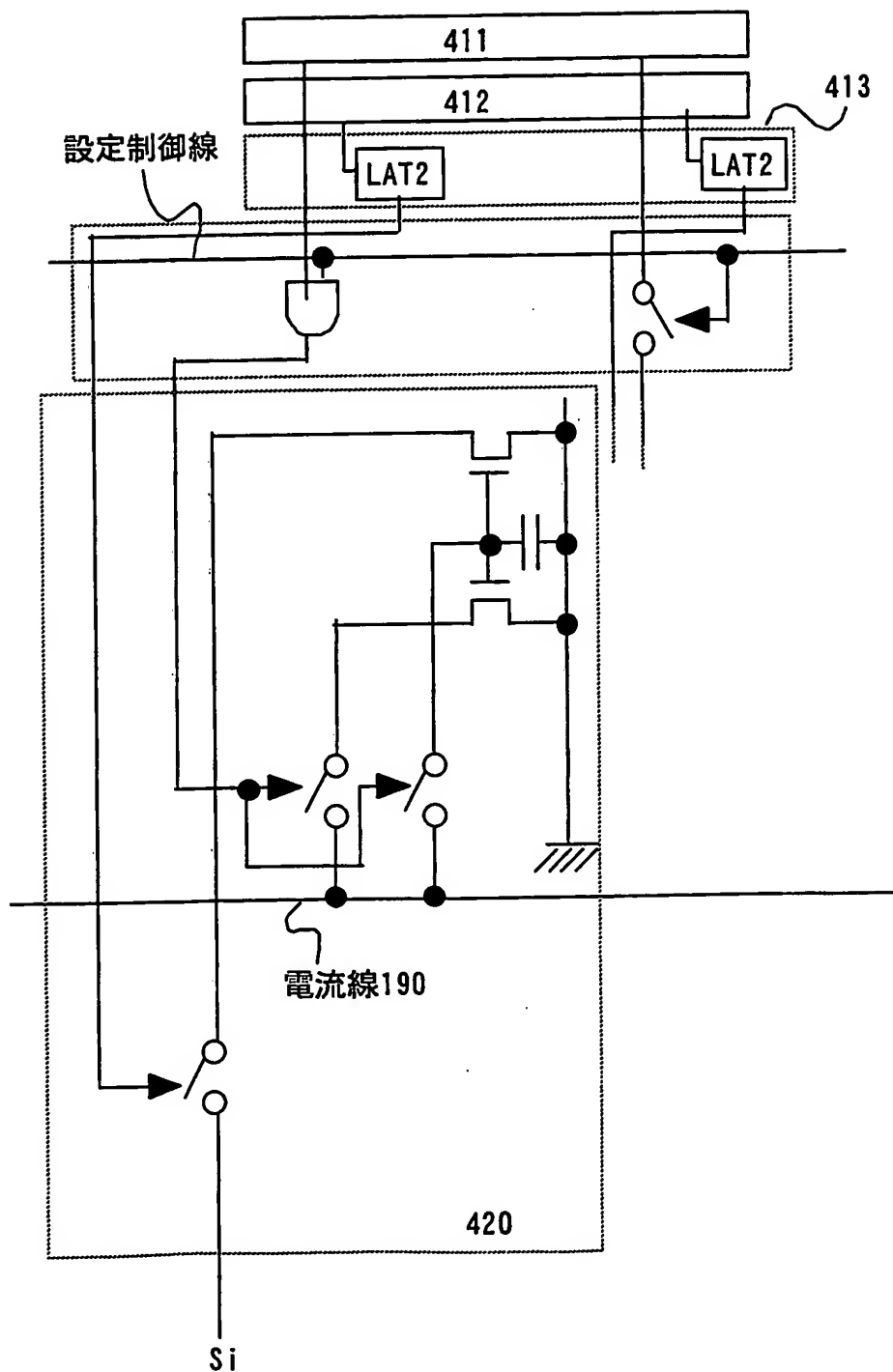
42/82

FIG. 48



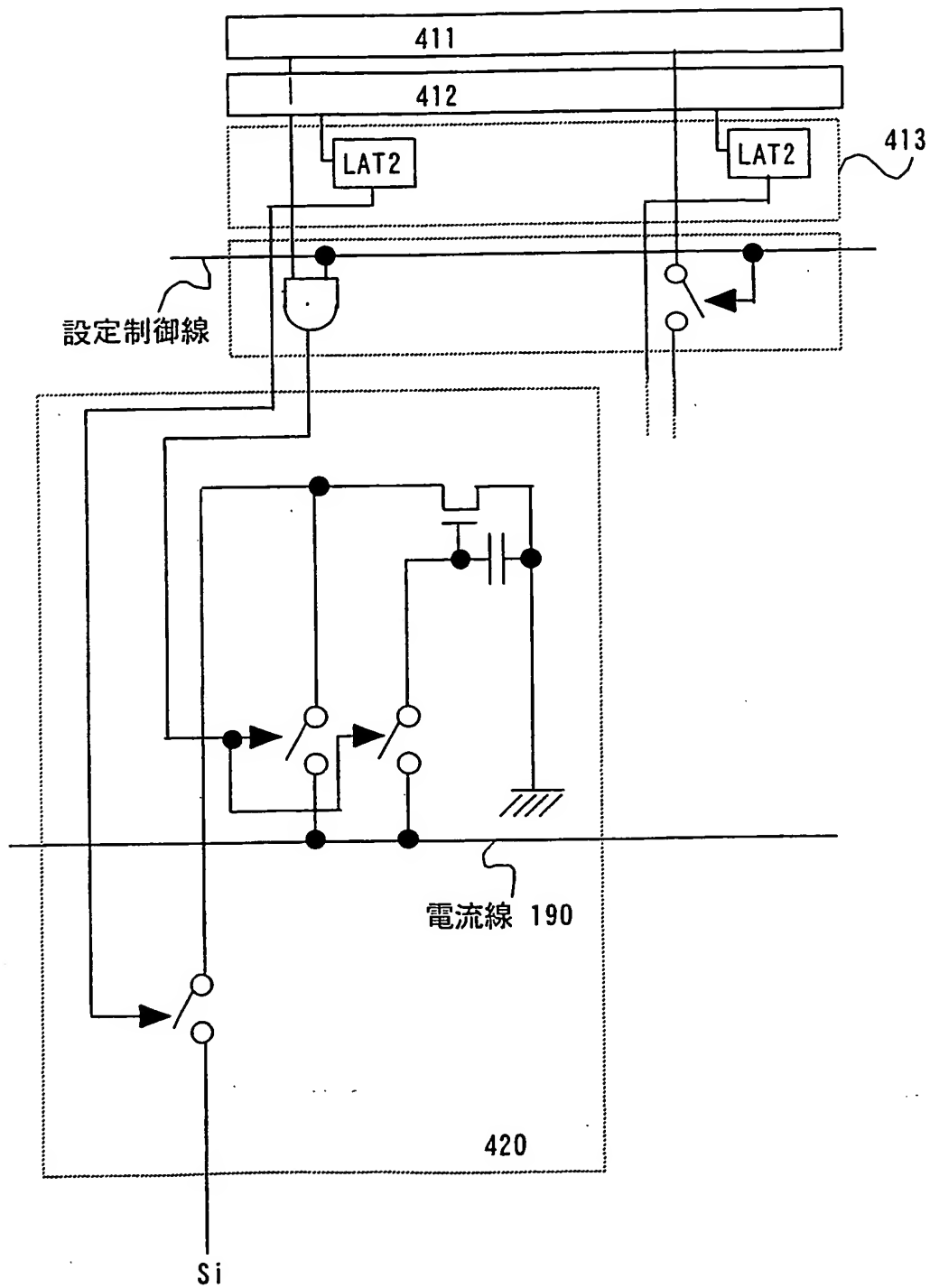
43/82

FIG. 49



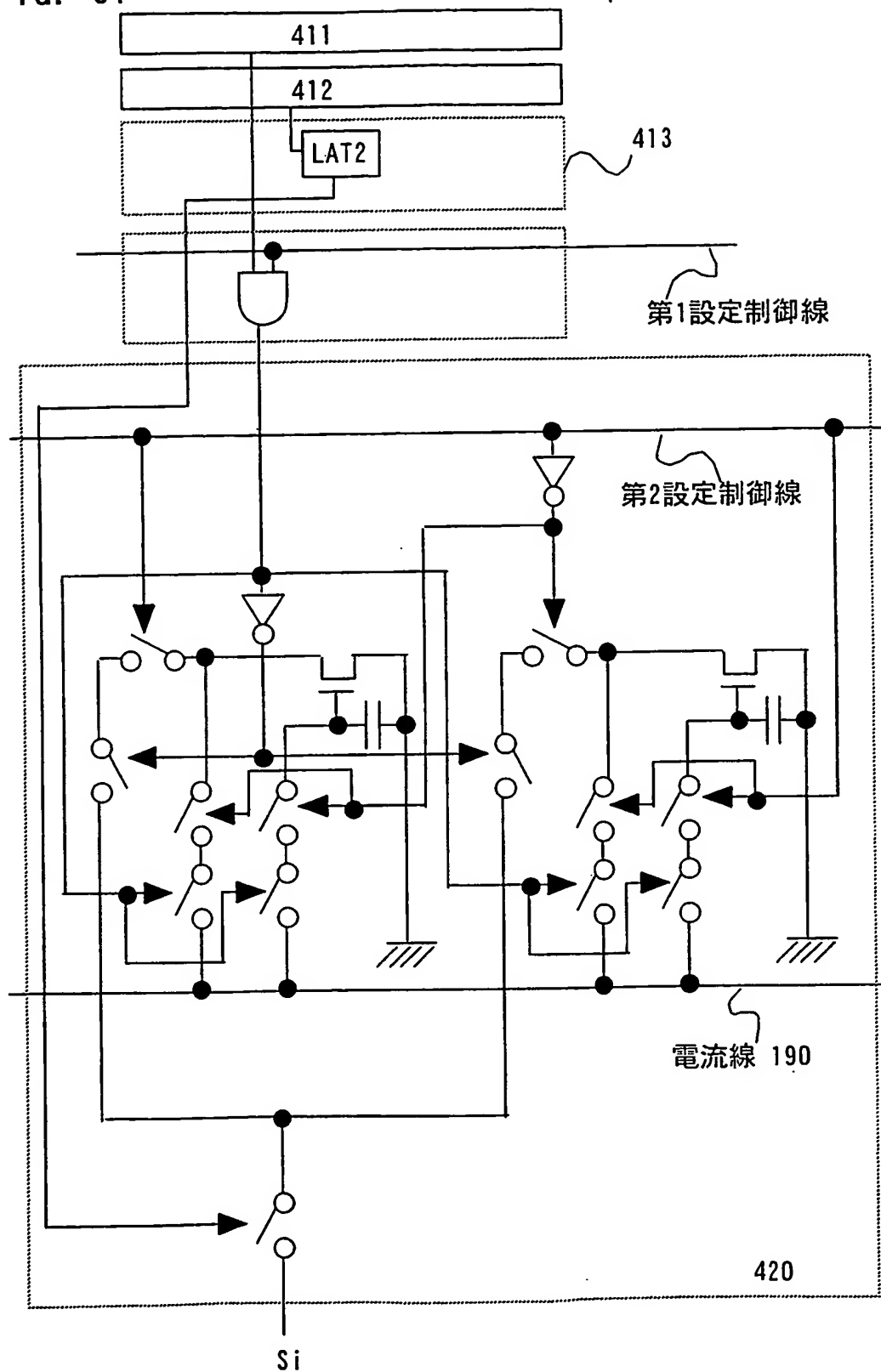
44/82

FIG. 50



45/82

FIG. 51



46/82

FIG. 52A

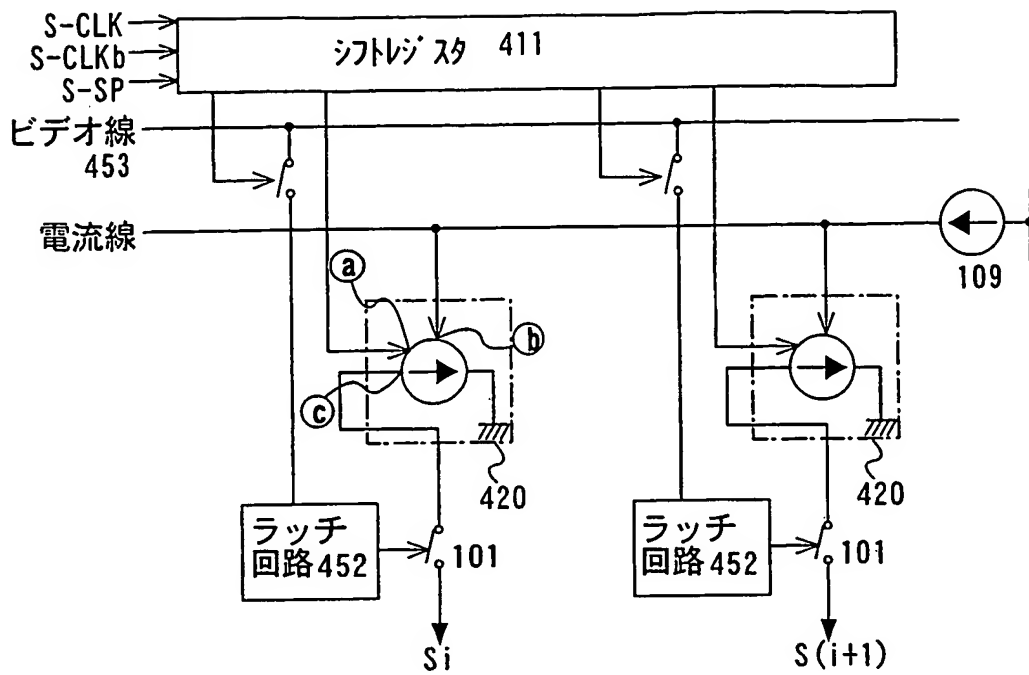


FIG. 52B

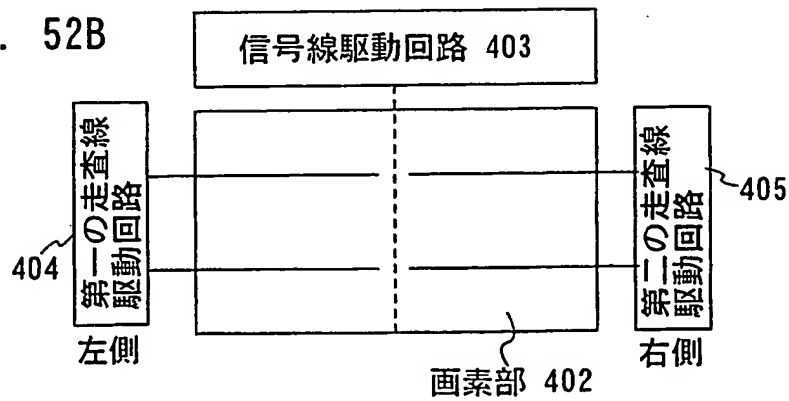
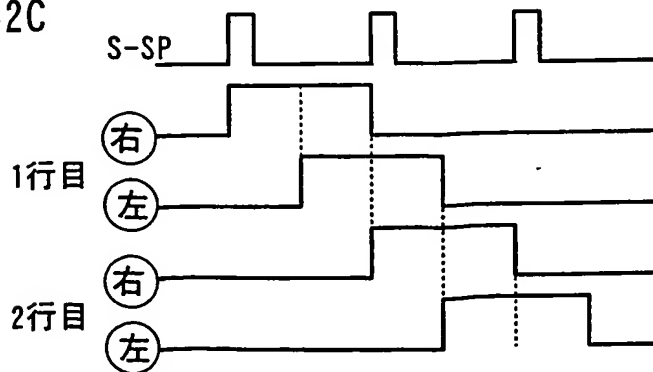


FIG. 52C



47/82

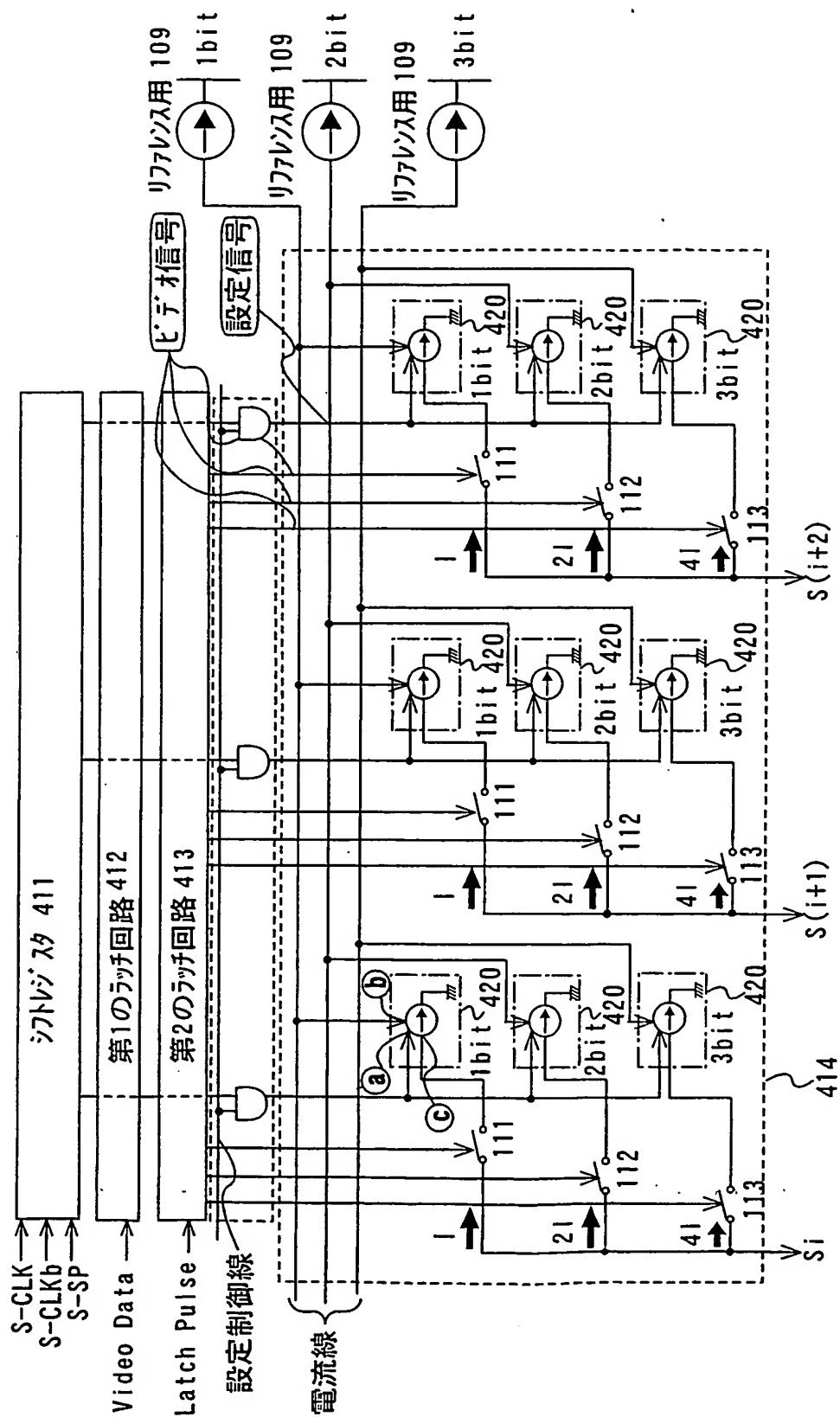


FIG. 53

48/82

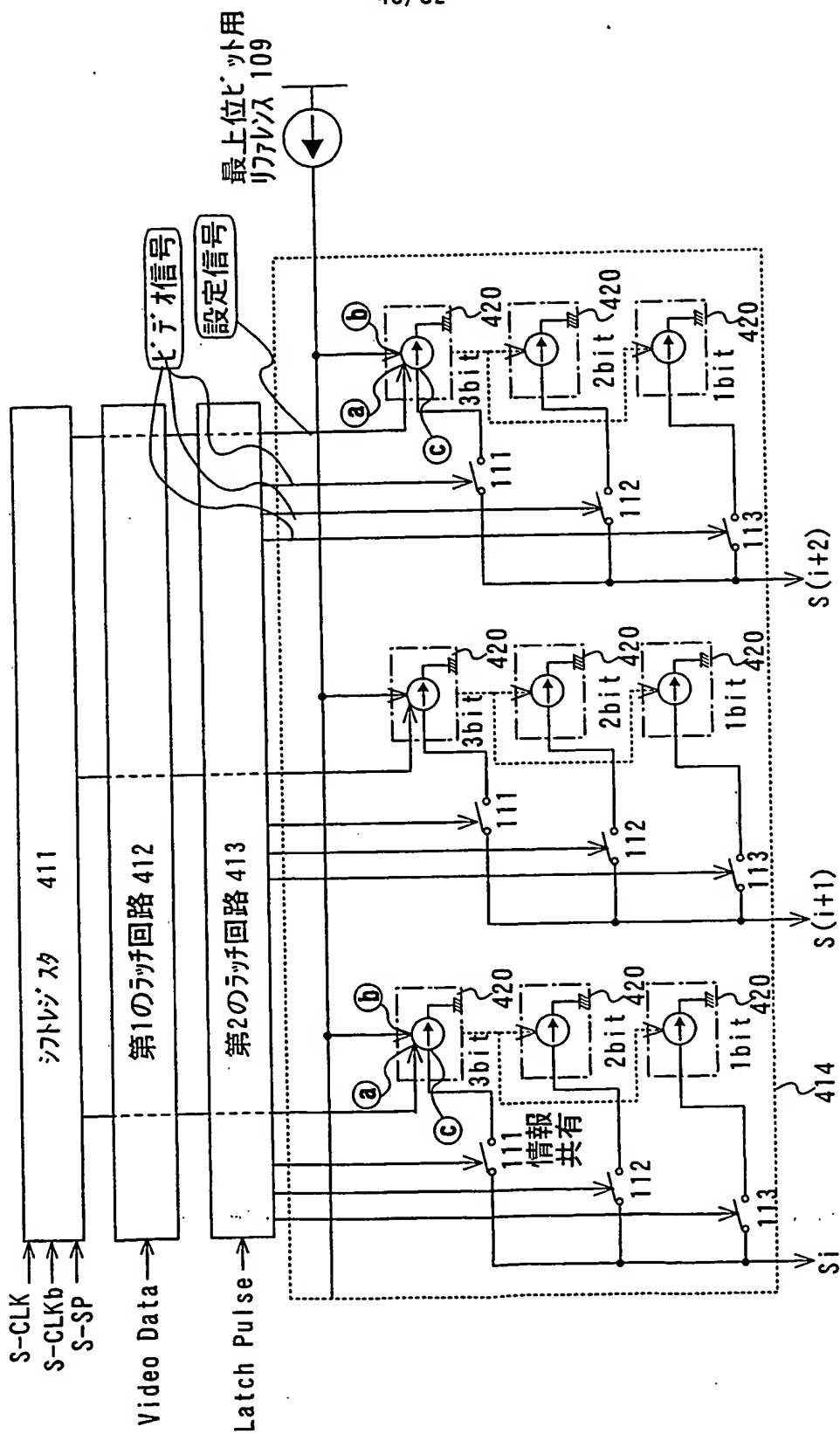


FIG. 54



49/82

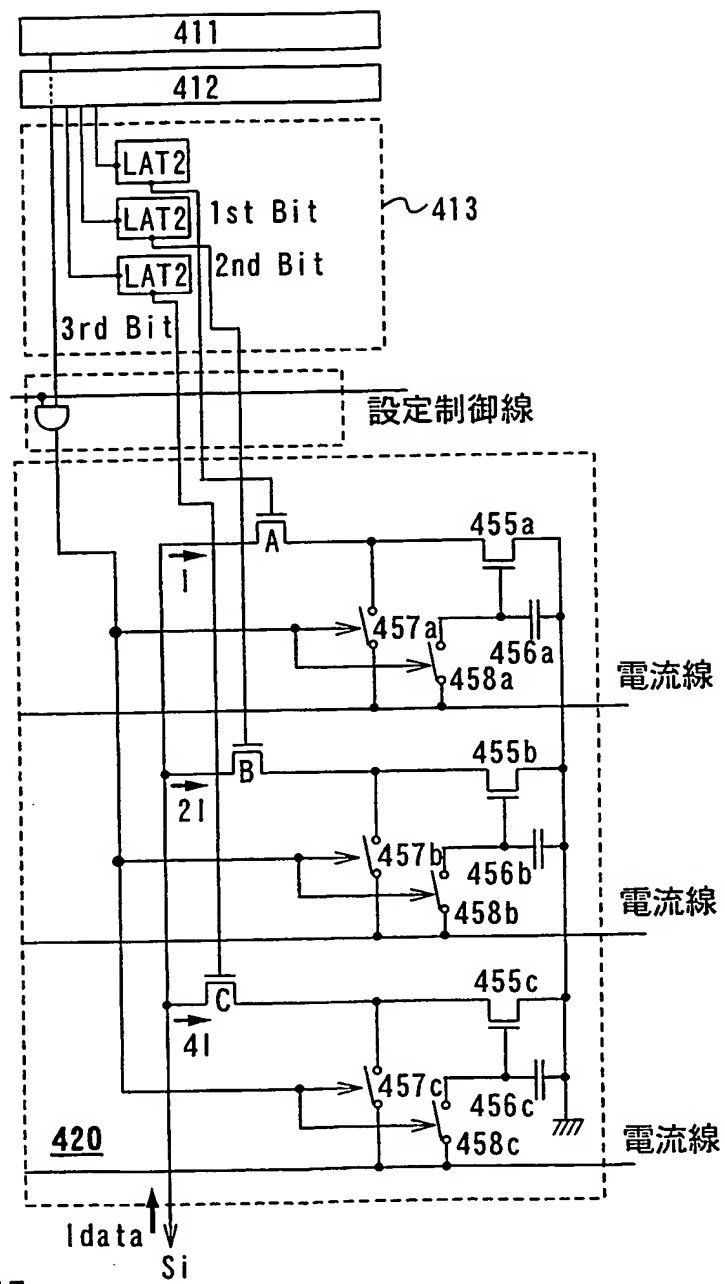


FIG. 55

50/82

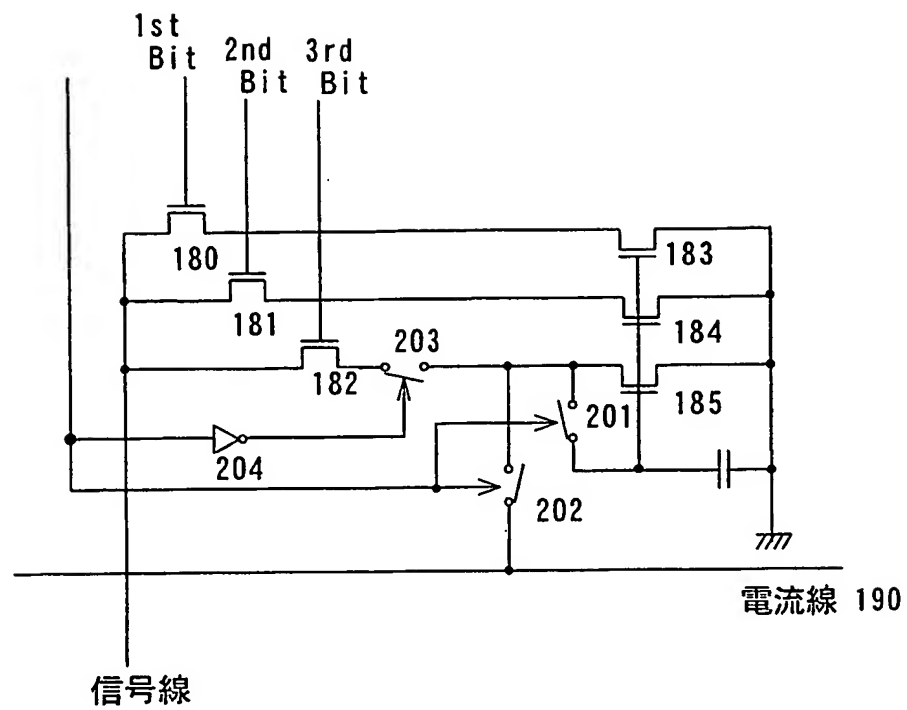


FIG. 56

51/82

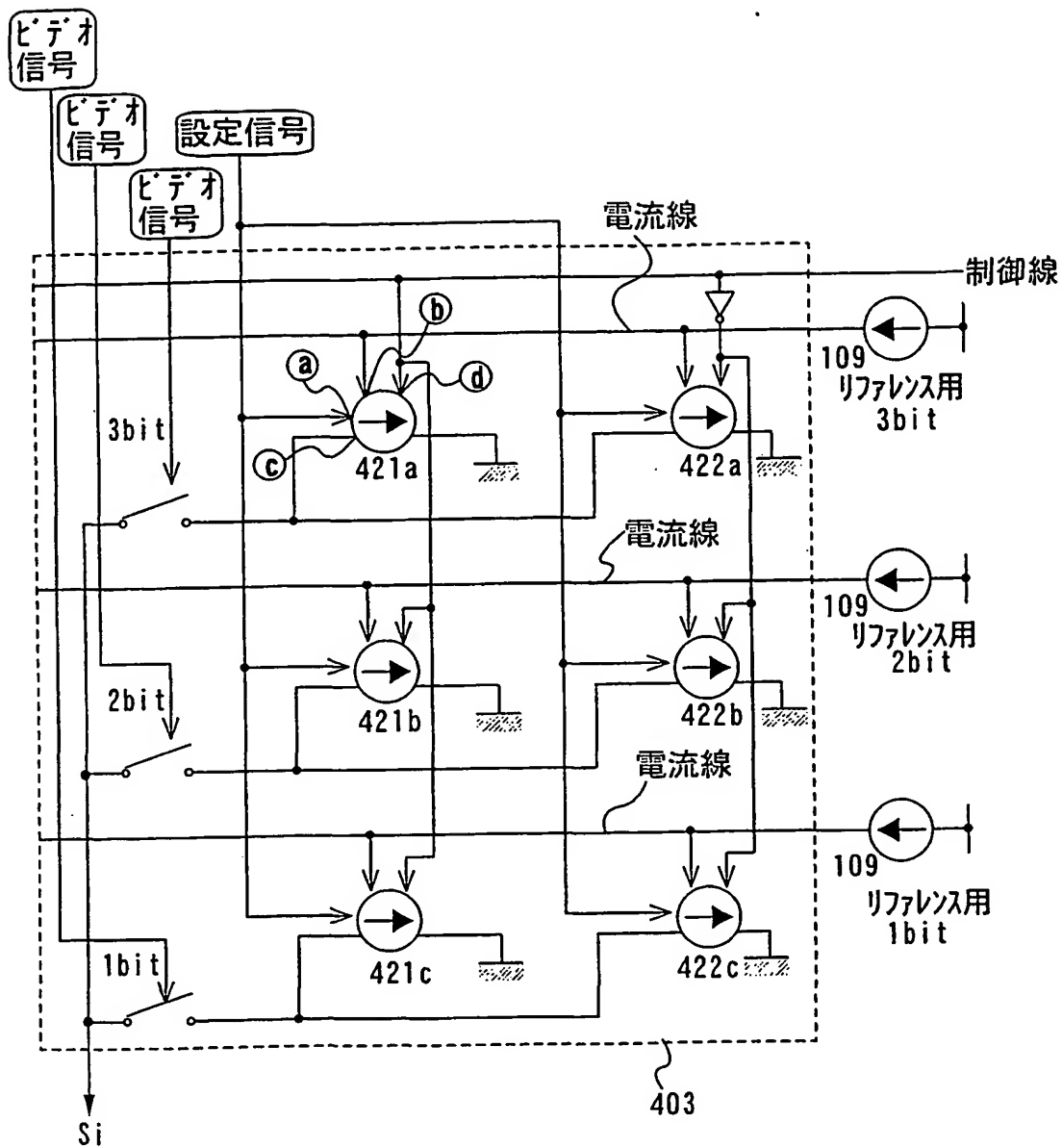


FIG. 57

52/58

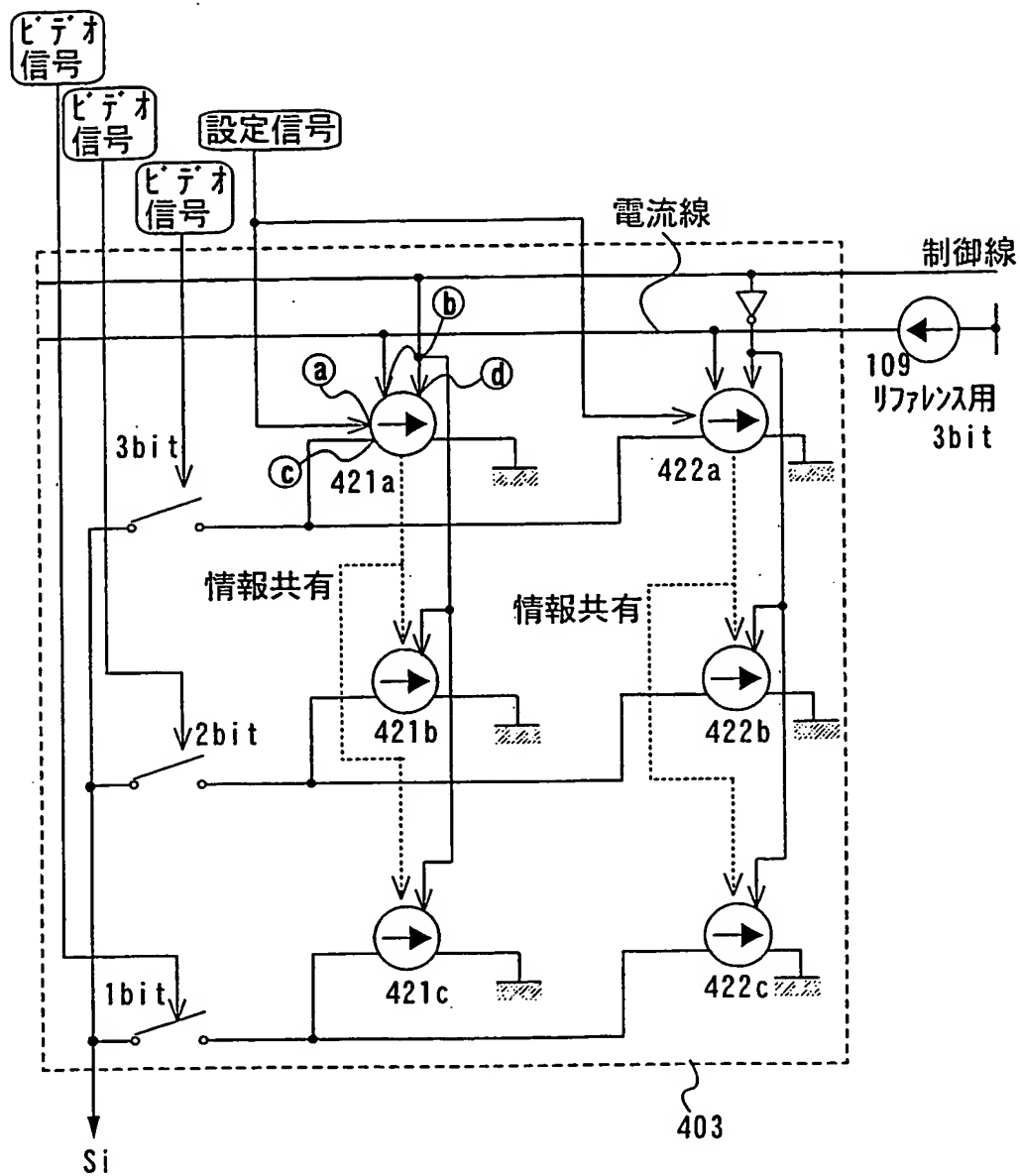
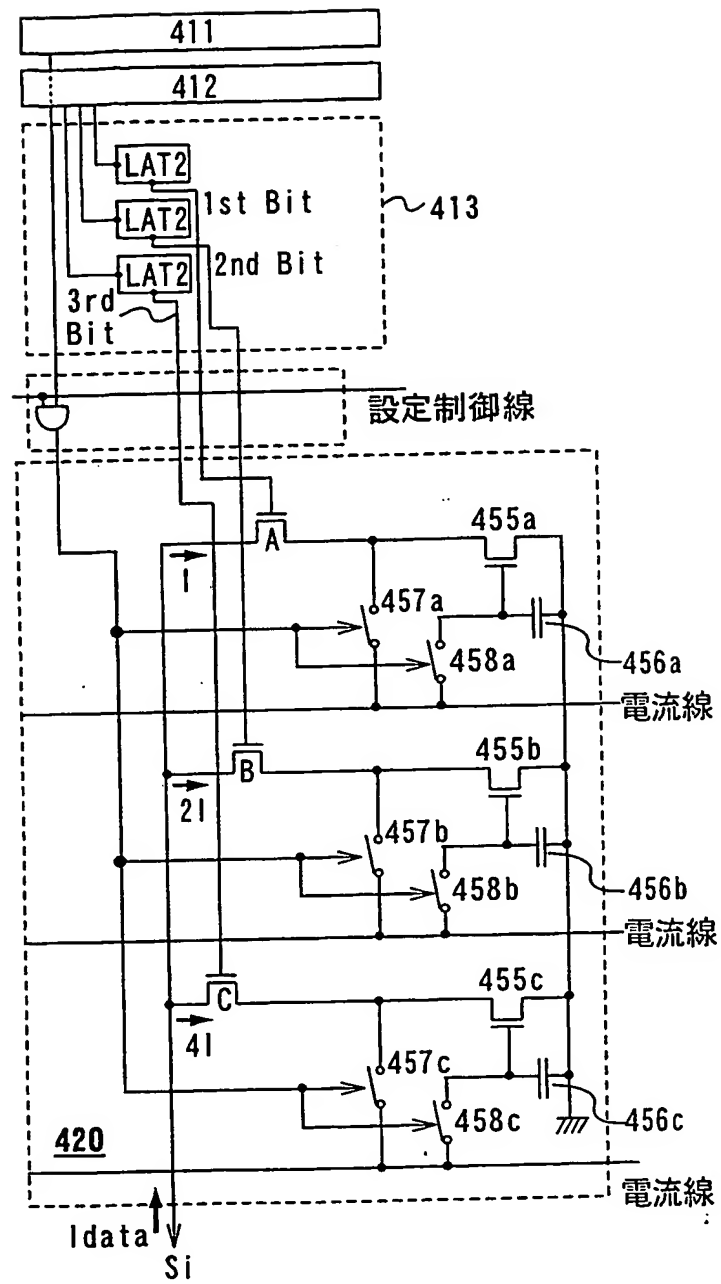


FIG. 58

53/82



54/82

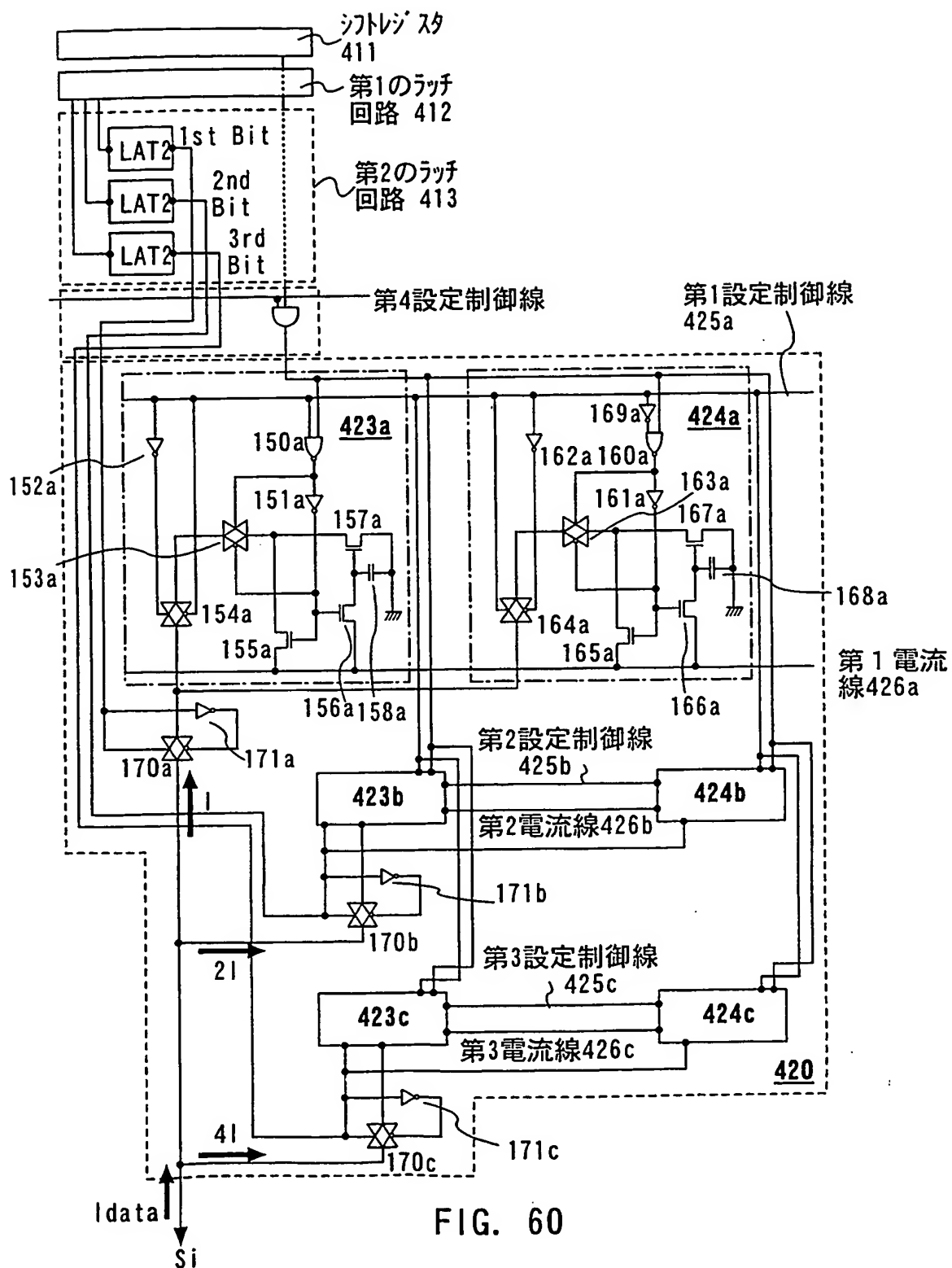


FIG. 60

55/82

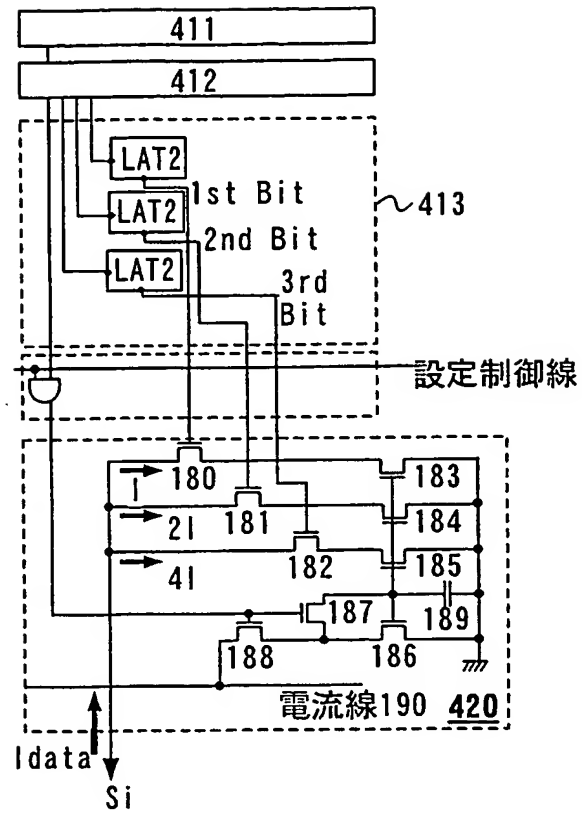


FIG. 61

56/82

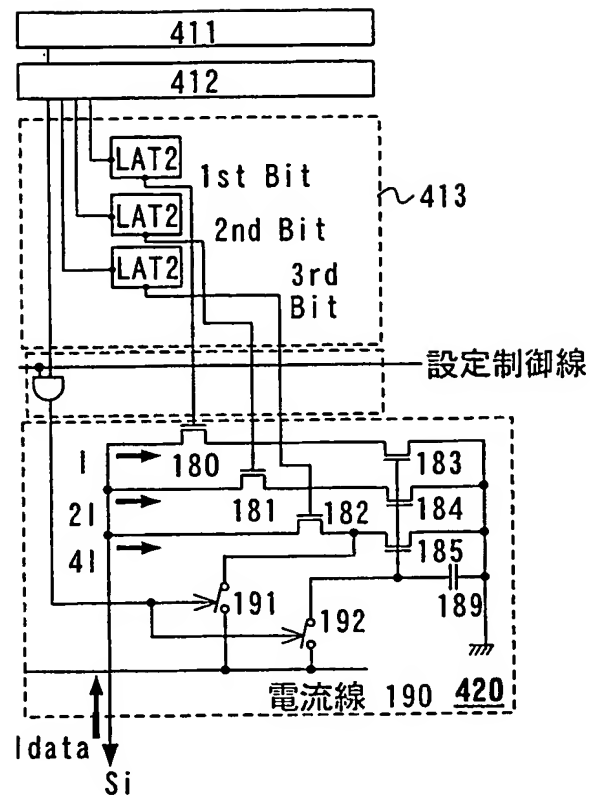


FIG. 62



57/82

FIG. 63A

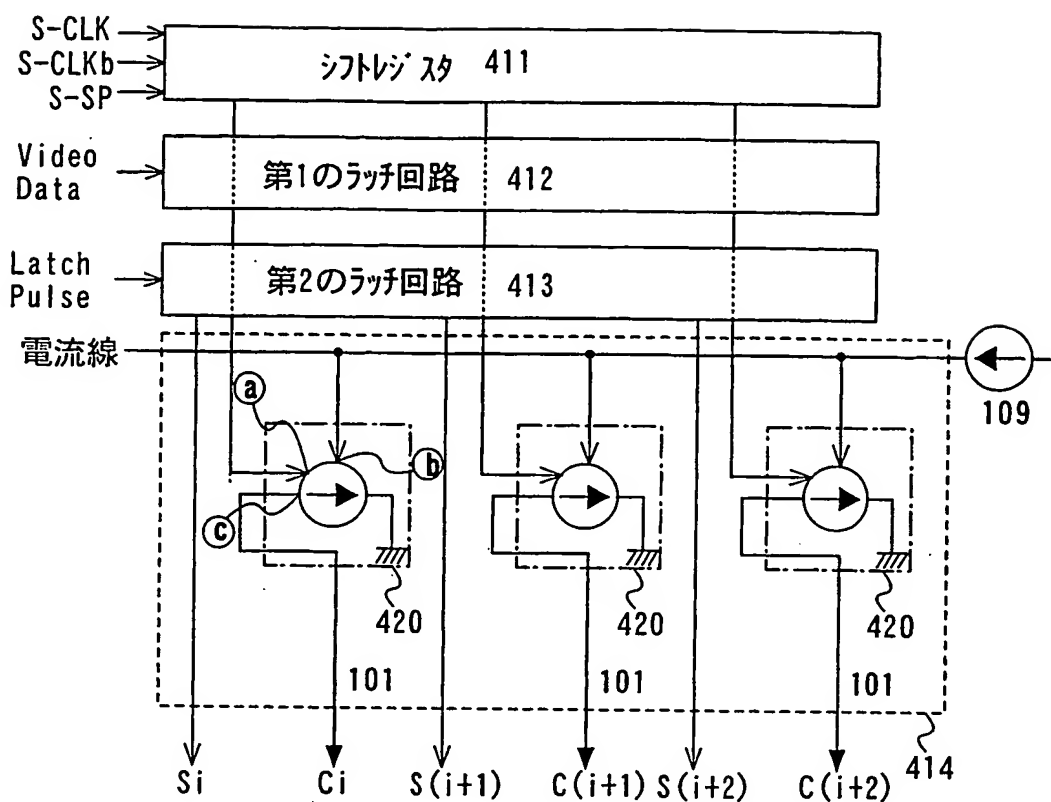
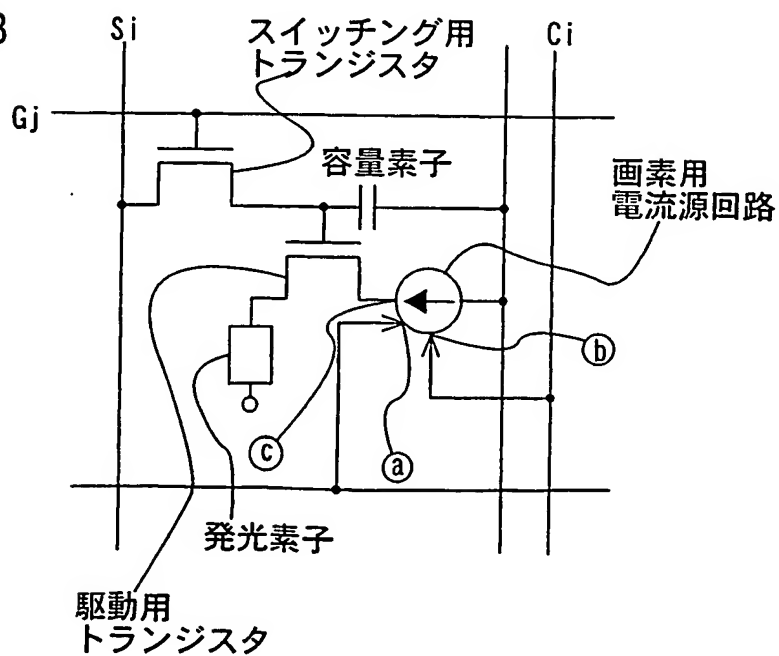
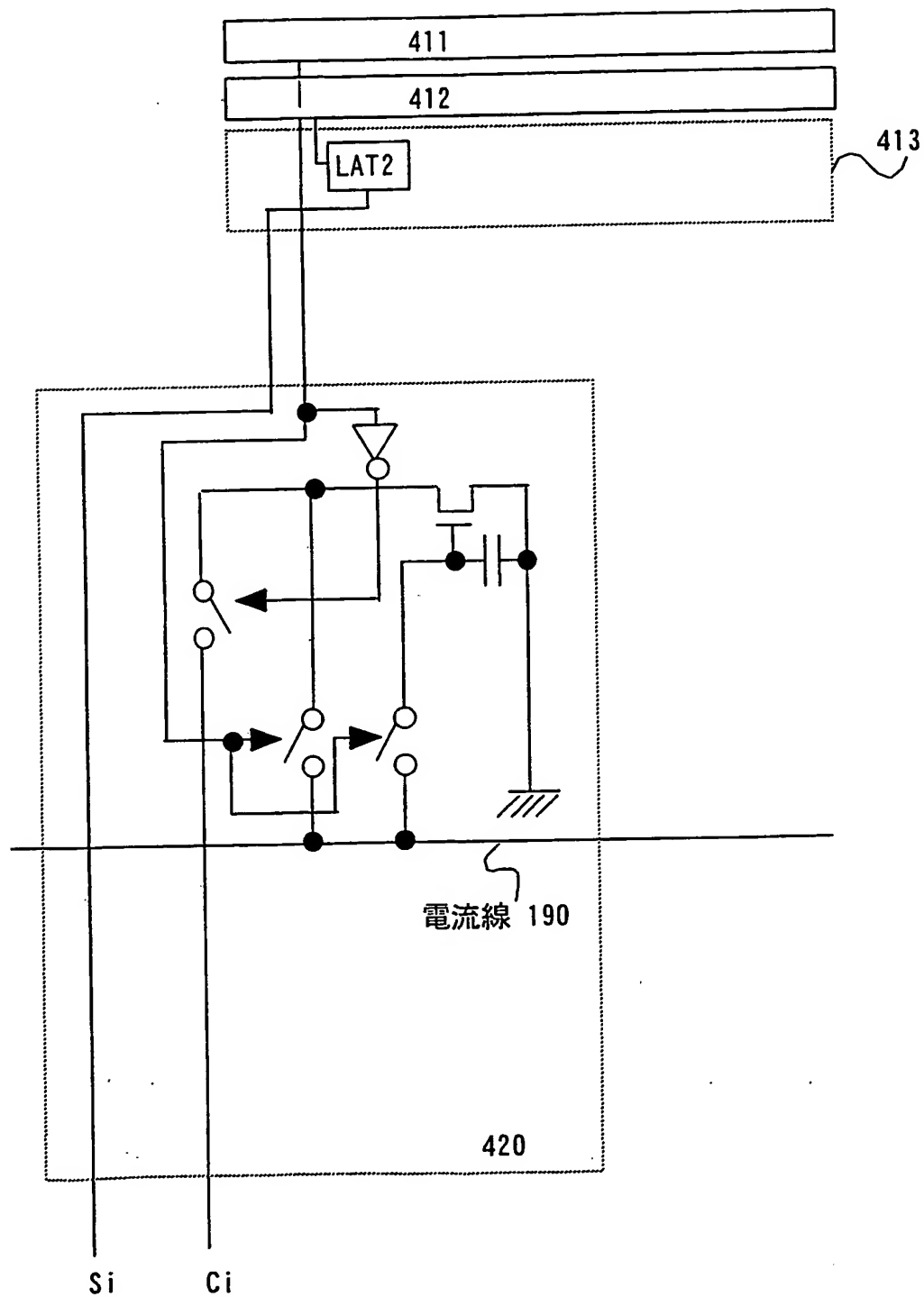


FIG. 63B



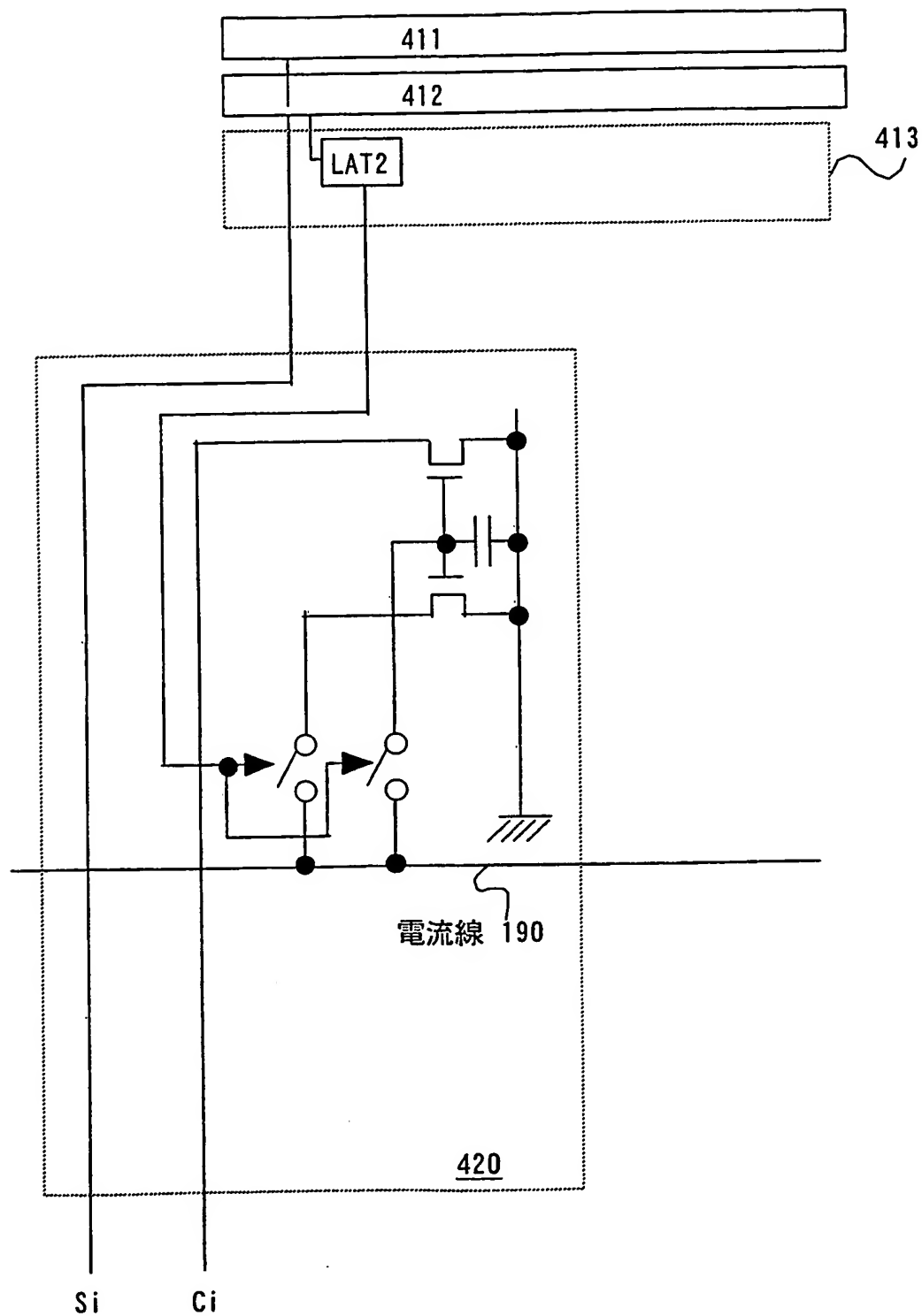
58/82

FIG. 64



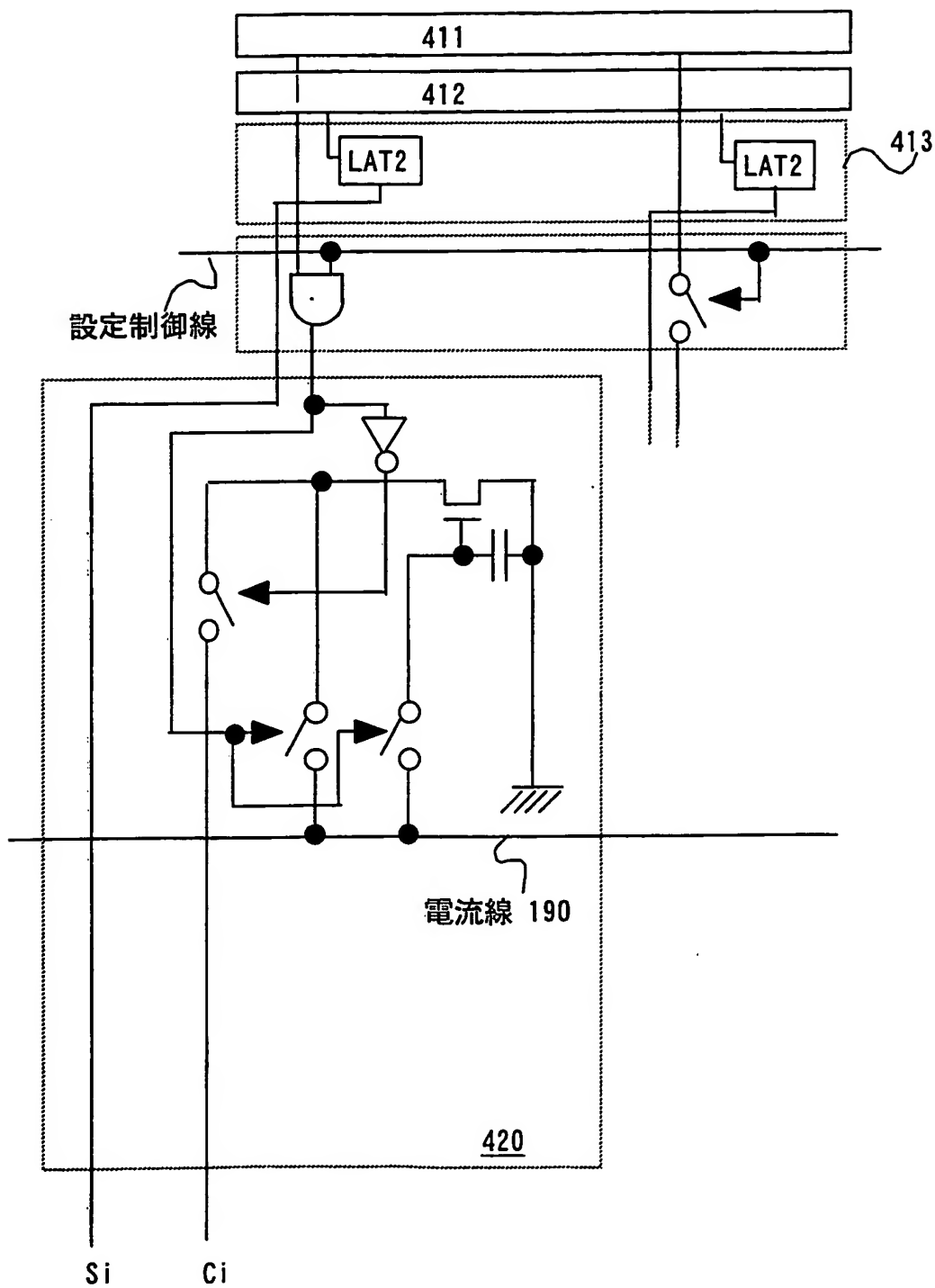
59/82

FIG. 65



60/82

FIG. 66



61/82

FIG. 67

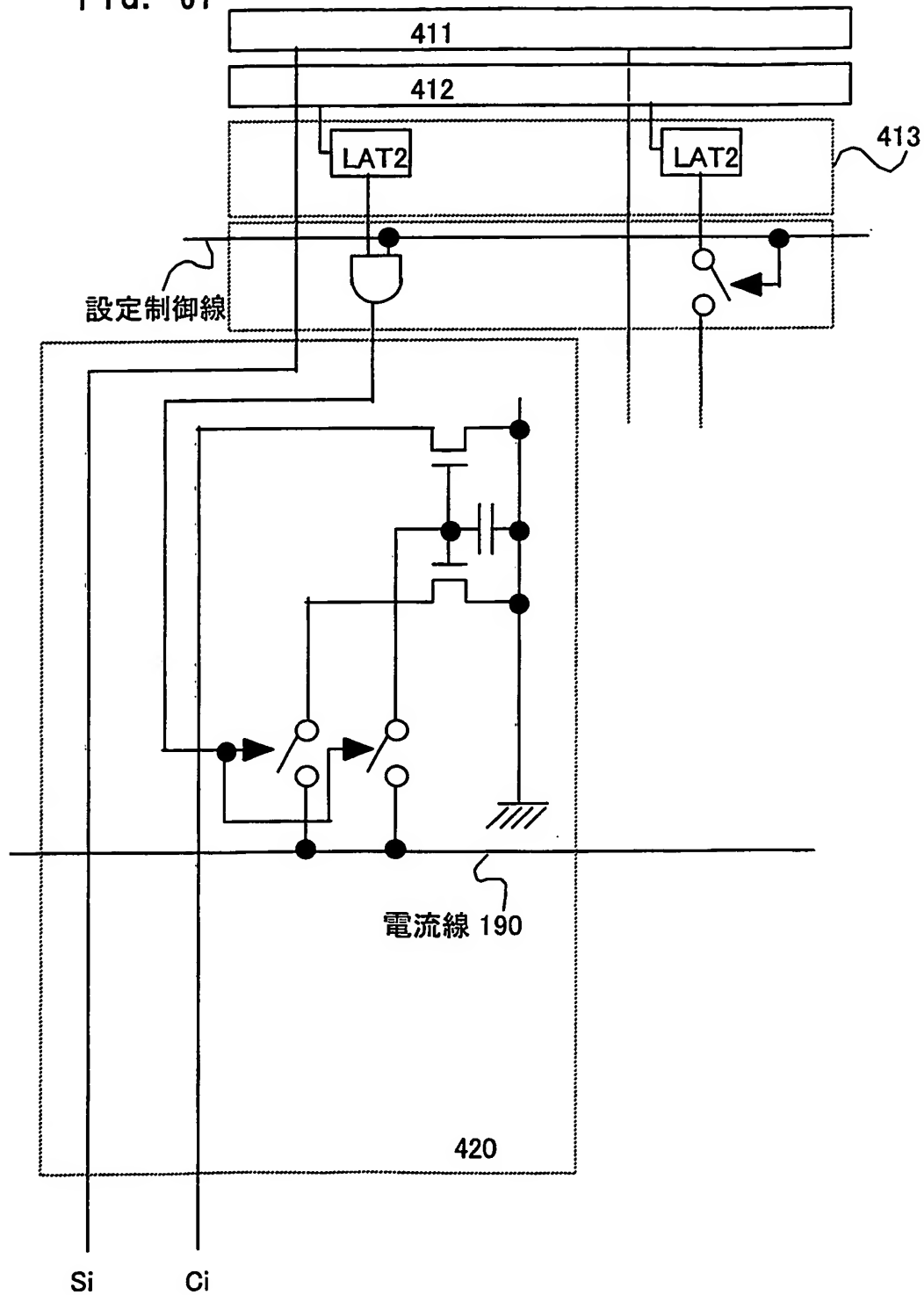


FIG. 68

62/82

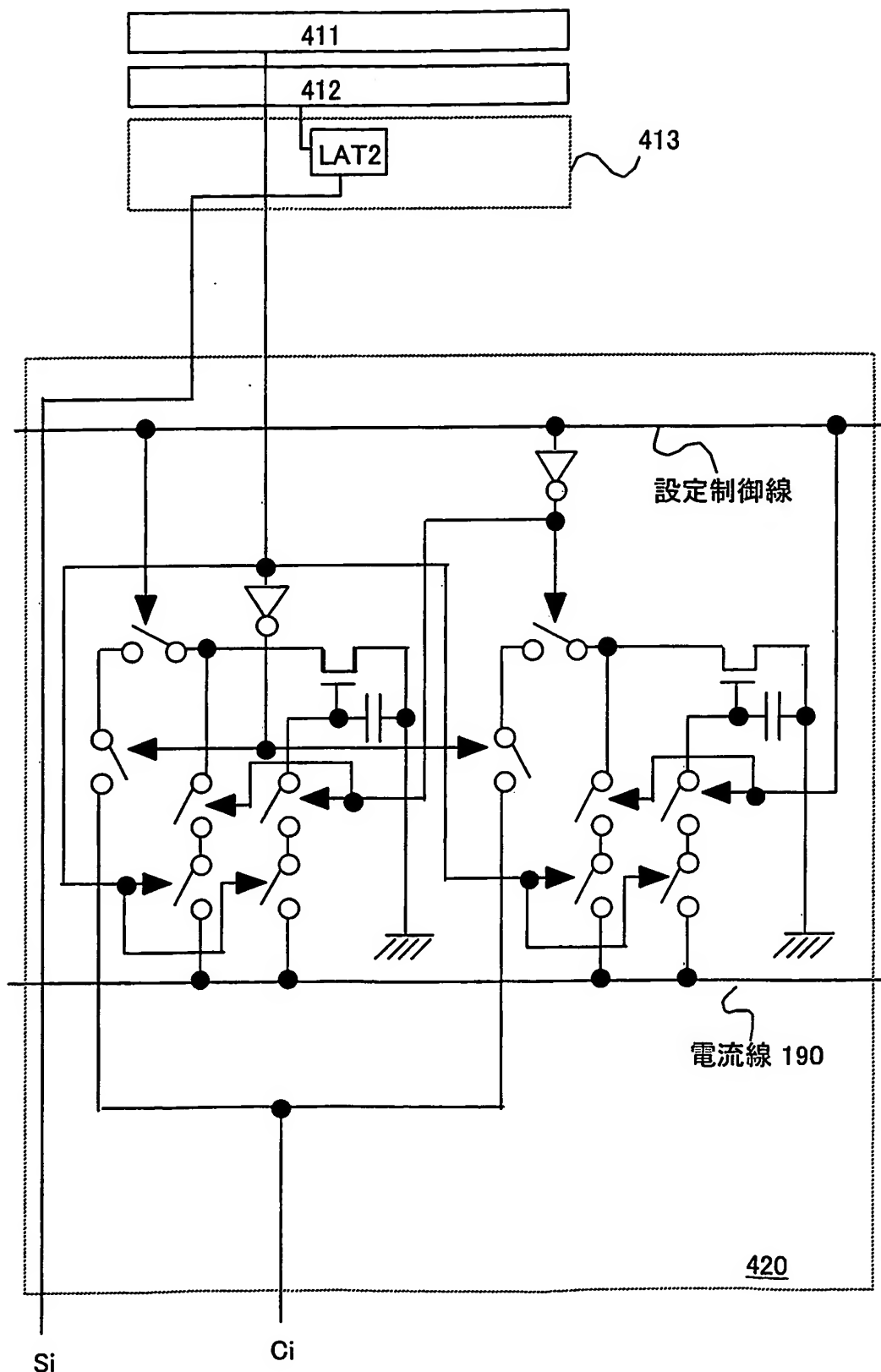
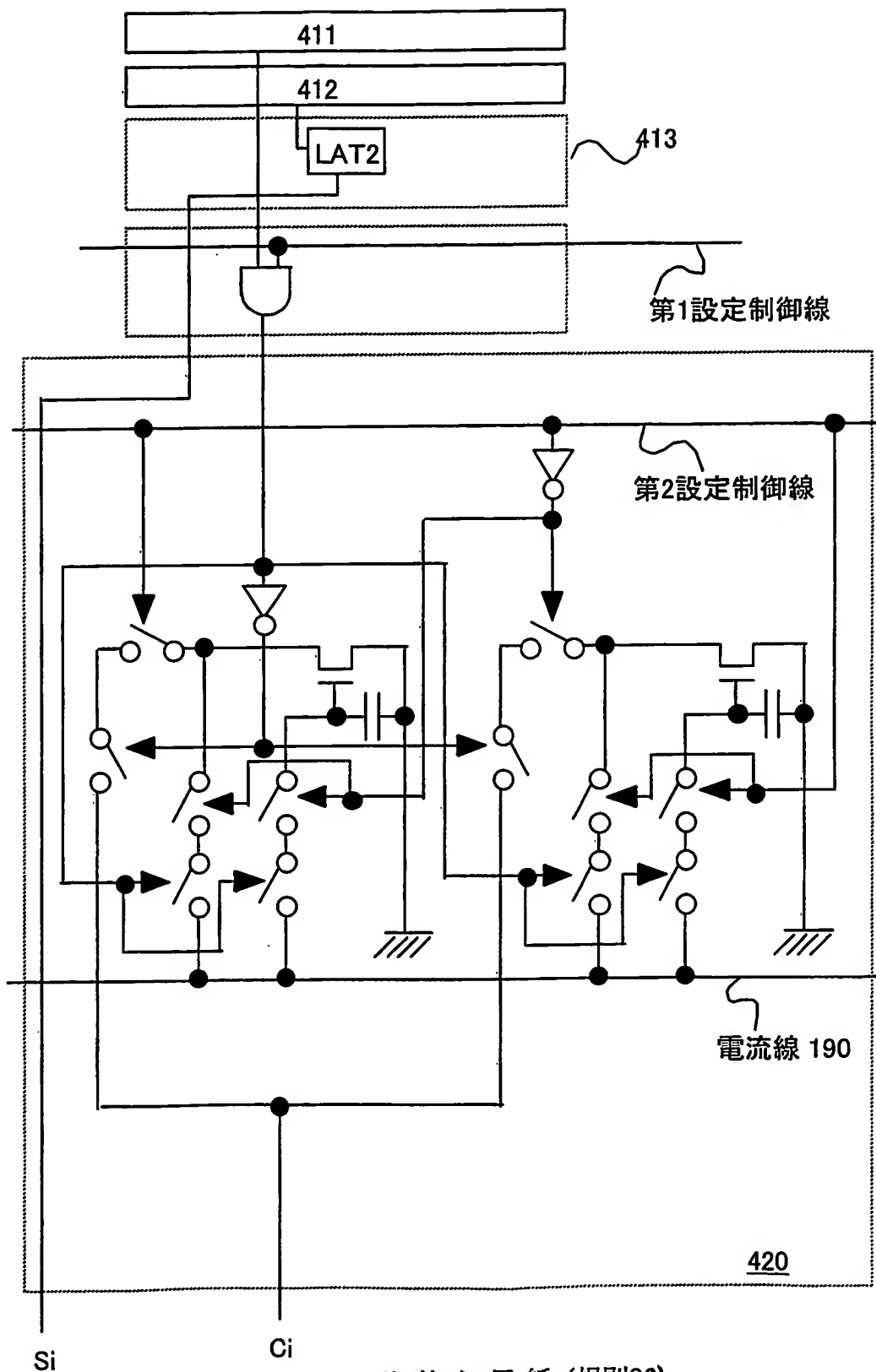


FIG. 69

63/82



64/82

FIG. 70A

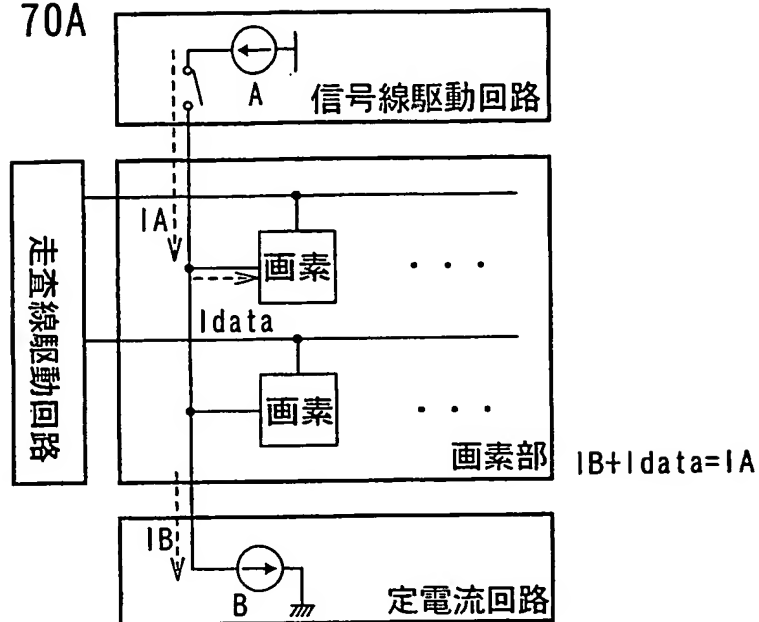


FIG. 70B

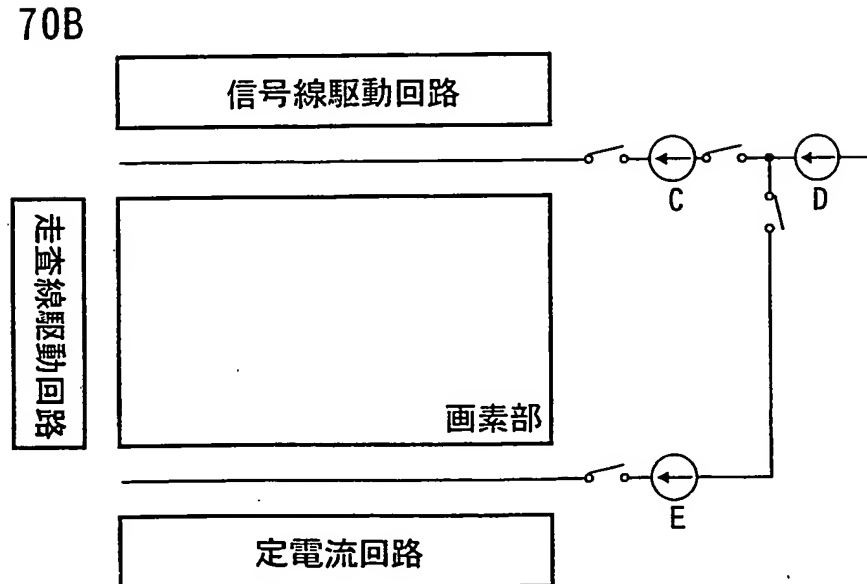
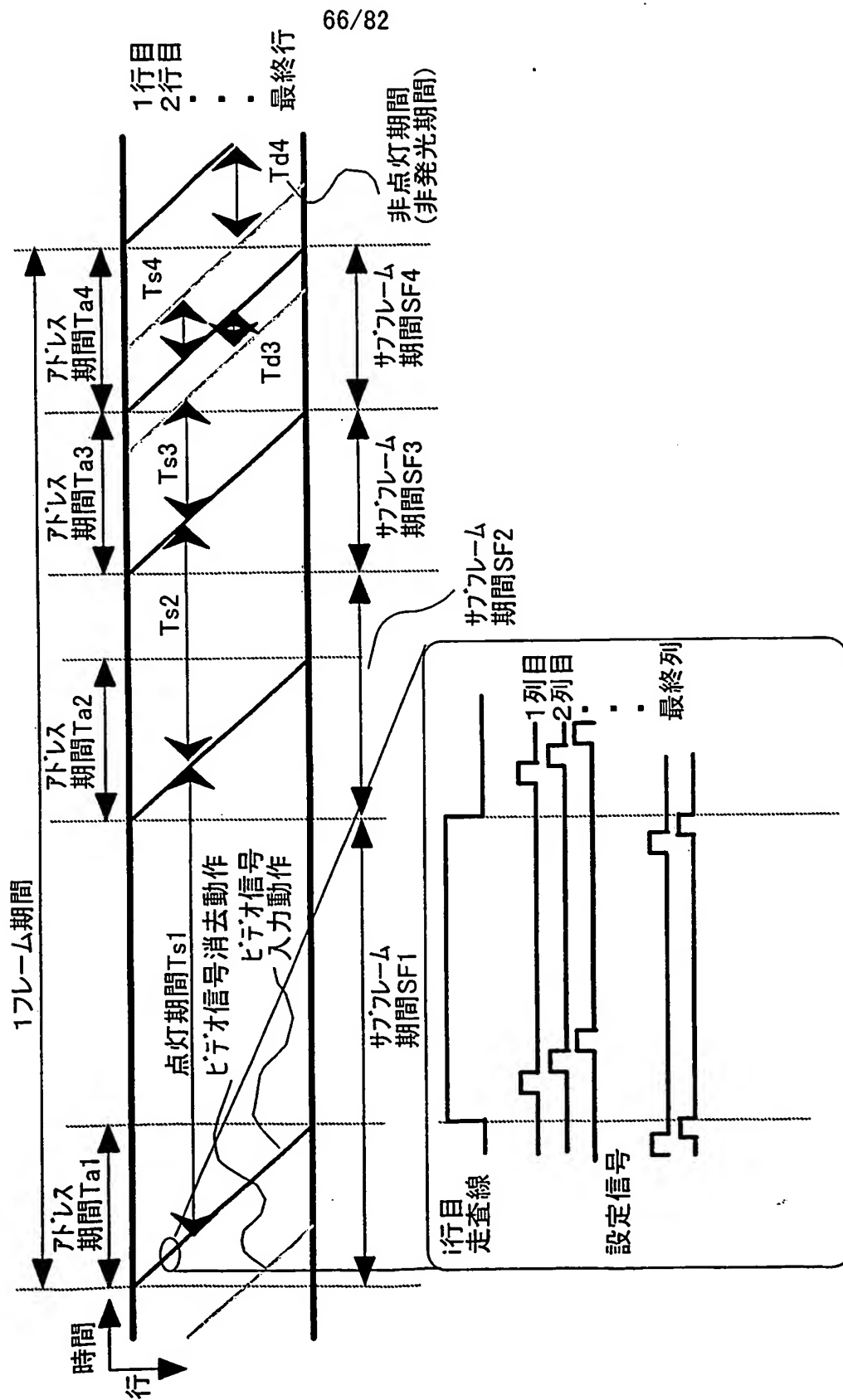




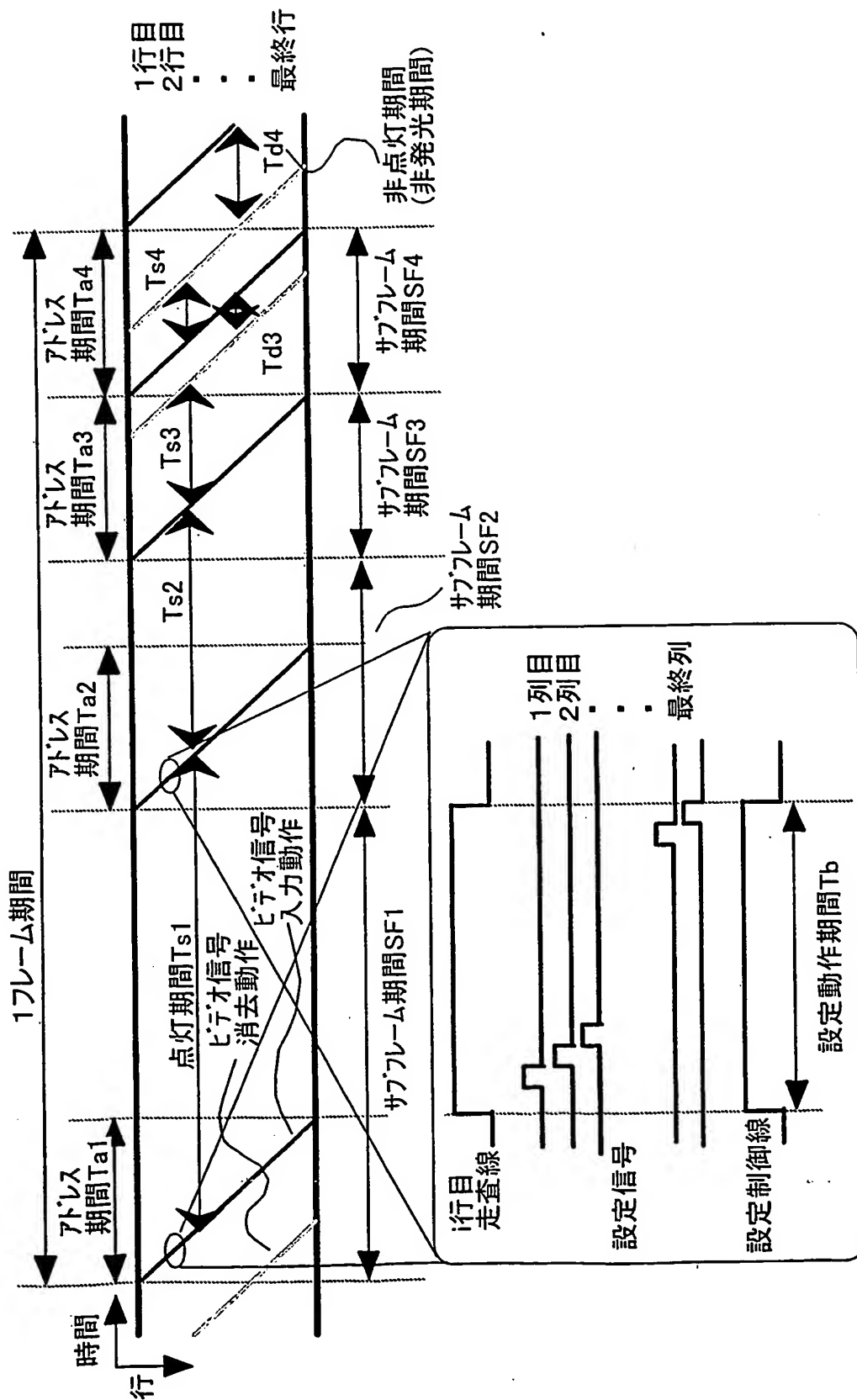


FIG. 72



67/82

FIG. 73



68/82

FIG. 74

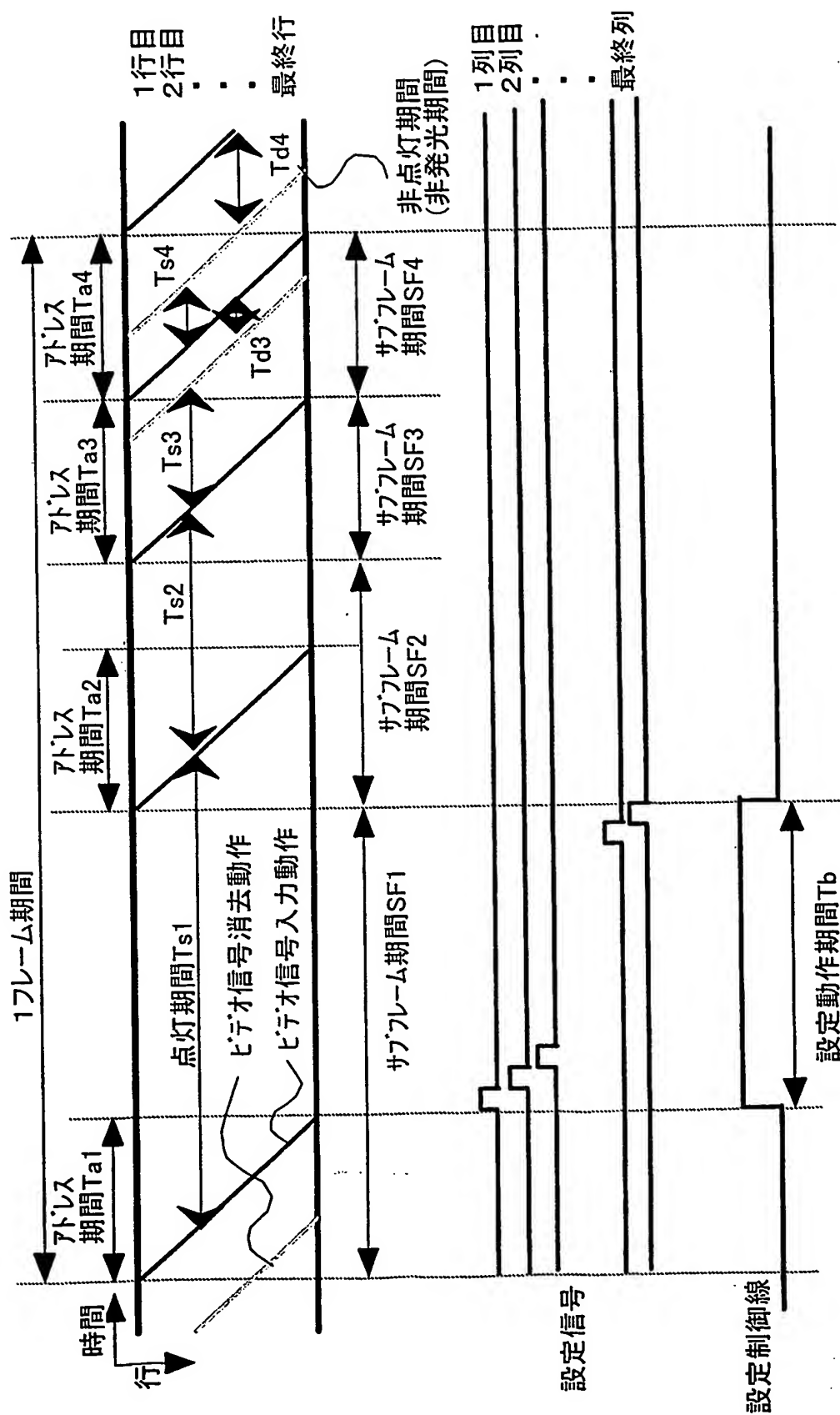
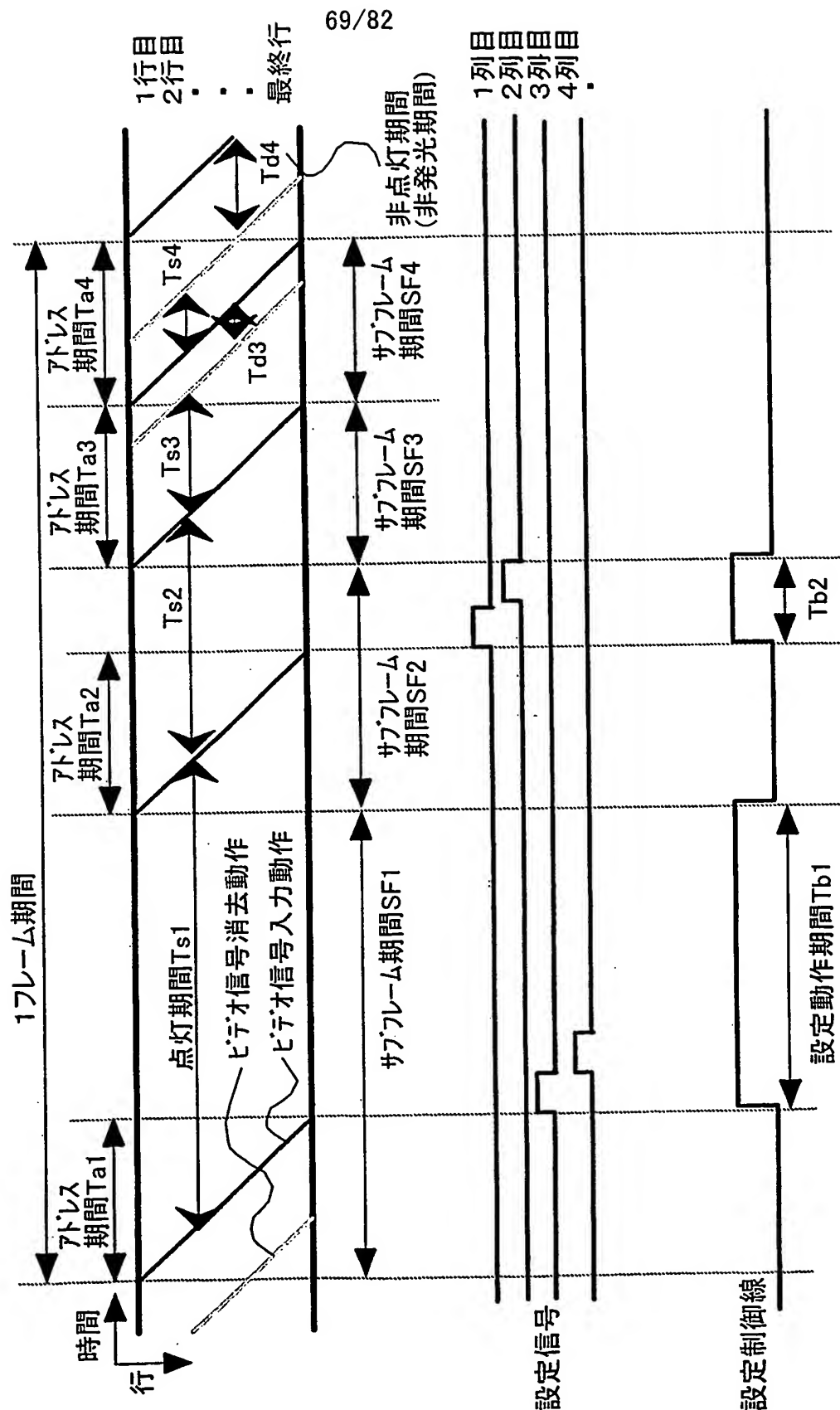


FIG. 75



70/82

FIG. 76

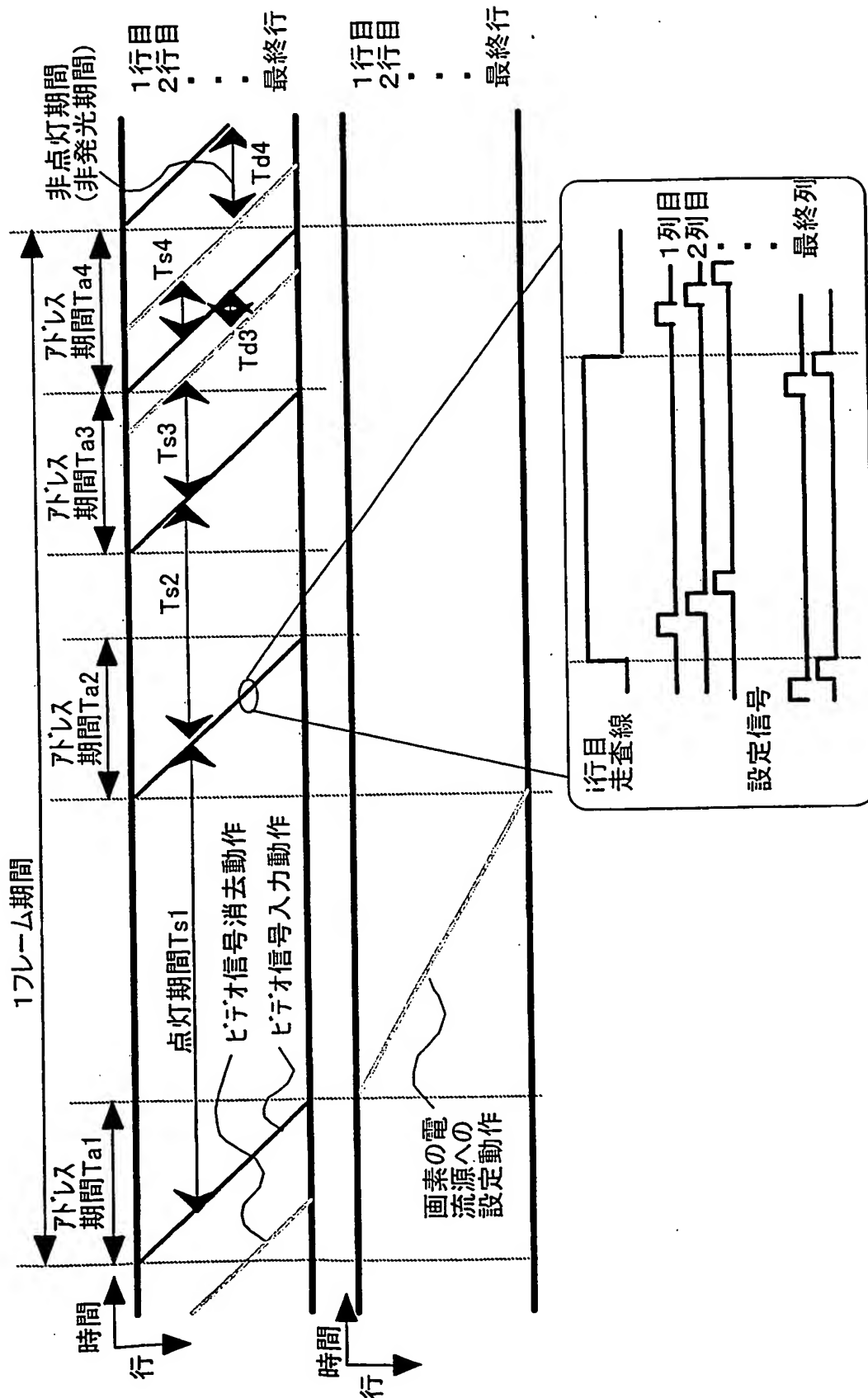
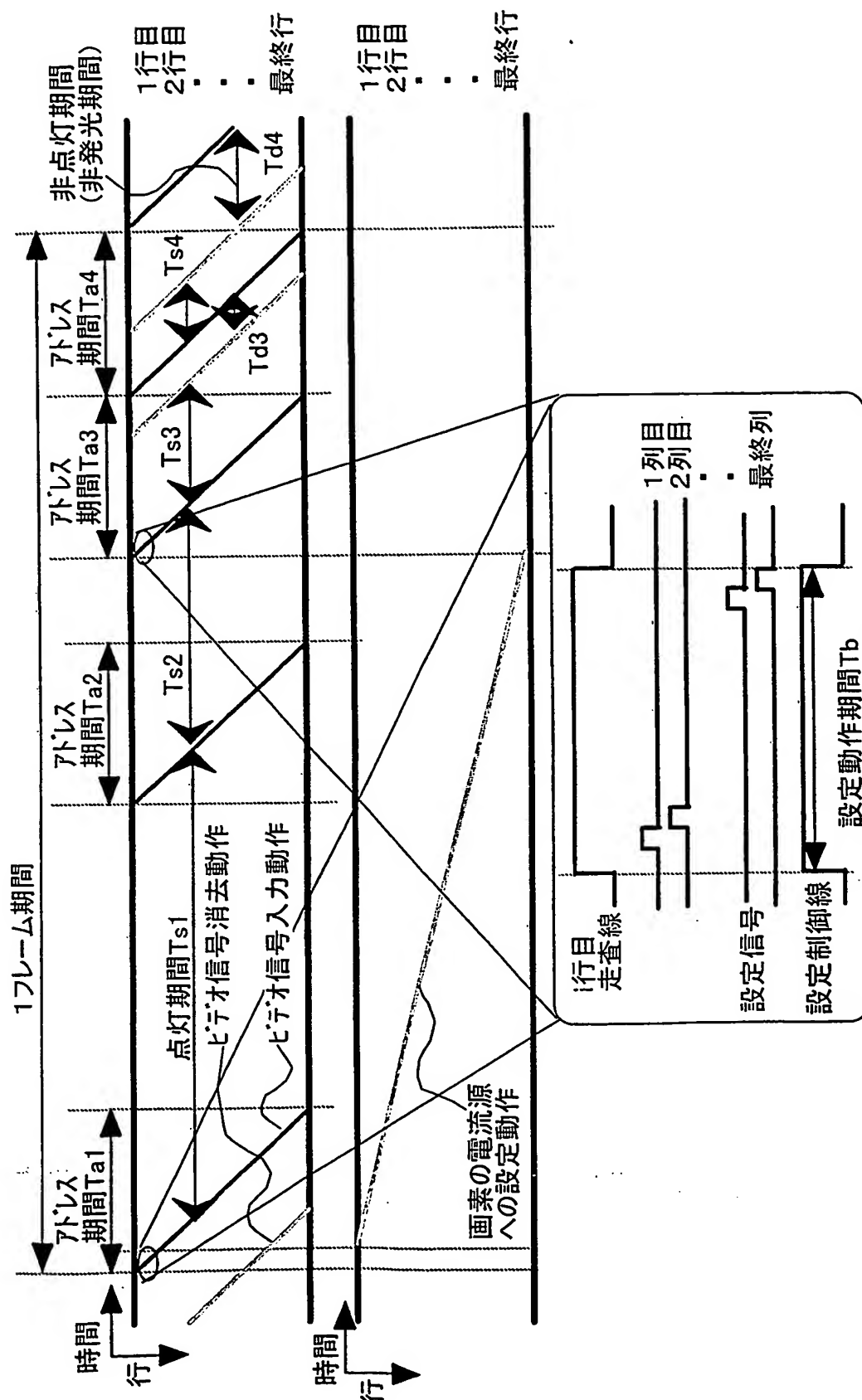


FIG. 77



72/82

FIG. 78

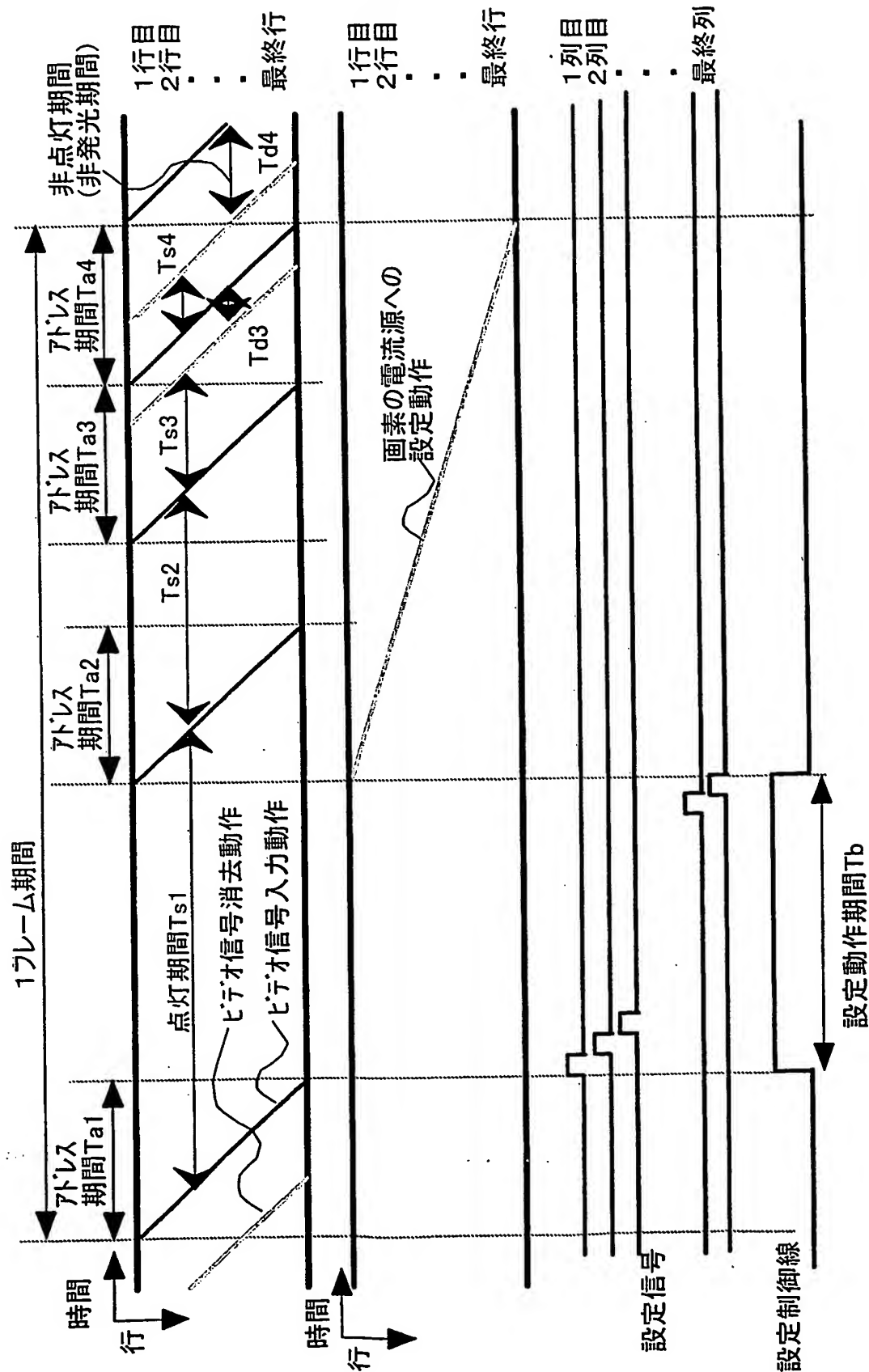




FIG. 79

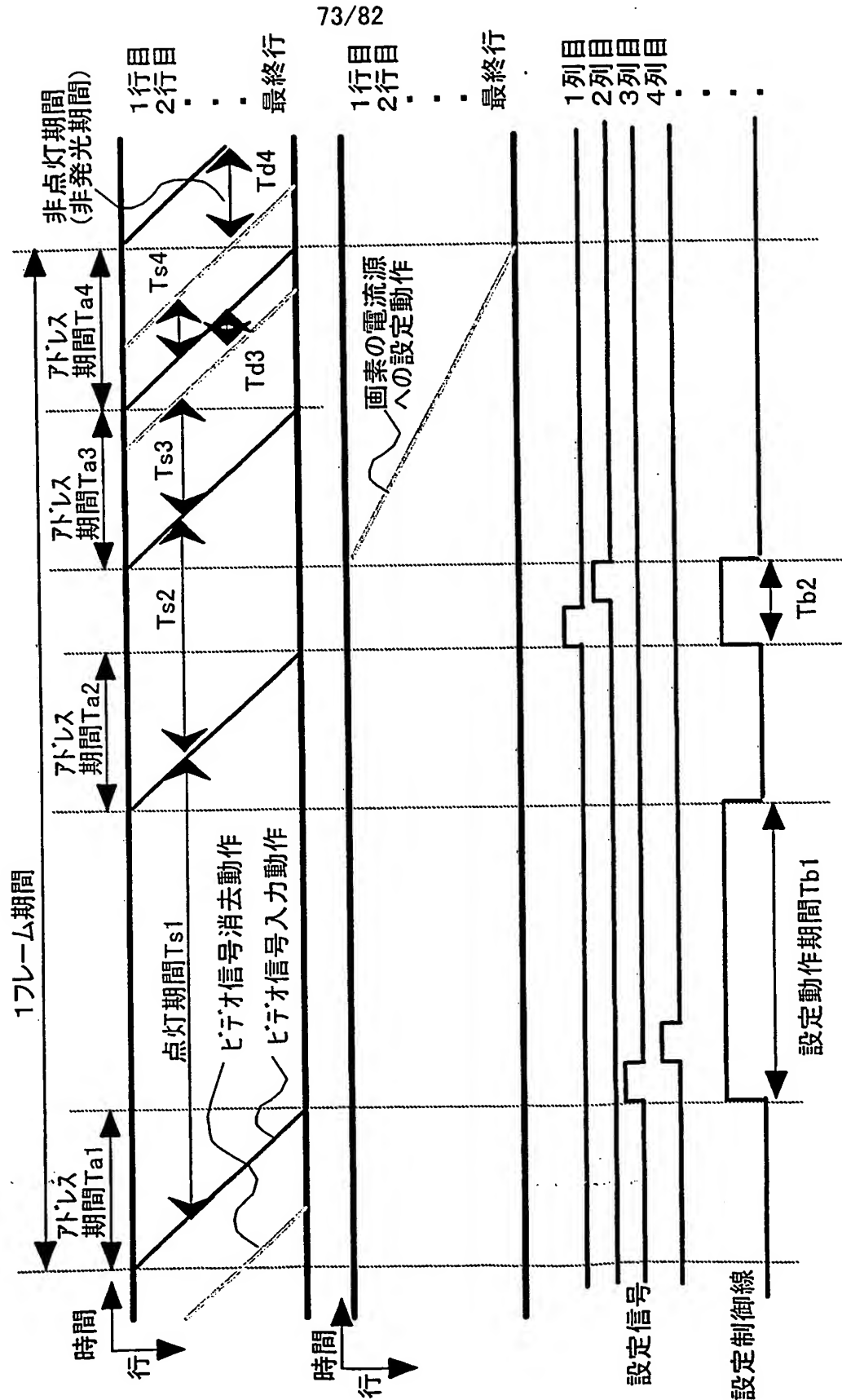
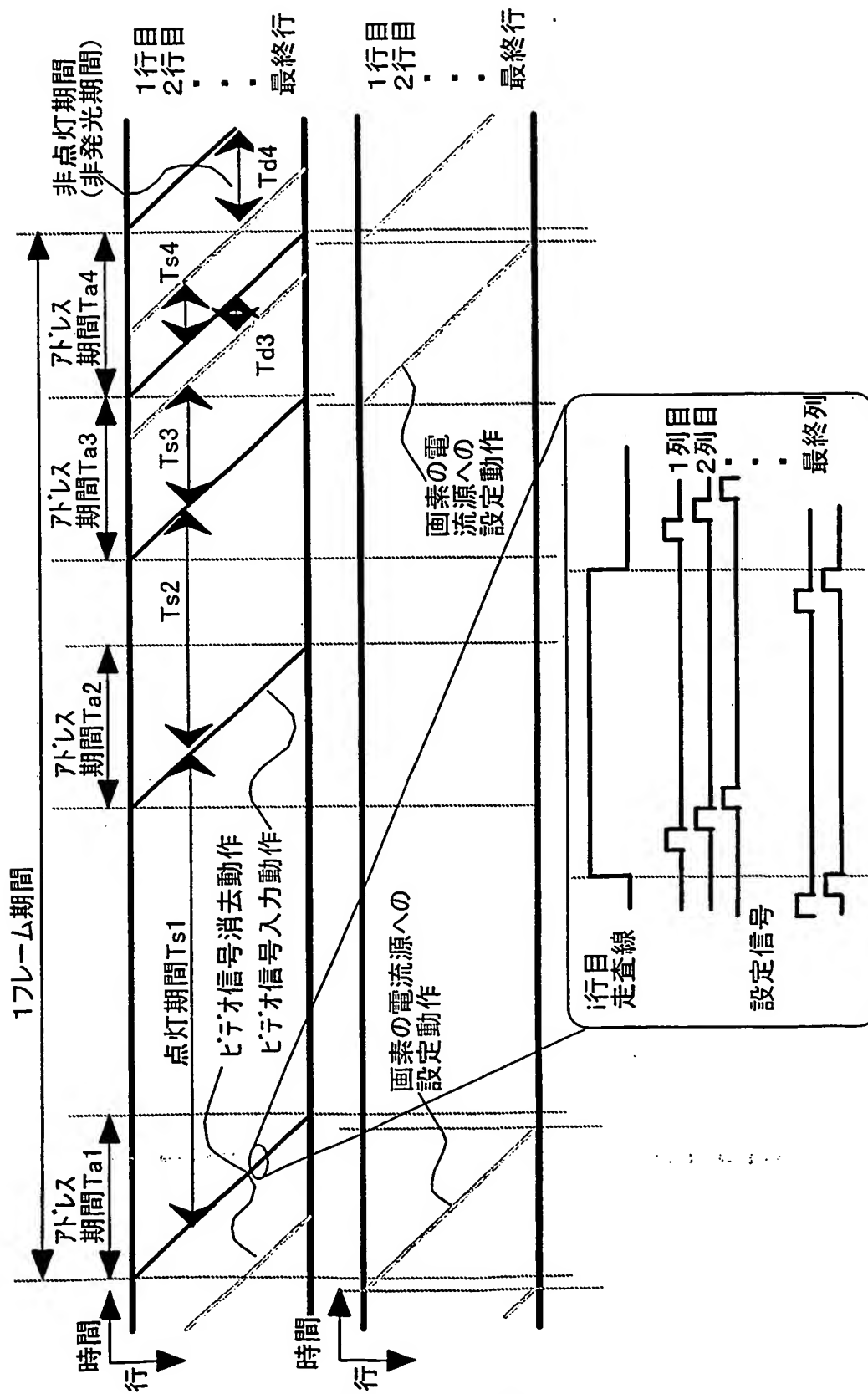
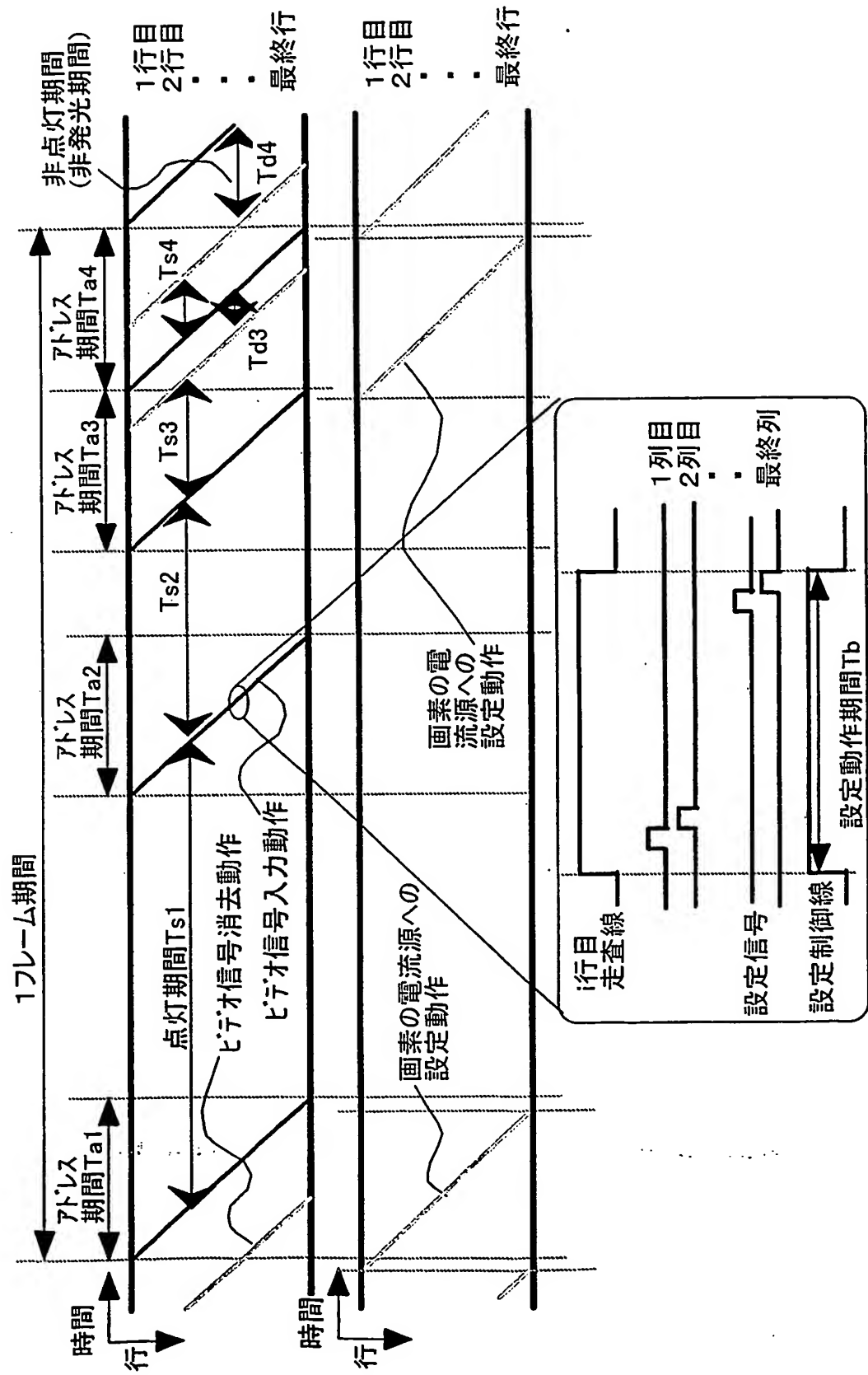


FIG. 80



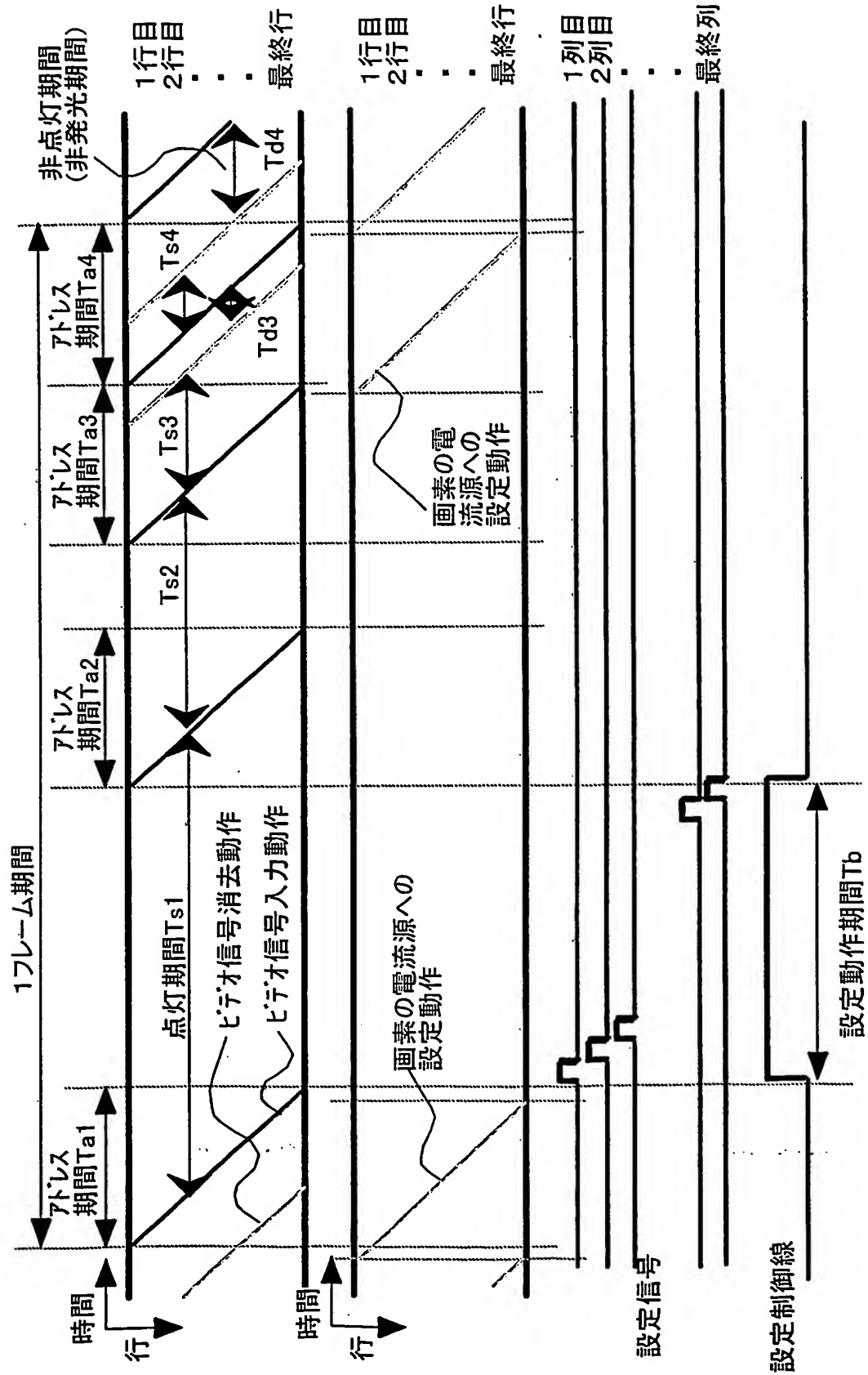
75/82

FIG. 81



76/82

FIG. 82



77/82

FIG. 83

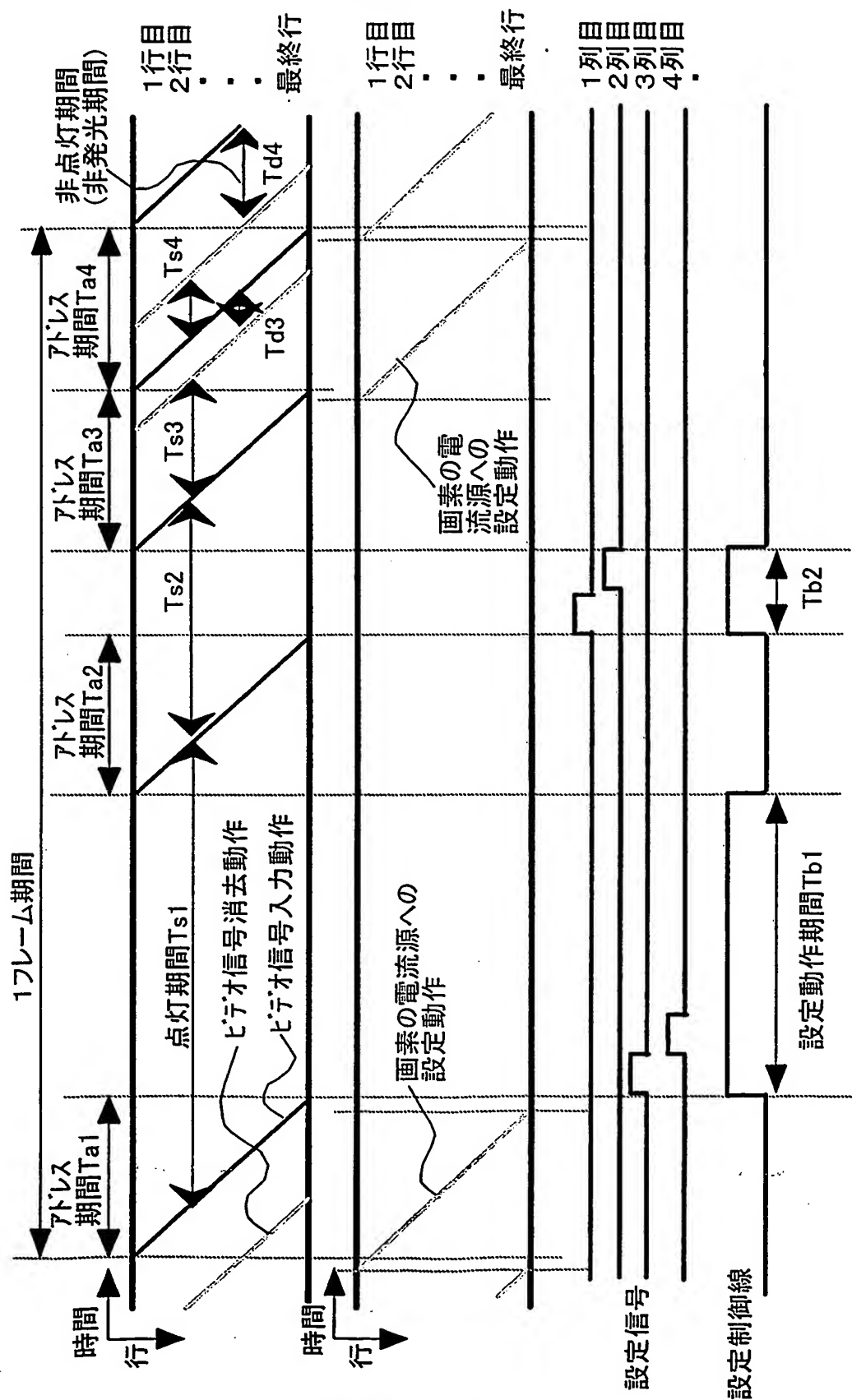
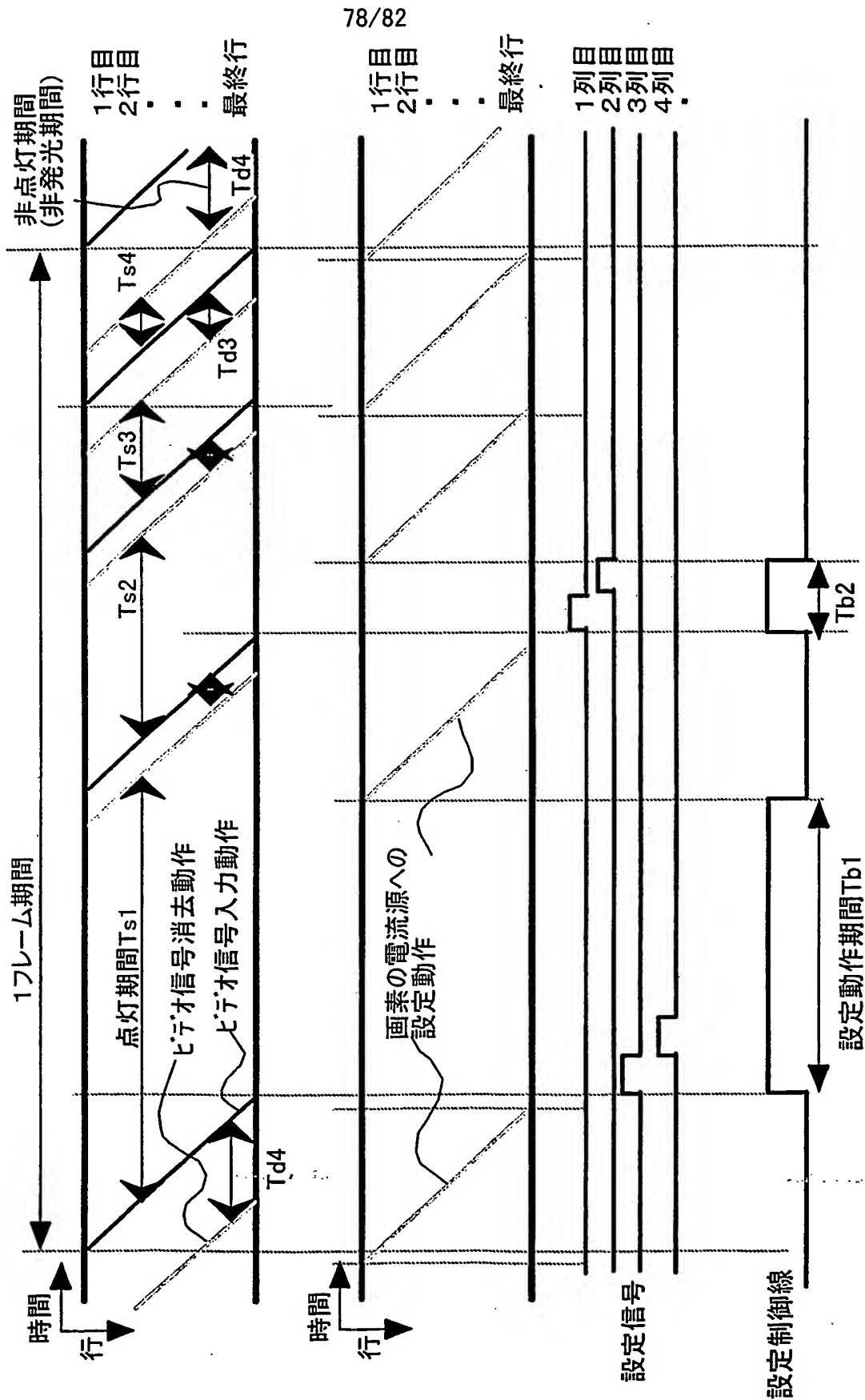


FIG. 84



79/82

FIG. 85

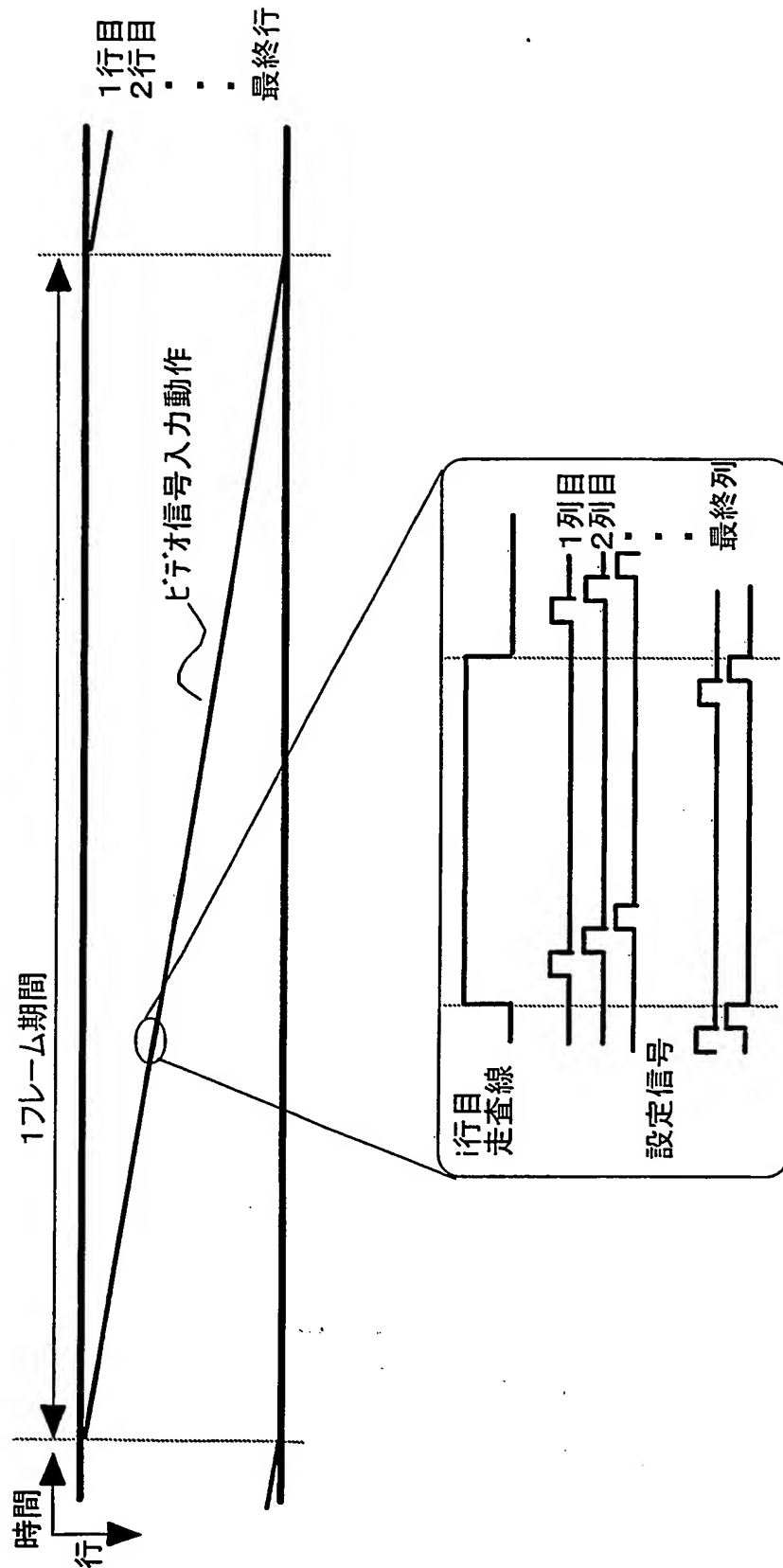


FIG. 86

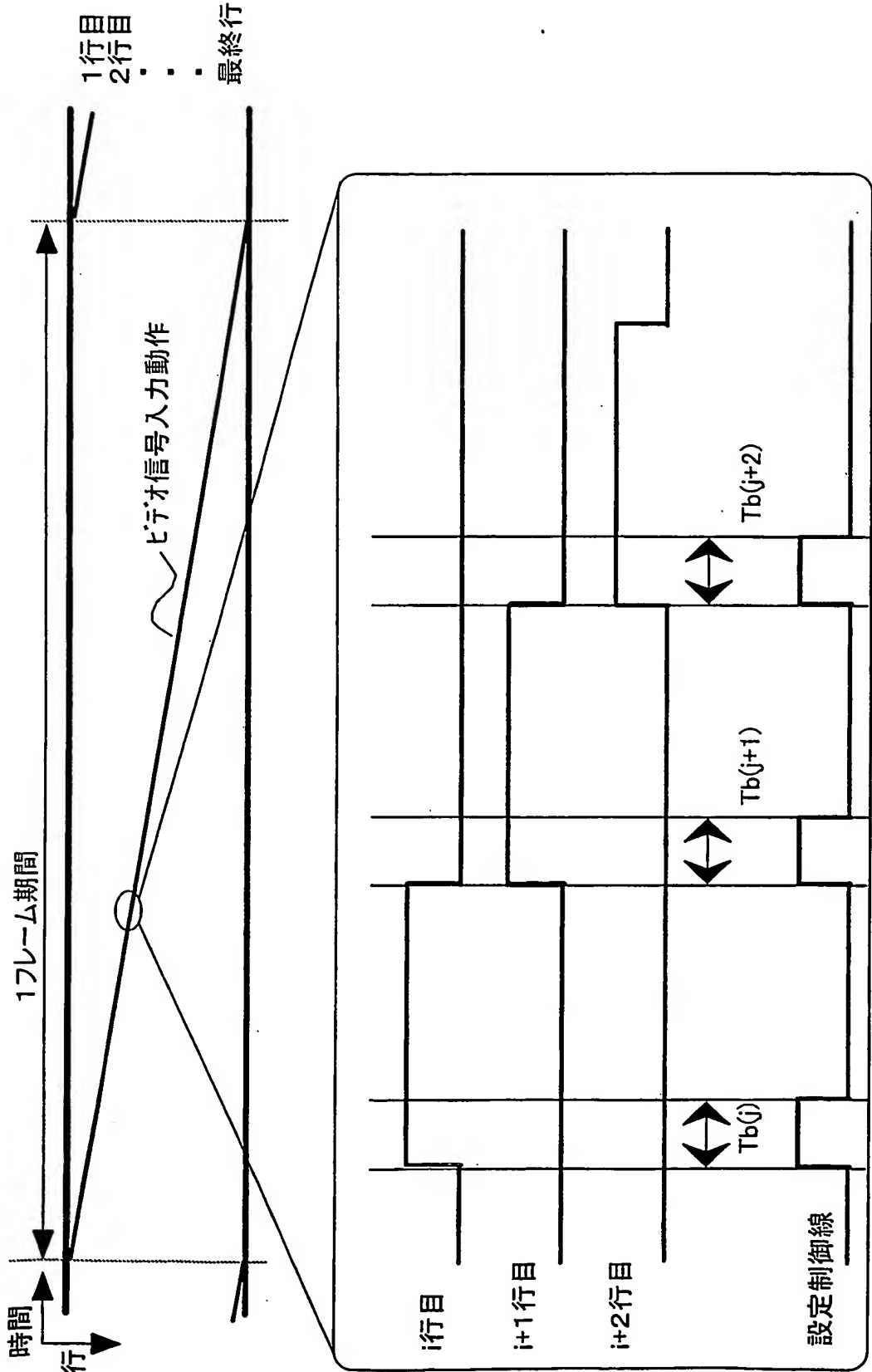
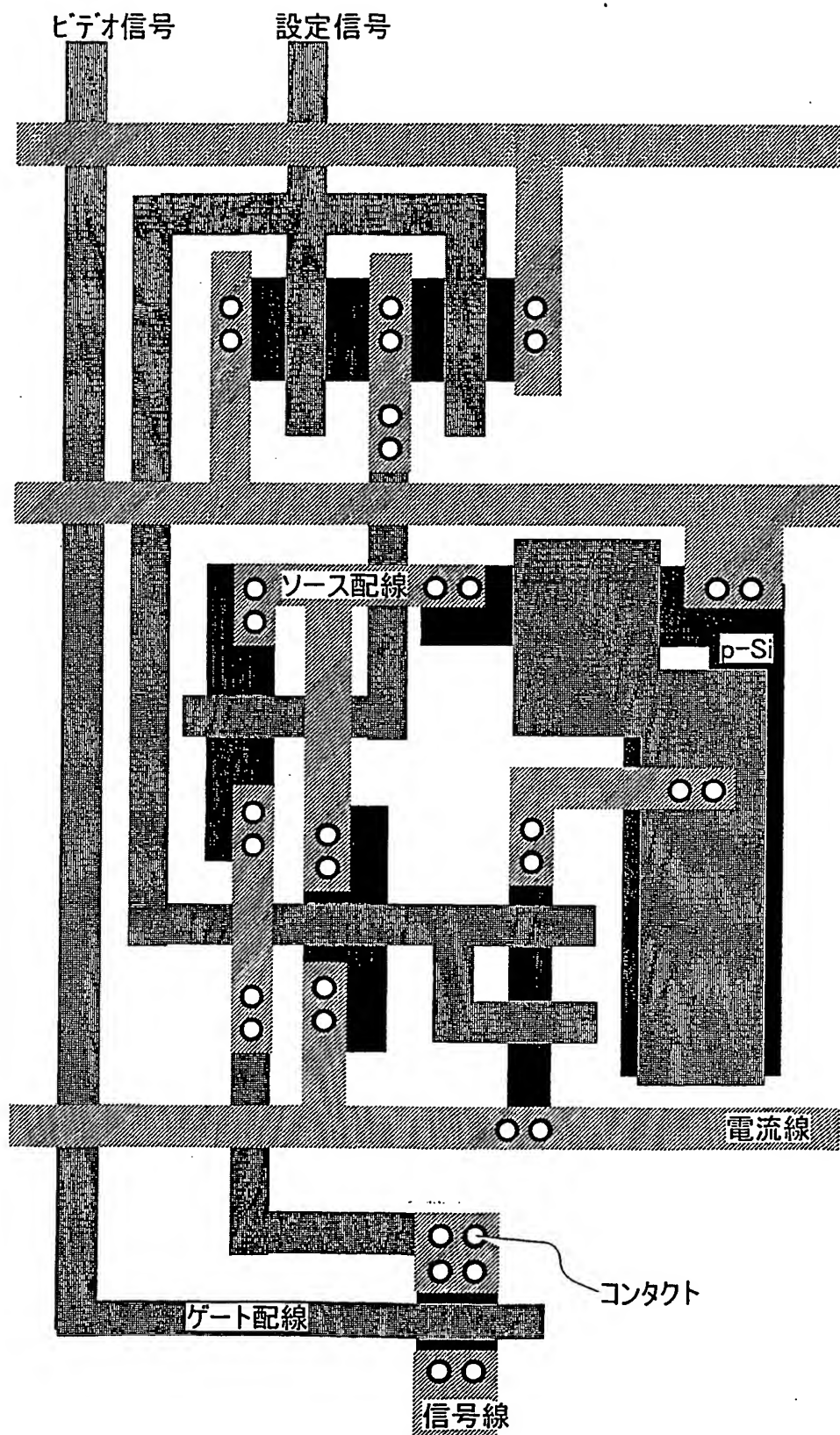




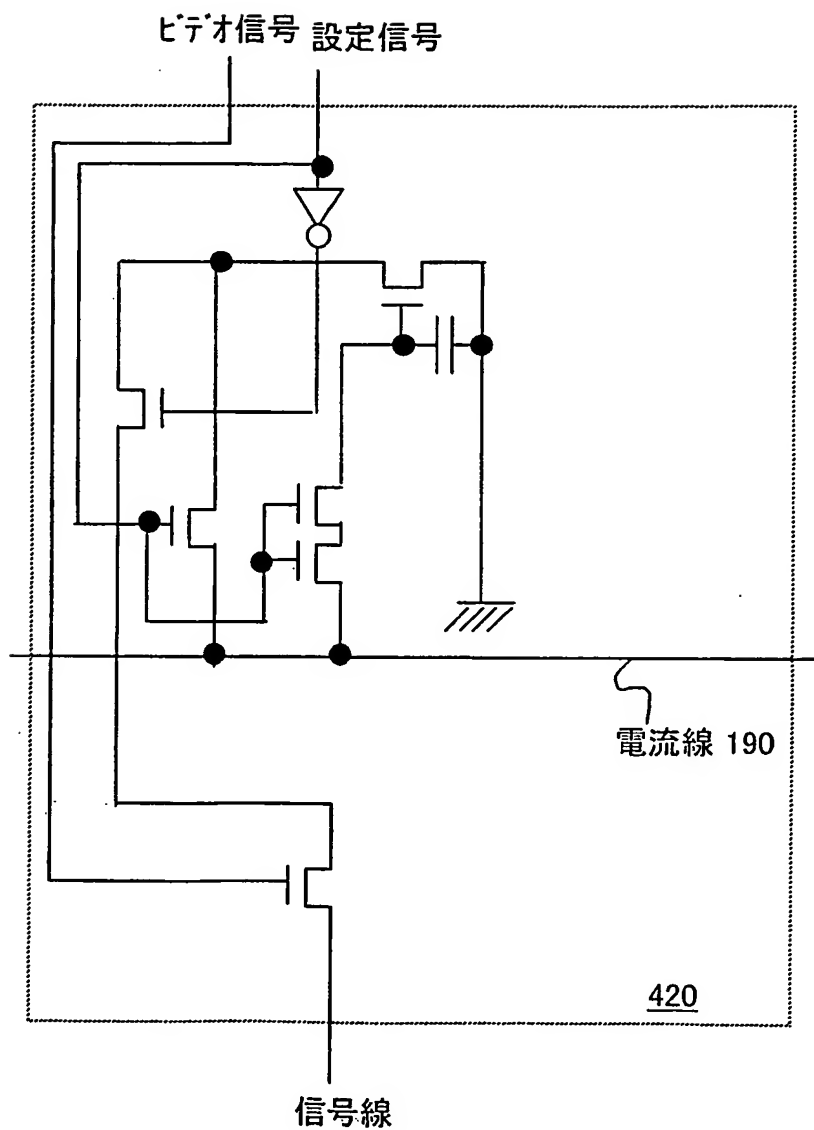
FIG. 87

81/82



82/82

FIG. 88



C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2001-56667 A (ティーディーケイ株式会社) 2001.02.27	1-3, 6, 8-9, 18 -21, 28-32
A	段落番号【0022】-【0029】, 第1図 (ファミリーなし)	4-5, 7, 10-17, 22-27, 33-39
Y	JP 2001-147659 A (ソニー株式会社) 2001.05.29	1-3, 6, 8-9, 11 -15, 18-20, 33 -38
A	段落番号【0015】-【0017】, 第1図 & EP 1102234 A2	4-5, 7, 10, 16- 17, 21-32, 39
Y	JP 11-282419 A (日本電気株式会社) 1999.10.15	1-3, 5-6, 8-9, 11-15, 17-20, 33-38
A	段落番号【0044】-【0054】, 第1図 & US 6091203 A	4, 7, 10, 16-1 7, 21-32, 39
A	WO 98/48403 A1 (SARNOFF CORPORATION) 1998.10.29 第4頁第18行-第5頁第31行, 第2図 & JP 2002-514320 A & US 6229506 B1	1-39
Y	JP 9-244590 A (株式会社東芝) 1997.09.19	2-3
	段落番号【0002】-【0005】, 第10-12図 (ファミリーなし)	
A	JP 2001-34221 A (日本精機株式会社) 2001.02.09	2-4
	段落番号【0034】, 第4図 (ファミリーなし)	
Y	JP 2001-42822 A (パイオニア株式会社)	21
A	2001.02.16, 全文, 全図 (ファミリーなし)	22-27
P. A	JP 2002-215095 A (パイオニア株式会社) 2002.07.31, 全文, 全図 (ファミリーなし)	1-39
P. A	JP 2002-278497 A (キャノン株式会社) 2002.09.27, 全文, 全図 (ファミリーなし)	1-39

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
 Int.Cl<sup>7</sup> G 09 G 3/30, 3/20  
 H 05 B 33/14

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))  
 Int.Cl<sup>7</sup> G 09 G 3/00-3/38  
 H 05 B 33/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年  
 日本国公開実用新案公報 1971-2003年  
 日本国実用新案登録公報 1996-2003年  
 日本国登録実用新案公報 1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 11-45071 A (日本電気株式会社) 1999. 02. 16, 全文, 全図 & US 6310589 B1	1-3, 5-6, 8-9, 11-15, 17-21, 28-38
A	& US 2001/0048410 A1	4, 7, 10, 16, 22 -27, 39
Y	WO 99/65011 A2 (KONINKLIJKE PHILIPS ELECTRONI- CS N.V.) 1999. 12. 16	1-3, 6, 8-9, 18 -21, 28-32
A	第8頁第12行-第11頁第8行, 第2図 & J P 2002-517806 A	4-5, 7, 10-17, 22-27, 33-39

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日

06. 01. 03

国際調査報告の発送日

04.02.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
 郵便番号 100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

西島 篤宏



2 G 9308

電話番号 03-3581-1101 内線 3225

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/11278

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2001-147659 A (Sony Corp.), 29 May, 2001 (29.05.01), Par. Nos. [0015] to [0017]; Fig. 1 & EP 1102234 A2	1-3, 6, 8-9, 11-15, 18-20, 33-38 4-5, 7, 10, 16-17, 21-32, 39
Y A	JP 11-282419 A (NEC Corp.), 15 October, 1999 (15.10.99), Par. Nos. [0044] to [0054]; Fig. 1 & US 6091203 A	1-3, 5-6, 8-9, 11-15, 17-20, 33-38 4, 7, 10, 16-17, 21-32, 39
A	WO 98/48403 A1 (SARNOFF CORP.), 29 October, 1998 (29.10.98), Page 4, line 18 to page 5, line 31; Fig. 2 & JP 2002-514320 A & US 6229506 B1	1-39
Y	JP 9-244590 A (Toshiba Corp.), 19 September, 1997 (19.09.97), Par. Nos. [0002] to [0005]; Figs. 10 to 12 (Family: none)	2-3
A	JP 2001-34221 A (Nippon Seiki Co., Ltd.), 09 February, 2001 (09.02.01), Par. No. [0034]; Fig. 4 (Family: none)	2-4
Y A	JP 2001-42822 A (Pioneer Electronic Corp.), 16 February, 2001 (16.02.01), Full text; all drawings (Family: none)	21 22-27
P,A	JP 2002-215095 A (Pioneer Electronic Corp.), 31 July, 2002 (31.07.02), Full text; all drawings (Family: none)	1-39
P,A	JP 2002-278497 A (Canon Inc.), 27 September, 2002 (27.09.02), Full text; all drawings (Family: none)	1-39

# INTERNATIONAL SEARCH REPORT

International application No.  
PCT/JP02/11278

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> G09G3/30, 3/20, H05B33/14

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> G09G3/00-3/38, H05B33/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2003  
Kokai Jitsuyo Shinan Koho 1971-2003 Toroku Jitsuyo Shinan Koho 1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 11-45071 A (NEC Corp.), 16 February, 1999 (16.02.99), Full text; all drawings & US 6310589 B1 & US 2001/0048410 A1	1-3, 5-6, 8-9, 11-15, 17-21, 28-38 4, 7, 10, 16, 22-27, 39
Y A	WO 99/65011 A2 (KONINKLIJKE PHILIPS ELECTRONICS N.V.), 16 December, 1999 (16.12.99), Page 8, line 12 to page 11, line 8; Fig. 2 & JP 2002-517806 A	1-3, 6, 8-9, 18-21, 28-32 4-5, 7, 10-17, 22-27, 33-39
Y A	JP 2001-56667 A (TDK Corp.), 27 February, 2001 (27.02.01), Par. Nos. [0022] to [0029]; Fig. 1 (Family: none)	1-3, 6, 8-9, 18-21, 28-32 4-5, 7, 10-17, 22-27, 33-39

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&amp;" document member of the same patent family</p>
--	---

Date of the actual completion of the international search  
06 January, 2003 (06.01.03)

Date of mailing of the international search report  
04 February, 2003 (04.02.03)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## DESCRIPTION

### SIGNAL LINE DRIVER CIRCUIT, LIGHT EMITTING DEVICE AND DRIVING METHOD THEREOF

5

#### Technical Field

The present invention relates to a technique of a signal line driver circuit. Further, the present invention relates to a light emitting device including the signal line driver circuit.

10

#### Background Art

Recently, display devices for performing image display are being developed. Liquid crystal display devices that perform image display by using a liquid crystal element are widely used as display devices because of advantages of high image quality, thinness, lightweight, and the like.

In addition, light emitting devices using self-light emitting elements as light emitting elements are recently being developed. The light emitting device has characteristics of, for example, a high response speed suitable for motion image display, low voltage, and low power consumption, in addition to advantages of existing liquid crystal display devices, and thus, attracts a great deal of attention as the next generation display device.

As gradation representation methods used in displaying a multi-gradation image on a light emitting device, an analog gradation method and a digital gradation method are given. The former analog gradation method is a method in which the gradation is obtained by analogously controlling the magnitude of a current that flows to a light emitting element. The latter digital gradation method is a method in which the light emitting element is driven only in two states thereof: an ON state (state where the luminance is substantially 100%) and an OFF state (state where the luminance is substantially 0%). In the digital gradation method, since only two gradations can be displayed, a method

configured by combining the digital gradation method and a different method to display multi-gradation images has been proposed.

When classification is made based on the type of a signal that is input to pixels, a voltage input method and a current input method are given as pixel-driving methods. The former voltage input method is a method in which: a video signal (voltage) that is input to a pixel is input to a gate electrode of a driving element; and the driving element is used to control the luminance of a light emitting element. The latter current input method is a method in which the set signal current is flown to a light emitting element to control the luminance of the light emitting element.

Hereinafter, referring to FIG. 16(A), a brief description will be made of an example of a circuit of a pixel in a light emitting device employing the voltage input method and a driving method thereof. The pixel shown in FIG. 16(A) includes a signal line 501, a scanning line 502, a switching TFT 503, a driving TFT 504, a capacitor element 505, a light emitting element 506, and power sources 507 and 508.

When the potential of the scanning line 502 varies, and the switching TFT 503 is turned ON, a video signal that has been input to the signal line 501 is input to a gate electrode of the driving TFT 504. According to the potential of the input video signal, a gate-source voltage of the driving TFT 504 is determined, and a current flowing between the source and the drain of the driving TFT 504 is determined. This current is supplied to the light emitting element 506, and the light emitting element 506 emits light. As a semiconductor device for driving the light emitting element, a polysilicon transistor is used. However, the polysilicon transistor is prone to variation in electrical characteristics, such as a threshold value and an ON current, due to defects in a grain boundary. In the pixel shown in FIG. 16(A), if characteristics of the driving TFT 504 vary in units of the pixel, even when identical video signals have been input, the magnitudes of the corresponding drain currents of the driving TFTs 504 are different. Thus, the luminance of the light emitting element 506 varies.



To solve the problems described above, a desired current may be input to the light emitting element, regardless of the characteristics of the TFTs for driving the light emitting element. From this viewpoint, the current input method has been proposed which can control the magnitude of a current that is supplied to a  
5 light emitting element regardless of the TFT characteristics.

Next, referring to FIGs. 16(B) and 17, a brief description will be made of a circuit of a pixel in a light emitting device employing the current input method and a driving method thereof. The pixel shown in FIG. 16(B) includes a signal line 601, first to third scanning lines 602 to 604, a current line 605, TFTs 606 to  
10 609, a capacitor element 610, and a light emitting element 611. A current source circuit 612 is disposed to each signal line (each column).

Operations of from video signal-writing to light emission will be described by using FIG. 17. In FIG. 17, reference numerals denoting respective portions conform to those shown in FIG. 16. FIGs. 17(A) to 17(C) schematically  
15 show current paths. FIG. 17(D) shows the relationship between currents flowing through respective paths during a write of a video signal, and FIG. 17(E) shows a voltage accumulated in the capacitor element 610 also during the write of a video signal, that is, a gate-source voltage of the TFT 608.

First, a pulse is input to the first and second scanning lines 602 and 603 to  
20 turn the TFTs 606 and 607 ON. A signal current flowing through the signal line 601 at this time will be referred to as  $I_{data}$ . As shown in FIG. 17(A), since the signal current  $I_{data}$  is flowing through the signal line 601, the current separately flows through current paths  $I_1$  and  $I_2$  in the pixel. FIG. 17(D) shows the relationship between the currents. Needless to say, the relationship is expressed  
25 as  $I_{data} = I_1 + I_2$ .

The moment the TFT 606 is turned ON, no charge is yet accumulated in the capacitor element 610, and thus, the TFT 608 is OFF. Accordingly,  $I_2 = 0$  and  $I_{data} = I_1$  are established. In the moment, the current flows between electrodes of the capacitor element 610, and charge accumulation is performed in  
30 the capacitor element 610.

Charge is gradually accumulated in the capacitor element 610, and a potential difference begins to develop between both the electrodes (FIG. 17(E)). When the potential difference of both the electrodes has reached  $V_{th}$  (point A in FIG. 17(E)), the TFT 608 is turned ON, and  $I_2$  occurs. As described above, since  
5  $I_{data} = I_1 + I_2$  is established, while  $I_1$  gradually decreases, the current keeps flowing, and charge accumulation is continuously performed in the capacitor element 610.

In the capacitor element 610, charge accumulation continues until the potential difference between both the electrodes, that is, the gate-source voltage of the TFT 608 reaches a desired voltage. That is, charge accumulation continues  
10 until the voltage reaches a level at which the TFT 608 can allow the current  $I_{data}$  to flow. When charge accumulation terminates (B point in FIG. 17(E)), the current  $I_1$  stops flowing. Further, since the TFT 608 is fully ON,  $I_{data} = I_2$  is established (FIG. 17(B)). According to the operations described above, the operation of writing the signal to the pixel is completed. Finally, selection of the first and  
15 second scanning lines 602 and 603 is completed, and the TFTs 606 and 607 are turned OFF.

Subsequently, a pulse is input to the third scanning line 604, and the TFT 609 is turned ON. Since VGS that has been just written is held in the capacitor element 610, the TFT 608 is already turned ON, and a current identical to  $I_{data}$   
20 flows thereto from the current line 605. Thus, the light emitting element 611 emits light. At this time, when the TFT 608 is set to operate in a saturation region, even if the source-drain voltage of the TFT 608 varies, a light emitting current IEL flowing to the light emitting element 611 flows continuously.

As described above, the current input method refers to a method in which  
25 the drain current of the TFT 609 is set to have the same current value as that of the signal current  $I_{data}$  set in the current source circuit 612, and the light emitting element 611 emits light with the luminance corresponding to the drain current. By using the thus structured pixel, influence of variation in characteristics of the TFTs constituting the pixel is suppressed, and a desired current can be supplied to  
30 the light emitting element.

Incidentally, in the light emitting device employing the current input method, a signal current corresponding to a video signal needs to be precisely input to a pixel. However, when a signal line driver circuit (corresponding to the current source circuit 612 in FIG. 16) used to input the signal current to the pixel  
5 is constituted by polysilicon transistors, variation in characteristics thereof occurs, thereby also causing variation in characteristics of the signal current.

That is, in the light emitting element employing the current input method, variation in characteristics of TFTs constituting the pixel and the signal line driver circuit need to be suppressed. However, while the influence of variation in  
10 characteristics of the TFTs constituting the pixel can be suppressed by using the pixel having the structure of FIG. 16(B), suppression of the influence of variation in characteristics of the TFTs constituting the signal line driver circuit is difficult.

Hereinafter, using FIG. 18, a brief description will be made of the structure and operation of a current source circuit disposed in the signal line driver  
15 circuit that drives the pixel employing the current input method.

The current source circuit 612 shown in FIGs. 18(A) and 18(B) corresponds to the current source circuit 612 of FIG. 16(B). The current source circuit 612 includes constant current sources 555 to 558. The constant current sources 555 to 558 are controlled by signals that are input via respective terminals  
20 551 to 554. The magnitudes of currents supplied from the constant current sources 555 to 558 are different from one another, and the ratio thereof is set to 1 : 2 : 4 : 8.

FIG. 18(B) shows a circuit structure of the current source circuit 612, in which the constant current sources 555 to 558 shown therein correspond to  
25 transistors. The ratio of ON currents of the transistors 555 to 558 is set to 1 : 2 : 4 : 8 according to the ratio (1:2:4:8) of the value of L (gate length)/W (gate width). The current source circuit 612 then can control the current magnitudes at  $2^4 = 16$  levels. Specifically, currents having 16-gradation analog values can be output for 4-bit digital video signals. Note that the current source circuit 612 is  
30 constituted by polysilicon transistors, and is integrally formed with the pixel

portion on the same substrate.

As described above, conventionally, a signal line driver circuit incorporated with a current source circuit has been proposed (for example, refer to Non-patent Documents 1 and 2).

5 In addition, digital gradation methods include a method in which a digital gradation method is combined with an area gradation method to represent multi-gradation images (hereinafter, referred to as area gradation method), and a method in which a digital gradation method is combined with a time gradation method to represent multi-gradation images (hereinafter, referred to as time  
10 gradation method). The area gradation method is a method in which one pixel is divided into a plurality of sub-pixels, emission or non-emission is selected in each of the sub-pixels, and the gradation is represented according to a difference between a light emitting area and the other area in a single pixel. The time gradation method is a method in which gradation representation is performed by  
15 controlling the emission period of a light emitting element. To be more specific, one frame period is divided into a plurality of subframe periods having mutually different lengths, emission or non-emission of a light emitting element is selected in each period, and the gradation is presented according to a difference in length of light emission time in one frame period. In the digital gradation method, the  
20 method in which a digital gradation method is combined with a time gradation method (hereinafter, referred to as time gradation method) is proposed. (For example, refer to Patent Document 1).

[Non-patent Document 1]

25 Reiji Hattori & three others, "Technical Report of Institute of Electronics, Information and Communication Engineers", ED 2001-8, pp. 7-14, "Circuit Simulation of Current Specification Type Polysilicon TFT Active Matrix-Driven Organic LED Display"

[Non-patent Document 2]

30 Reiji H et al.; "AM-LCD'01", OLED-4, pp. 223-226

Disclosure of the Invention

5           In the above-described current source circuit 612, the ON currents of the transistors are set to a ratio of 1 : 2 : 4 : 8 by designing the L/W values. However, in the transistors 555 to 558, variations occur in the threshold value and mobility due to a number of factors for variations in the gate length, gate width, and thickness of a gate insulating film, which are attributed to differences in  
10 manufacturing steps and substrates used. This makes it difficult to precisely set the ON currents of the transistors 555 to 558 to 1 : 2 : 4 : 8. That is, depending on the column, variation occurs in the value of the current to be supplied to the pixel.

          To precisely set the ON currents of the transistors 555 to 558 to 1 : 2 : 4 :  
15 8 as designed, current source circuits disposed to all the columns need to be identical in characteristics to one another. Specifically, the characteristics of transistors in all current source circuits of the signal line driver circuit need to be arranged identical to one another. However, such arrangement is extremely difficult to be realized.

20           The present invention has been made in view of the problems described above, and therefore provides a signal line driver circuit capable of suppressing the influence of variation in characteristics of TFTs to thereby supply a desired signal current to a pixel. In addition, the present invention provides a light emitting element capable of suppressing the influence of variation in  
25 characteristics of TFTs constituting both the pixel and the driver circuit to thereby supply a desired signal current to a light emitting element by using the pixel having a circuit structure suppressing the influence of variation in characteristics of TFTs.

          The present invention provides a signal line driver circuit having a novel  
30 structure which is provided with an electric circuit (referred to as current source

circuit in this specification) that suppresses the influence of variation in characteristics of TFTs to flow a desired constant current. In addition, the present invention provides a light emitting device including the signal line driver circuit.

5       The present invention provides a signal line driver circuit in which a current source circuit is disposed in each column (each signal line or the like).

      According to the present invention, the current source circuit disposed in each signal line (each column) is set to supply a predetermined signal current by using a reference constant current source. The current source circuit set as above  
10   has a capability of supplying a current proportional to the reference constant current source. Consequently, using the current source circuit, the influence of variation in characteristics of the TFTs constituting the signal line driver circuit can be suppressed. A switch for determining whether the set signal current is supplied from the current source circuit to the pixel is controlled by a video signal.

15       To be more specific, in the case where a signal current proportional to a video signal is required to flow to a signal line, a switch is controlled to determine as to whether the signal current is supplied from the current source circuit to the signal line driver circuit, and the switch is controlled by the video signal. Note that, in this specification, the switch for determining as to whether the signal  
20   current is supplied from the current source circuit to the signal line driver circuit is referred to as a signal current control switch.

      Note that the reference constant current source may either be formed integrally with the signal line driver circuit on a substrate or be disposed on the outside of the substrate by using an IC. In this case, a constant current serving as  
25   a reference current is supplied to the signal line driver circuit from the outside of the substrate.

      The outline of the signal line driver circuit of the present invention will be described with reference to FIGs. 1 and 2. FIGs. 1 and 2 each show a signal line driver circuit in the periphery of three signal lines of  $i$ -th to  $(i+2)$ -th columns.

30       First, a case where signal currents proportional to video signals are needed

to flow to the signal lines will be described.

In FIG. 1, current source circuits 420 are disposed in the respective signal lines (respective columns) in a signal line driver circuit 403. The current source circuits 420 each include a terminal a, a terminal b, and a terminal c. A setting  
5 signal is input to the terminal a. A current (reference current) is supplied to the terminal b from a reference constant current source 109 connected to a current line. The terminal c outputs a signal held in the current source circuit 420 via a switch 101 (signal current control switch). That is, the current source circuit 420 is controlled by the setting signal input from the terminal a, the current (reference  
10 current) is supplied from the terminal b, and the current proportional to the current (reference current) is output from the terminal c. Note that the switch 101 (signal current control switch) is provided between the current source circuit 420 and a pixel connected to the signal line, and ON/OFF of the switch 101 (signal current control switch) is controlled by the video signal.

15 Next, using FIG. 2, a description will be made of a signal line driver circuit of the present invention that has a structure different from that shown in FIG. 1. In FIG. 2, two or more current source circuits 420 are disposed for each signal line (each column) in a signal line driver circuit 403. The current source circuit 420 includes a plurality of current source circuits. Here, the current  
20 source circuit 420 is assumed to include two current source circuits, namely, a first current source circuit 421 and a second current source circuit 422. The first current source circuit 421 and the second current source circuit 422 each include a terminal a, a terminal b, terminal c, and a terminal d. A setting signal is input to the terminal a. A current (reference current) is supplied to the terminal b from a  
25 reference constant current source 109 connected to a current line. Further, the terminal c outputs signals (signal currents) held in the first current source circuit 421 and the second current source circuit 422 via a switch 101 (signal current control switch). That is, the current source circuit 420 is controlled by the setting signal input from the terminal a and a control signal input from the terminal d, the  
30 current (reference current) is supplied from the terminal b, and the current

proportional to the current (reference current) is output from the terminal c. Note that the switch (signal current control switch) 101 is provided between the current source circuit 420 and a pixel connected to the signal line, and ON/OFF of the switch (signal current control switch) 101 is controlled by the video signal.

5 In this specification, an operation (for setting a signal current, setting the signal current according to a reference current, and performing setting to enable the current source circuit 420 to output a signal current) for completing a write of the signal current to the current source circuit 420 is referred to as a setting operation. In addition, an operation for inputting a signal current to a pixel  
10 (operation of the current source circuit 420 to output the signal current) is referred to as an input operation. In FIG. 2, the control signals input to the first current source circuit 421 and the second current source circuit 422 are different from each other. Therefore, one of the first current source circuit 421 and the second current source circuit 422 performs the setting operation, and the other performs  
15 the input operation. Thus, the two operations can be executed at the same time.

Note that the setting operations may be performed at an arbitrary number of times, at arbitrary time and at arbitrary timing. The timing of the setting operation can be arbitrarily adjusted in accordance with the pixel structure (such as the current source circuit disposed in the pixel) or the structure of the current  
20 source circuit disposed in the signal line driver circuit. The number for performing setting operations may be at least one when supplying power to the signal line driver circuit to start the operation. In practice, however, for example, a case can occur where information obtained by the setting operation leaks. Thus, the setting operation may be performed again with timing when a need arises  
25 again for the information.

Each of the signal line driver circuits of FIGs. 1 and 2 has been described for the case where the signal current proportional to the video signal is supplied to the signal line. However, the present invention is not limited to this. For example, a current may be supplied to a wiring different from the signal line. In  
30 this case, the switch 101 (signal current control switch) does not need to be



disposed. A case where the switch 101 is not disposed is shown in FIG. 36 as to FIG. 1, and the case is shown in FIG. 37 as to FIG. 2. In these cases, a current is output to a pixel current line. The video signal is output to the signal line.

According to the present invention, a video signal is used in two cases:  
5 one case where the signal is used to control the pixel; and the other case where the signal is used as a setting signal for a current source circuit. Specifically, a video signal is used not only for image display, but also for the setting operation of the current source circuit. In the case where the video signal is used for control of the pixel (display of an image), the current source circuit performs the input  
10 operation (output of the current to the pixel). Further, in the case where the video signal is used as the setting signal for the current source circuit, the current source circuit performs the setting operation.

Note that the current is output either the signal line or the pixel current line. In the case where the current is output to the signal line, when the video  
15 signal is used for the pixel control (image display), the current source circuit performs the input operation (output of the current to the pixel). This is because the current output to the signal line is the video signal itself. On the other hand, in the case where the current is output to the pixel current line, when the video signal is used for pixel control (image display), the current source circuit disposed  
20 in the signal line driver circuit does not always perform the input operation. This is because the video signal is already input to the signal line when being used for pixel control (image display), and the video signal has nothing to do with current that is output when the current source circuit disposed in the signal line driver circuit performs the input operation. The current source circuit disposed in the  
25 signal line driver circuit performs the input operation when the setting operation of the current source circuit disposed in the pixel is executed.

In the present invention, when performing the setting operation, the video signal is used to specify a current source circuit disposed in an arbitrary column from among the first column to the last column. In addition, the current source  
30 circuit is specified only in an arbitrary period. Thus, a current source circuit

requiring the setting operation can be specified among current source circuits disposed in a plurality of columns. Further, since the setting operation can be performed spending time for the specified current source circuit, the setting operation can be precisely performed.

5        If a current source circuit in an arbitrary column cannot be specified, and current source circuits need to be sequentially specified from the first column to the last column, the per-column time of the setting operation is shortened. Specifically, since the setting operations need to be performed in a predetermined time for the current source circuits in the first column to the last column, the  
10 per-column time of the setting operation is shortened. Consequently, the setting operation cannot be sufficiently performed.

      In the current source circuits disposed in the plurality of columns, setting operations for the current source circuits may be sequentially performed from the first column to the last column. However, when setting operations are not  
15 sequentially performed for the current source circuits from the first column, but the setting operations can be performed at random for the current source circuits, various advantages are exhibited. For example, a sufficient time can be arbitrarily used to perform the setting operation for the current source circuit. Further, in the case where periods during which the setting operation can be  
20 performed are dotted in one frame, when an arbitrary column can be selected, the degree of freedom is increased, and a setting operation period can be set long. For example, in the period during which the setting operation can be performed and which is dotted in one frame, the setting operation can be performed for the one-column current source circuit by making full use of the period. One of other  
25 advantages is that the influence of charge leakage in a capacitor element disposed in the current source circuit can be made inconspicuous. Thus, when a defect has occurred in accordance with the setting operation, the defect can be made inconspicuous.

      According to the present invention, the video signal is used to control the  
30 current source circuit, thereby obviating the necessity of dedicated circuits to

perform control of the setting operation for the current source circuit and specification of the current source circuit. Consequently, since the number of circuits to be disposed is reduced, the defect-occurrence ratio in the manufacture can be minimized, and the yield can be improved. In addition, since the number  
5 of circuits to be disposed can be reduced, the layout area can be reduced. Thus, the frame area can be reduced, and the device can be miniaturized.

Note that the present invention may be applied by replacing TFTs with transistors using ordinary monocrystal, transistors using SOI, organic transistors, or the like.

10 In addition, in the present invention, the category of the light emitting device includes, for example, a panel in which a pixel portion including light emitting elements and signal line driver circuits are enclosed between a substrate and a covering material, a module in which ICs and the like are mounted to the aforementioned panel, and a display. That is, the light emitting device is  
15 equivalent to a generic term referring to a panel, a module, a display, and the like.

The present invention provides a signal line driver circuit including the current source circuit described above. Further, the present invention provides a light emitting device capable of suppressing the influence of variation in characteristics of TFTs constituting both pixels and driver circuits to enable a  
20 desired signal current  $I_{data}$  to be supplied to light emitting elements by using pixels each having a circuit structure not influenced by the TFT characteristics.

#### Brief Description of the Drawings

- FIG. 1 is a view of a signal line driver circuit.  
25 FIG. 2 is a view of a signal line driver circuit.  
FIG. 3 is views of a signal line driver circuit (1-bit).  
FIG. 4 is a view of a signal line driver circuit (3-bit).  
FIG. 5 is a view of a signal line driver circuit (3-bit).  
FIG. 6 is circuit diagrams of current source circuits.  
30 FIG. 7 is circuit diagrams of current source circuits.

FIG. 8 is circuit diagrams of current source circuits.

FIG. 9 is a timing chart.

FIG. 10 is a view of a signal line driver circuit.

FIG. 11 is a timing chart.

5     FIG. 12 is views of the appearance of a light emitting device.

FIG. 13 is circuit diagrams of pixels of a light emitting device.

FIG. 14 is explanatory views of a driving method.

FIG. 15 is views of a light emitting device.

FIG. 16 is circuit diagrams of pixels of a light emitting device.

10    FIG. 17 is explanatory views of operations of a pixel of the light emitting device.

FIG. 18 is views of a current source circuit.

FIG. 19 is explanatory views of operations of a current source circuit.

FIG. 20 is explanatory views of operations of a current source circuit.

15    FIG. 21 is an explanatory view of operations of a current source circuit.

FIG. 22 is views of electronic devices to which the present invention is applied.

FIG. 23 is a view of a signal line driver circuit (3-bit).

FIG. 24 is a view of a signal line driver circuit (3-bit).

20    FIG. 25 is explanatory views of a driving method.

FIG. 26 is explanatory views of a driving method.

FIG. 27 is a view of a signal line driver circuit.

FIG. 28 is a view of a signal line driver circuit.

FIG. 29 is explanatory views of a driving method.

25    FIG. 30 is a view of a signal line driver circuit.

FIG. 31 is explanatory views of a driving method.

FIG. 32 is a circuit diagram of a reference constant current source.

FIG. 33 is circuit diagrams of a reference constant current source.

FIG. 34 is a circuit diagram of a reference constant current source.

30    FIG. 35 is a circuit diagram of a reference constant current source.

FIG. 36 is a signal line driver circuit.  
FIG. 37 is a signal line driver circuit.  
FIG. 38 is circuit diagrams of a current source circuit.  
FIG. 39 is circuit diagrams of a current source circuit.  
5 FIG. 40 is circuit diagrams of a current source circuit.  
FIG. 41 is circuit diagrams of a current source circuit.  
FIG. 42 is circuit diagrams of a current source circuit.  
FIG. 43 is a circuit diagram of a current source circuit.  
FIG. 44 is a view of a signal line driver circuit.  
10 FIG. 45 is a view of a signal line driver circuit.  
FIG. 46 is a view of a signal line driver circuit.  
FIG. 47 is views of a signal line driver circuit.  
FIG. 48 is a view of a signal line driver circuit.  
FIG. 49 is a view of a signal line driver circuit.  
15 FIG. 50 is a view of a signal line driver circuit.  
FIG. 51 is a view of a signal line driver circuit.  
FIG. 52 is a view of a signal line driver circuit.  
FIG. 53 is a view of a signal line driver circuit.  
FIG. 54 is views of a light emitting device.  
20 FIG. 55 is views of a signal line driver circuit.  
FIG. 56 is a view of a signal line driver circuit.  
FIG. 57 is a view of a signal line driver circuit.  
FIG. 58 is a view of a signal line driver circuit.  
FIG. 59 is a view of a signal line driver circuit.  
25 FIG. 60 is a view of a signal line driver circuit.  
FIG. 61 is a view of a signal line driver circuit.  
FIG. 62 is a view of a signal line driver circuit.  
FIG. 63 is a view of a signal line driver circuit.  
FIG. 64 is a view of a signal line driver circuit.  
30 FIG. 65 is a view of a signal line driver circuit.

FIG. 66 is a view of a signal line driver circuit.  
FIG. 67 is a view of a signal line driver circuit.  
FIG. 68 is a view of a signal line driver circuit.  
FIG. 69 is a view of a signal line driver circuit.  
5 FIG. 70 is a view of a signal line driver circuit.  
FIG. 71 is a view of a signal line driver circuit.  
FIG. 72 is a view of a signal line driver circuit.  
FIG. 73 is circuit diagrams of a pixel of a light emitting device.  
FIG. 74 is a timing chart.  
10 FIG. 75 is a timing chart.  
FIG. 76 is a timing chart.  
FIG. 77 is a timing chart.  
FIG. 78 is a timing chart.  
FIG. 79 is a timing chart.  
15 FIG. 80 is a timing chart.  
FIG. 81 is a timing chart.  
FIG. 82 is a timing chart.  
FIG. 83 is a timing chart.  
FIG. 84 is a timing chart.  
20 FIG. 85 is a timing chart.  
FIG. 86 is a timing chart.  
FIG. 87 is a layout view of a current source circuit.  
FIG. 88 is a circuit diagram of a current source circuit.

## 25 Best Mode for carrying out the Invention

### [Embodiment Mode 1]

In this embodiment mode, a description will be made of an example of a circuit structure of a current source circuit 420 shown in FIG. 1, which is provided in a signal line driver circuit of the present invention.

30 Referring to FIG. 1, a setting signal input from a terminal a corresponds to

a video signal supplied from a second latch circuit 413. However, since the video signal is also used to control a pixel, the video signal is not directly input to the current source circuit 420, but input thereto via a logical operator. The logical operator enables switching between the case of using the video signal to control the pixel (to display an image) and the case of using the video signal to control the current source circuit. Specifically, the setting signal input from the terminal a corresponds to the signal supplied from an output terminal of the logical operator that is connected to a setting control line (not shown in FIG. 1). The present invention performs setting of the current source circuit 420 in accordance with the signal supplied from the output terminal of the logical operator connected to the setting control line.

One of two input terminals of the logical operator is input with the signal (corresponding to the video signal) supplied from the second latch circuit, and the other input terminal is input with the signal from the setting control line. The logical operator performs a logic operation of the input two signals, and outputs a signal from the output terminal. Then, the current source circuit 420 performs either a setting operation or an input operation according to the signal supplied from the output terminal of the logical operator. This enables the video signal to be prevented from influencing the current source circuit while the video signal is used for pixel control (image display).

Assuming that the logical operator is not arranged, and the setting operation or the input operation of the current source circuit 420 is performed in accordance with the signal (corresponding to the video signal) supplied from the second latch circuit, even while the video signal is used for the pixel control (image display), the setting operation, the input operation, or the like of the current source circuit 420 is performed. Thus, to which current source circuit 420 the setting operation, the input operation, or the like is performed differs depending on the image display pattern. That is, the setting operation, the input operation, or the like of the current source circuit 420 cannot be properly performed. However, when the above-described logical operator is disposed,

even while the video signal is used for pixel control (image display), for example, variation in a signal of the output terminal of the logical operator can be prevented by using the signal input from the setting control line to the logical operator. Consequently, the setting operation, the input operation, or the like of the current  
5 source circuit 420 can be precisely performed.

According to the present invention, the signal (corresponding to the video signal) output from the second latch circuit is used for two cases: one case where the signal is used as the video signal that is input to the pixel; and the other case where the signal is used as the setting signal for the current source circuit.  
10 Specifically, when the signal (corresponding to the video signal) output from the second latch circuit is used as the video signal that is input to the pixel, the current source circuit of the signal line driver circuit performs the input operation. Further, when the signal (corresponding to the video signal) output from the second latch circuit, is used as the setting signal for the current source circuit, the  
15 current source circuit performs the setting operation.

Thus, if the video signal that is output from the second latch circuit is input, as it is, to the terminal a of the current source circuit, when the video signal is input to the pixel, the current source circuit of the signal line driver circuit simultaneously performs the setting operation. That is, the current source circuit  
20 of the signal line driver circuit performs the setting operation and the input operation simultaneously. In this case, since the video signal varies depending on the image to be displayed, the setting operation cannot be precisely performed.

From the above, in the present invention, the timing of the setting operation performed by the current source circuit is controlled by using the signal  
25 supplied from the setting control line. In addition, control is conducted concerning in which column-current source circuit the setting operation is conducted. As a result, when the video signal is used as the video signal to be input to the pixel, the current source circuit in the signal line driver circuit is not influenced. In addition, when the video signal is used as the setting signal for the  
30 current source circuit in the signal line driver circuit to perform the setting



operation, control is performed for the setting control line so that the current source circuit does not perform an input operation, whereby the setting operation of the current source circuit can be precisely performed.

Note that a shift register has a structure including, for example, flip-flop  
5 circuits (FFs) in a plurality of columns. A clock signal (S-CLK), a start pulse (S-SP), and an inverted clock signal (S-CLKb) are input to the shift register, and signals serially output according to the timing of the input signals are called sampling pulses.

In FIG. 6(A), a circuit including switches 104, 105a, and 116, a transistor  
10 102 (n-channel type), and a capacitor element 103 for retaining a gate-source voltage VGS of the transistor 102 corresponds to the current source circuit 420.

In the current source circuit 420, the switch 104 and the switch 105a are turned ON by a signal input via the terminal a. Then, a current (reference current) is supplied via the terminal b from the reference constant current source  
15 109 (hereinafter referred to as constant current source 109) connected to the current line, and a predetermined charge is retained in the capacitor element 103. The charge is retained until the current (reference current) supplied from the constant current source 109 becomes identical with a drain current of the transistor 102.

20 Then, the switch 104 and the switch 105a are turned OFF by a signal input via the terminal a. As a result, since the predetermined charge is retained in the capacitor element 103, the transistor 102 is imparted with a capability of flowing a current having a magnitude corresponding to that of the signal current  $I_{data}$ . If the switch 101 (signal current control switch) and the switch 116 are turned into a  
25 conductive state, a current flows to a pixel connected to the signal line via the terminal c. At this time, since the gate voltage of the transistor 102 is maintained by the capacitor element 103 at a predetermined gate voltage, a drain current corresponding to the signal current  $I_{data}$  flows to the drain region of the transistor 102. Thus, the magnitude of the current input to the pixel can be controlled  
30 without being influenced by the variation in characteristics of the transistors

constituting the signal line driver circuit.

In the case where the switch 101 (signal current control switch) is not disposed, when the switch 116 is turned into a conductive state, a current flows to the pixel connected to the signal line via the terminal c.

5        The connection structure of the switch 104 and the switch 105a is not limited to the structures shown in FIG. 6(A). For example, the structure may be such that one of terminals of the switch 104 is connected to the terminal b, and the other terminal is connected between itself and the gate electrode of the transistor 102; and one of terminals of the switch 105a is connected to the terminal b via the  
10 switch 104, and the other terminal is connected to the switch 106. Then, the switch 104 and the switch 105a are controlled by a signal input from the terminal a.

Alternatively, the switch 104 may be disposed between the terminal b and the gate electrode of the transistor 102, and the switch 105a may be disposed  
15 between the terminal b and the switch 116. Specifically, referring to FIG. 38(A), wirings, switches, and the like may be disposed such that the connection is structured as shown in FIG. 38(A1) in the setting operation, and the connection is structured as shown in FIG. 38(A2) in the input operation. The number of wirings, the number of switches, and the structure are not particularly limited.

20        In the current source circuit 420 of FIG. 6(A), the signal setting operation (setting operation) cannot be performed simultaneously with the signal inputting operation (input operation) to the pixel.

Referring to FIG. 6(B), a circuit including a switch 124, a switch 125a, a transistor 122 (n-channel type), a capacitor element 123 for retaining a gate-source  
25 voltage VGS of the transistor 122, and a transistor 126 (n-channel type) corresponds to the current source circuit 420.

The transistor 126 functions as either a switch or a part of a current source transistor.

In the current source circuit 420, the switch 124 and the switch 125 are  
30 turned ON by a signal input via the terminal a. Then, a current (reference

current) is supplied via the terminal b from the constant current source 109 connected to the current line, and a predetermined charge is retained in the capacitor element 123. The charge is retained until the current (reference current) flown from the constant current source 109 becomes identical with a  
5 drain current of the transistor 122. Note that, when the switch 124 is turned ON, since a gate-source voltage  $V_{GS}$  of the transistor 126 is set to 0 V, the transistor 126 is turned OFF.

Subsequently, the switch 124 and the switch 125 are turned OFF. As a result, since the predetermined charge is retained in the capacitor element 123, the  
10 transistor 122 is imparted with a capability of flowing a current having a magnitude corresponding to that of the signal current  $I_{data}$ . If the switch 101 (signal current control switch) is turned into the conductive state, a current flows to a pixel connected to the signal line via the terminal c. At this time, since the gate voltage of the transistor 122 is maintained by the capacitor element 123 at a  
15 predetermined gate voltage, a drain current corresponding to the signal current  $I_{data}$  flows to the drain region of the transistor 122. Thus, the magnitude of the current that is input to the pixel can be controlled without being influenced by the variation in characteristics of the transistors constituting the signal line driver circuit.

20 When the switches 124 and 125 have been turned OFF, gate and source potentials of the transistor 126 are varied not to be the same. As a result, since the charge retained in the capacitor element 123 is distributed also to the transistor 126, and the transistor 126 is automatically turned ON. Here, the transistors 122 and 126 are connected in series, and the gates thereof are connected.  
25 Accordingly, the transistors 122 and 126 each serve as a multi-gate transistor. That is, a gate length  $L$  of the transistor varies between the setting operation and the input operation. Therefore, the value of the current supplied from the terminal b at the time of the setting operation can be made larger than the value of the current supplied from the terminal c at the time of the input operation. Thus,  
30 various loads (such as wiring resistances and cross capacitances) disposed

between the terminal b and the reference constant current source can be charged even faster. Consequently, the setting operation can be completed quickly. In the case where the switch 101 (signal current control switch) is not disposed, when the switch 126 is turned into the conductive state, a current flows via the  
5 terminal c to the pixel connected to the signal line.

The number of wirings, the number of switches, and the structures are not particularly limited. Specifically, referring to FIG. 38(B), wirings and switches may be disposed such that the connection is structured as shown in FIG. 38(B1) in the setting operation, and the connection is structured as shown in FIG. 38(B2) in  
10 the input operation. In particular, in FIG. 38(C2), it is sufficient that the charge accumulated in a capacitor element 107 does not leak.

Note that, in the current source circuit 420 of FIG. 6(B), the signal setting operation (setting operation) cannot be performed simultaneously with the signal inputting operation (input operation) to the pixel.

15 Referring to FIG. 6(C), a circuit including a switch 108, a switch 110, transistors 105b, 106 (n-channel type), and a capacitor element 107 for retaining gate-source voltages VGS of the transistors 105b and 106 corresponds to the current source circuit 420.

In the current source circuit 420, the switch 108 and the switch 110 are  
20 turned ON by a signal input via the terminal a. Then, a current (reference current) is supplied via the terminal b from the constant current source 109 connected to the current line, and a predetermined charge is retained in the capacitor element 107. The charge is retained until the current (reference current) flown from the constant current source 109 becomes identical with a  
25 drain current of the transistor 105b. At this time, since the gate electrodes of the transistor 105b and of the transistor 106 are connected to each other, the gate voltages of the transistor 105b and the transistor 106 are retained by the capacitor element 107.

Then, the switch 108 and the switch 110 are turned OFF by a signal input  
30 via the terminal a. As a result, since the predetermined charge is retained in the

capacitor element 107, the transistor 106 is imparted with a capability of flowing a current having a magnitude corresponding to that of the current (reference current). If the switch 101 (signal current control switch) is turned to the conductive state, a current flows to a pixel connected to the signal line via the terminal c. At this  
5 time, since the gate voltage of the transistor 106 is maintained by the capacitor element 107 at a predetermined gate voltage, a drain current corresponding to the current (reference current) flows to the drain region of the transistor 106. Thus, the magnitude of the current input to the pixel can be controlled without being influenced by the variation in characteristics of the transistors constituting the  
10 signal line driver circuit.

Note that, in the case where the switch 101 (signal current control switch) is not disposed, a current flows to the pixel connected to the signal line via the terminal c.

At this time, characteristics of the transistor 105b and the transistor 106  
15 need to be the same to cause the drain current corresponding to the signal current  $I_{data}$  to flow precisely to the drain region of the transistor 106. To be more specific, values such as mobilities and thresholds of the transistor 105b and the transistor 106 need to be the same. In addition, in FIG. 6(C), the value of  $W$  (gate width)/ $L$  (gate length) of each of the transistor 105b and the transistor 106  
20 may be arbitrarily set, and a current proportional to the current supplied from the constant current source 109 may be flown to the pixel.

Further, the value of  $W/L$  of the transistor 105b or the transistor 106 that is connected to the constant current source 109 is set high, whereby the write speed can be increased by supplying a large current from the constant current  
25 source 109.

With the current source circuit 420 shown in FIG. 6(B), the signal setting operation (setting operation) can be performed simultaneously with the signal inputting operation (input operation) to the pixel.

Each of the current source circuits 420 of FIGs. 6(D) and 6(E) has the  
30 same circuit element connection structures as that of the current source circuit 420

of FIG. 6(C), except for the connection structure of the switch 110. In addition, since the operation of the current source circuit 420 of each of FIGs. 6(D) and 6(E) conforms to the operation of the current source circuit 420 of FIG. 6(C), a description thereof will be omitted here.

5        Note that, the number of wirings, the number of switches, and the structures are not particularly limited. Specifically, referring to FIG. 38(C), wirings and switches may be disposed such that the connection is structured as shown in FIG. 38(C1) in the setting operation, and the connection is structured as shown in FIG. 38(C2) in the input operation. In particular, in FIG. 38(C2), it is  
10        sufficient that the charge accumulated in the capacitor element 107 does not leak.

Referring to FIG. 39(A), a circuit including switches 195b, 195c, 195d, and 195f, a transistor 195a, and a capacitor element 195e corresponds to the current source circuit. In the current source circuit shown in FIG. 39(A), the switches 195b, 195c, 195d, and 195f are turned ON by a signal input via the  
15        terminal a. Then, a current is supplied via the terminal b from the constant current source 109 connected to the current line. A predetermined charge is retained in the capacitor element 195e until the signal current supplied from the constant current source 109 becomes identical with a drain current of the transistor 195a.

20        Then, the switches 195b, 195c, 195d, and 195f are turned OFF by a signal input via the terminal a. At this time, since the predetermined charge is retained in the capacitor element 195e, the transistor 195a is imparted with a capability of flowing a current having a magnitude corresponding to that of the signal current. This is because the gate voltage of the transistor 195a is set by the capacitor  
25        element 195a to a predetermined gate voltage, and a drain current corresponding to a current (reference current) flows to the drain region of the transistor 195a. In this state, a current is supplied to the outside via the terminal c. Note that, in the current source circuit shown in FIG. 39(A), the operation for setting the current source circuit to have a capability of flowing a signal current cannot be  
30        performed simultaneously with the input operation for inputting the signal current

to the pixel. In addition, when a switch controlled by the signal input via the terminal a is ON, and also, when a current is controlled not to flow from the terminal c, the terminal c needs to be connected to another wiring of the other potential. Here, the wiring potential is represented by  $V_a$ .  $V_a$  may be a  
5 potential sufficient to flow a current flowing from the terminal b as it is, and may be a power supply voltage  $V_{dd}$  as an example.

Note that, the number of wirings, the number of switches, and the structures are not particularly limited. Specifically, referring to FIGs. 39(B) and 39(C), wirings and switches may be disposed such that the connection is  
10 structured as shown in either FIG. 39(B1) or 39(C1) in the setting operation, and the connection is structured as shown in either FIG. 39(B2) or 39(C2) in the input operation.

Further, in the current source circuits of FIGs. 6(A) and 6(C) to 6(E), the current-flow directions (directions from the pixel to the signal line driver circuit)  
15 are the same. The polarity (conductivity type) of each of the transistor 102, the transistor 105b, and the transistor 106 can be of p-channel type.

FIG. 7(A) shows a circuit structure in which the current-flow direction (direction from the pixel to the signal line driver circuit) is the same, and the transistor 102 shown in FIG. 6(A) is set to be of p-channel type. In FIG. 6(A),  
20 with the capacitor element disposed between the gate and the source, even when the source potential varies, the gate-source voltage can be maintained. Further, FIGs. 7(B) to 7(D) show circuit diagrams in which the current-flow directions (directions from the pixel to the signal line driver circuit) are the same, and the transistor 105b and the transistor 106 shown in FIGs. 6(C) to 6(E) are set to be of  
25 p-channel type.

Further, FIG. 40(A) shows a case where the transistor 195a is set to be of p-channel type in the structure of FIG. 39. FIG. 40(B) shows a case where the transistors 122 and 126 are set to be of p-channel type in the structure of FIG. 6(B).

30 Referring to FIG. 42, a circuit including switches 104 and 116, a transistor

102, a capacitor element 103, and the like corresponds to the current source circuit.

FIG. 42(A) corresponds to the circuit of FIG. 6(A) that is partly modified. In the current source circuit of FIG. 42(A), the transistor gate width  $W$  varies  
5 between the setting operation of the current source and the input operation. Specifically, in the setting operation, the connection is structured as shown in FIG. 42(B), in which the gate width  $W$  is large. In the input operation, the connection is structured as shown in FIG. 42(C), in which the gate width  $W$  is small. Therefore, the value of the current supplied from the terminal  $b$  at the time of the  
10 setting operation can be made larger than the value of the current supplied from the terminal  $c$  at the time of the input operation. Thus, various loads (such as wiring resistances and cross capacitances) disposed between the terminal  $b$  and the reference constant current source can be charged even faster. Consequently, the setting operation can be completed quickly.

15 Note that, FIG. 42 shows the circuit of FIG. 6(A) that is partly modified. In addition, the circuit can be easily applied to, for example, other circuits shown in FIG. 6 and to the circuits shown in FIG. 7, FIG. 39, FIG. 40, and FIG. 41.

Note that, in each of the current source circuits shown in FIGs. 6, 7, and 39, a current flows from the pixel to the signal line driver circuit. However, the  
20 current not only flows from the pixel to the signal line driver circuit, but also may flow from the signal line driver circuit to the pixel. The direction of the current flow depends on the pixel structure. In the case where the current flows from the signal line driver circuit to the pixel,  $V_{ss}$  (low potential power source) may be changed to  $V_{dd}$  (high potential power source), and the transistors 102, 105b, 106,  
25 122, and 126 may be set to be of p-channel type in FIG. 6. Also in FIG. 7,  $V_{ss}$  may be changed to  $V_{ss}$ , and the transistors 102, 105b, and 106 may be of n-channel type.

Note that, in all the current source circuits described above, the disposed capacitor element may not be disposed by being substituted by, for example, a  
30 gate capacitance of a transistor.



In the circuits of FIGs. 7(A) to 7(D) and 40(A) and 40(B), wirings and switches may be disposed such that the connection is structured as shown in FIGs. 41(A1) to 41(D1) in the setting operation, and the connection is structured as shown in FIGs. 41(A2) to 41(D2) in the input operation. The number of wirings  
5 and the number of switches are not particularly limited.

Hereinafter, a description will be made in detail regarding the operations of the current source circuits of FIGs. 6(A), 7(A), 6(C) to 6(E), and 7(B) to 7(D) among those described above by using FIGs. 6 and 7. To begin with, the operations of the current source circuits of FIGs. 6(A) and 7(A) will be described  
10 with reference to FIG. 19.

FIGs. 19(A) to 19(C) schematically show paths of a current flowing among circuit elements. FIG. 19(D) shows the relationship between the current flowing through each path and the time in writing the signal current  $I_{data}$  to the current source circuit. FIG. 19(E) shows the relationship between the voltage  
15 accumulated in a capacitor element 16, that is, the gate-source voltage of a transistor 15, and the time in writing the signal current  $I_{data}$  to the current source circuit. In the circuit diagrams of FIGs. 19(A) to 19(C), numeral 11 denotes a reference constant current source, switches 12 to 14 each are a semiconductor device having a switching function, numeral 15 denotes a transistor (n-channel  
20 type), numeral 16 denotes a capacitor element, and numeral 17 denotes a pixel. In this embodiment mode, the switch 14, the transistor 15, and the capacitor element 16 form an electric circuit corresponding to a current source circuit 20. Drawing wirings and reference symbols are shown in FIG. 19(A). Since drawing wirings and reference symbols shown in FIGs. 19(B) and 19(C) are similar to  
25 those shown in FIG. 19(A), they are omitted here.

A source region of the n-channel transistor 15 is connected to  $V_{ss}$ , and a drain region thereof is connected to the reference constant current source 11. One of electrodes of the capacitor element 16 is connected to  $V_{ss}$  (the source of the transistor 15), and the other electrode is connected to the switch 14 (the gate of the transistor 15). The capacitor element 16 plays a role of holding the  
30

gate-source voltage of the transistor 15.

The pixel 17 is formed of a light emitting element, a transistor, or the like. The light emitting element includes an anode, a cathode, and a light emitting layer sandwiched between the anode and the cathode. In this specification, when the  
5 anode is used as a pixel electrode, the cathode is referred to as an opposing electrode; in contrast, when the cathode is used as a pixel electrode, the anode is referred to as an opposing electrode. The light emitting layer can be formed of a known light emitting material. The light emitting layer has two structures: a  
10 single layer structure and a laminate structure, and the present invention may use any one of known structures. Luminescence in the light emitting layer includes light emission (fluorescence) in returning from a singlet excited state to a normal state and light emission (phosphorescence) in returning from a triplet excited state to a normal state. The present invention may be applied to a light emitting device using either one or both of the two types of light emission. Further, the  
15 light emitting layer is formed of a known material such as an organic material or an inorganic material.

Note that, in practice, the current source circuit 20 is provided in the signal line driver circuit. A current corresponding to the signal current  $I_{data}$  flows via, for example, a circuit element included in the signal line or the pixel from the  
20 current source circuit 20 provided in the signal line driver circuit. However, since FIG. 19 is a diagram for briefly explaining the outline of the relationship among the reference constant current source 11, the current source circuit 20, and the pixel 17, a detailed illustration of the structure is omitted.

First, an operation (setting operation) of the current source circuit 20 for  
25 retaining the signal current  $I_{data}$  will be described by using FIGs. 19(A) and 19(B). Referring to FIG. 19(A), the switch 12 and the switch 14 are turned ON, and the switch 13 is turned OFF. In this state, the signal current  $I_{data}$  is output from the reference constant current source 11, and flows to the current source circuit 20 from the reference constant current source 11. At this time, since the signal  
30 current  $I_{data}$  is flowing from the reference constant current source 11, the current

flows separately through current paths  $I_1$  and  $I_2$  in the current source circuit 20, as shown in FIG. 19(A). FIG. 19(D) shows the relationship at this time. Needless to say, the relationship is expressed as  $I_{\text{data}} = I_1 + I_2$ .

The moment the current starts to flow from the reference constant current source 11, since no charge is accumulated in the capacitor element 16, the transistor 15 is OFF. Accordingly,  $I_2 = 0$  and  $I_{\text{data}} = I_1$  are established.

Charge is gradually accumulated into the capacitor element 16, and a potential difference begins to occur between both electrodes of the capacitor element 16 (FIG. 19(E)). When the potential difference of both the electrodes has reached  $V_{\text{th}}$  (point A in FIG. 19(E)), the transistor 15 is turned ON, and  $I_2 > 0$  is established. As described above, since  $I_{\text{data}} = I_1 + I_2$ , while  $I_1$  gradually decreases, the current keeps flowing. Charge accumulation is continuously performed in the capacitor element 16.

The potential difference between both the electrodes of the capacitor element 16 serves as the gate-source voltage of the transistor 15. Thus, charge accumulation in the capacitor element 16 continues until the gate-source voltage of the transistor 15 reaches a desired voltage, that is, a voltage (VGS) that allows the transistor is to be flown with the current  $I_{\text{data}}$ . When charge accumulation terminates (B point in FIG. 19(E)), the current  $I_1$  stops flowing. Further, since the TFT 15 is ON,  $I_{\text{data}} = I_2$  is established (FIG. 19(B)).

Next, an operation (input operation) for inputting the signal current  $I_{\text{data}}$  to the pixel will be described by using FIG. 19(C). When the signal current  $I_{\text{data}}$  is input to the pixel, the switch 13 is turned ON, and the switch 12 and the switch 14 are turned OFF. Since VGS written in the above-described operation is held in the capacitor element 16, the transistor 15 is ON. A current identical with the signal current  $I_{\text{data}}$  flows to Vss via the switch 13 and transistor 15, and the input of the signal current  $I_{\text{data}}$  to the pixel is then completed. At this time, when the transistor 15 is set to operate in a saturation region, even if the source-drain voltage of the transistor 15 varies, a constant current is supplied to the light emitting element.

In the current source circuit 20 shown in FIG. 19, as shown in FIGs. 19(A) to 19(C), the operation is divided into an operation (setting operation; corresponding to FIGs. 19(A) and 19(B)) for completing a write of the signal current  $I_{data}$  to the current source circuit 20, and an operation (input operation; 5 corresponding to FIG. 19(C)) for inputting the signal current  $I_{data}$  to the pixel). Then, in the pixel, a current is supplied to the light emitting element in accordance with the input signal current  $I_{data}$ .

The current source circuit 20 of FIG. 19 is not capable of performing the setting operation and the input operation simultaneously. In the case where the 10 setting operation and the input operation need to be performed simultaneously, at least two current source circuits are preferably provided to each of a plurality of signal lines each of which is connected with a plurality of pixels and which are provided in a pixel portion. However, if the setting operation can be performed within a period during which the signal current  $I_{data}$  is not input to the pixel, only 15 one current source circuit may be provided for each signal line (each column).

Although the transistor 15 of the current source circuit 20 shown in each of FIGs. 19(A) to 19(C) is of n-channel type, the transistor 15 of the current source circuit 20 may be of p-channel type, of course. Here, a circuit diagram for the case where the transistor 15 is of p-channel type is shown in FIG. 19. 20 Referring to FIG. 19(F), numeral 31 denotes a reference constant current source, switches 32 to 34 each are a semiconductor device (transistor) having a switching function, numeral 35 denotes a transistor (p-channel type), numeral 36 denotes a capacitor element, and numeral 37 denotes a pixel. In this embodiment mode, the switch 34, the transistor 35, and the capacitor element 36 form an electric 25 circuit corresponding to a current source circuit 24.

The transistor 35 is of p-channel type. One of a source region and a drain region of the transistor 35 is connected to Vdd, and the other is connected to the constant current source 31. One of electrodes of the capacitor element 36 is connected to Vdd, and the other electrode is connected to the switch 36. The 30 capacitor element 36 plays a role of holding the gate-source voltage of the

transistor 35.

Operation of the current source circuit 24 of FIG. 19(F) is similar to the operation of the current source circuit 20 described above, except for the current-flow direction, and thus, a description thereof will be omitted here. In the case of designing the current source circuit in which the polarity of the transistor 15 is changed without changing the current-flow direction, the circuit diagram of FIG. 7(A) may be referenced.

Note that in FIG. 43, the current-flow direction is the same as in FIG. 19(F), in which the transistor 35 is of n-channel type. The capacitor element 36 is connected between the gate and the source of the transistor 35. The source potential of the transistor 35 varies between the setting operation and the input operation. However, even when the source potential varies, since the gate-source voltage is retained, a normal operation is implemented.

Next, operations of the current source circuits shown in FIGs. 6(C) to 6(E) and FIGs. 7(B) to 7(D) will be described by using FIGs. 20 and 21. FIGs. 20(A) to 20(C) schematically show paths through which a current flows among circuit elements. FIG. 20(D) shows the relationship between the current flowing through each path and the time in writing the signal current  $I_{data}$  to the current source circuit. FIG. 20(E) shows the relationship between the voltage accumulated in a capacitor element 46, that is, the gate-source voltages of transistor 43, 44, and the time in writing the signal current  $I_{data}$  to the current source circuit. Further, in the circuit diagrams of FIGs. 20(A) to 20(C), numeral 41 denotes a reference constant current source, a switch 42 is a semiconductor device having a switching function, numerals 43 and 44 denote transistors (n-channel type), numeral 46 denotes a capacitor element, and numeral 47 denotes a pixel. In this embodiment mode, a circuit including the switch 42, the transistors 43 and 44, and the capacitor element 46 is an electric circuit corresponding to a current source circuit 25. Note that drawing wirings and reference symbols are shown in FIG. 20(A), and since drawing wirings and reference symbols shown in FIGs. 20(B) and 20(C) conform to those shown in

FIG. 20(A), they are omitted.

A source region of the n-channel transistor 43 is connected to  $V_{ss}$ , and a drain region thereof is connected to the reference constant current source 41. A source region of the n-channel transistor 44 is connected to  $V_{ss}$ , and a drain region thereof is connected to a terminal 48 of the light emitting element 47. One of electrodes of the capacitor element 46 is connected to  $V_{ss}$  (the sources of the transistors 43 and 44), and the other electrode thereof is connected to the gate electrodes of the transistors 43 and 44. The capacitor element 46 plays a role of holding gate-source voltages of the transistors 43 and 44.

Note that, in practice, the current source circuit 25 is provided in the signal line driver circuit. A current corresponding to the signal current  $I_{data}$  flows via, for example, a circuit element included in the signal line or the pixel, from the current source circuit 25 provided in the signal line driver circuit. However, since FIG. 20 is a diagram for briefly explaining the outline of the relationship among the reference constant current source 41, the current source circuit 25, and the pixel 47, a detailed illustration of the structure is omitted.

In the current source circuit 25 of FIG. 20, the sizes of the transistors 43 and 44 are important. Hereinafter, using different reference symbols, a case where the sizes of the transistors 43 and 44 are identical and a case the sizes are mutually different will be described. Referring to FIGs. 20(A) to 20(C), the case where the sizes of the transistors 43 and 44 are mutually identical will be described by using the signal current  $I_{data}$ . The case where the sizes of the transistors 43 and 44 are mutually different will be described by using a signal current  $I_{data1}$  and a signal current  $I_{data2}$ . Note that the sizes of the transistors 43 and 44 are determined using the value of  $W$  (gate width)/ $L$  (gate length) of each transistor.

First, the case where the sizes of the transistors 43 and 44 are mutually identical will be described. To begin with, operation for retaining the signal current  $I_{data}$  in the current source circuit 20 will be described by using FIGs. 20(A) and 20(B). Referring to FIG. 20(A), when the switch 42 is turned ON, the signal

current  $I_{data}$  is set in the reference constant current source 41, and flows from the reference constant current source 41 to the current source circuit 25. At this time, since the signal current  $I_{data}$  is flowing from the reference constant current source 41, the current flows separately through current paths  $I_1$  and  $I_2$  in the current source circuit 20, as shown in FIG. 20(A). FIG. 20(D) shows the relationship at this time. Needless to say, the relationship is expressed as  $I_{data} = I_1 + I_2$ .

The moment the current starts to flow from the reference constant current source 41, since no charge is yet accumulated in the capacitor element 46, the transistors 43 and 44 are OFF. Accordingly,  $I_2 = 0$  and  $I_{data} = I_1$  are established.

Then, charge is gradually accumulated into the capacitor element 46, and a potential difference begins to occur between both electrodes of the capacitor element 46 (FIG. 20(E)). When the potential difference of both the electrodes has reached  $V_{th}$  (point A in FIG. 20)), the transistors 43 and 44 are turned ON, and  $I_2 > 0$  is established. As described above, since  $I_{data} = I_1 + I_2$ , while  $I_1$  gradually decreases, the current keeps flowing. Charge accumulation is continuously performed in the capacitor element 46.

The potential difference between both the electrodes of the capacitor element 46 serves as the gate-source voltage of each of the transistors 43 and 44. Thus, charge accumulation in the capacitor element 46 continues until the gate-source voltages of the transistors 43 and 44 each reach a desired voltage, that is, a voltage (VGS) that allows the transistor 44 to be flown with the current  $I_{data}$ . When charge accumulation terminates (B point in FIG. 20(E)), the current  $I_1$  stops flowing. Further, since the transistors 43 and 44 are ON,  $I_{data} = I_2$  is established (FIG. 20(B)).

Next, operation for inputting the signal current  $I_{data}$  to the pixel will be described by using FIG. 20(C). First, the switch 42 is turned OFF. Since predetermined charge is retained in the capacitor element 46, the transistors 43 and 44 are ON. A current identical with the signal current  $I_{data}$  flows from the pixel 47. Thus, the signal current  $I_{data}$  is input to the pixel. At this time; when the transistor 44 is set to operate in a saturation region, even if the source-drain

voltage of the transistor 44 varies, the current flowing in the pixel can be flown without variation.

In the case of a current mirror circuit shown in FIG. 6(C), even when the switch 42 is not turned OFF, a current can be flown to the pixel 47 by using the current supplied from the reference constant current source 41. That is, the setting operation for setting a signal for the current source circuit 20 can be implemented simultaneously with the operation (input operation) for inputting a signal to the pixel.

Next, a case where the sizes of the transistors 43 and 44 are mutually different will be described. An operation of the current source circuit 25 is similar to the above-described operation; therefore, a description thereof will be omitted here. When the sizes of the transistors 43 and 44 are mutually different, the signal current  $I_{data1}$  set in the reference constant current source 41 is inevitably different from the signal current  $I_{data2}$  that flows to the pixel 47. The difference therebetween depends on the difference between the values of  $W$  (gate width)/ $L$  (gate length) of the transistors 43 and 44.

In general, the  $W/L$  value of the transistor 43 is preferably set larger than the  $W/L$  value of the transistor 44. This is because the signal current  $I_{data1}$  can be increased when the  $W/L$  value of the transistor 43 is set large. In this case, when the current source circuit is set with the signal current  $I_{data1}$ , Loads (cross capacitances, wiring resistances) can be charged. Thus, the setting operation can be completed quickly.

The transistors 43 and 44 of the current source circuit 25 in each of FIGs. 20(A) to 20(C) are of n-channel type, but the transistors 43 and 44 of the current source circuit 25 may be of p-channel type. Here, FIG. 21 shows a circuit diagram in which the transistors 43 and 44 are of p-channel type.

Referring to FIG. 21, numeral 41 denotes a constant current source, a switch 42 is a semiconductor device having a switching function, numerals 43 and 44 denote transistors (p-channel type), numeral 46 denotes a capacitor element, and numeral 47 denotes a pixel. In this embodiment mode, the switch 42, the



transistors 43 and 44, and the capacitor element 46 form an electric circuit corresponding to a current source circuit 26.

A source region of the p-channel transistor 43 is connected to Vdd, and a drain region thereof is connected to the constant current source 41. A source  
5 region of the p-channel transistor 44 is connected to Vdd, and a drain region thereof is connected to a terminal 48 of the light emitting element 47. One of electrodes of the capacitor element 46 is connected to (source), and the other electrode is connected to the gate electrodes of the transistors 43 and 44. The capacitor element 46 plays a role of holding gate-source voltages of the transistors  
10 43 and 44.

Operation of the current source circuit 24 of FIG. 21 is similar to that shown in each of FIGs. 20(A) to 20(C) except for the current-flow direction, and thus, a description thereof will be omitted here. In the case of designing the current source circuit in which the polarities of the transistors 43 and 44 are  
15 changed without changing the current-flow direction, the circuit diagram of FIG. 7(B) may be referenced.

In addition, the transistor polarity can be changed without changing the current-flow direction. This conforms to the operation illustrated in FIG. 43, so that a description thereof will be omitted here.

20 In summary, in the current source circuit of FIG. 19, the current having the same magnitude as that of the signal current  $I_{data}$  set in the current source flows to the pixel. In other words, the signal current  $I_{data}$  set in the constant current source is identical in value with the current flowing to the pixel. The current is not influenced by variation in characteristics of the transistors provided in the  
25 current source circuit.

In each of the current source circuits of FIG. 19 and FIG. 6(B), the signal current  $I_{data}$  cannot be output to the pixel from the current source circuit in a period during which the setting operation is performed. Thus, two current source  
circuits are preferably provided for each signal line, in which an operation (setting  
30 operation) for setting a signal is performed to one of the current source circuits,

and an operation (input operation) for inputting  $I_{data}$  to the pixel is performed using the other current source circuit.

However, in the case where the setting operation and the input operation are not performed at the same time, only one current source circuit may be provided for each column. The current source circuit of each of FIGs. 39(A) and 40(A) is similar to the current source circuit of FIG. 19, except for the connection and current-flow paths. The current source circuit of FIG. 42(A) is similar, except for the difference in magnitude between the current supplied from the constant current source and the current flowing from the current source circuit.

10 The current source circuits of FIGs. 6(B) and 40(B) are similar, except for the difference in magnitude between the current supplied from the constant current source and the current flowing from the current source circuit. Specifically, in FIG. 42(A), only the gate width  $W$  of the transistor is different between the setting operation and the input operation; in FIGs. 6(B) and 40(B), only the gate length  $L$

15 is different between the setting operation and the input operation; and others are similar to those of the structure of the current source circuit in FIG. 19.

In each of the current source circuits of FIGs. 20 and 21, the signal current  $I_{data}$  set in the constant current source and the value of the current flowing to the pixel are dependent on the sizes of the two transistors provided in the current source circuit. In other words, the signal current  $I_{data}$  set in the constant current source and the current flowing to the pixel can be arbitrarily changed by arbitrarily designing the sizes ( $W$  (gate width)/ $L$  (gate length)) of the two transistors provided in the current source circuit. However, output of precise signal current  $I_{data}$  to the pixel is difficult in the case where variation is caused in

20 the characteristics of the two transistors, such as threshold values and mobilities.

25

Further, in each of the current source circuits of FIGs. 20 and 21, the signal can be input to the pixel during the setting operation. That is, the setting operation for setting the signal can be performed simultaneously with the operation (input operation) for inputting the signal to the pixel. Thus, unlike the current source circuit of FIG. 19, two current source circuits do not need to be

30

provided in a single signal line.

The present invention with the above structure can suppress the influence of variation in the TFT characteristics and supply a desired current to the outside.

5 [Embodiment Mode 2]

The above has described that, for the current source circuit shown in FIG. 19 (or, FIG. 6(B), 40(B), 42(A), or the like), preferably, two current source circuits are provided for each signal line (each column), in which one of the current source circuits is used to perform the setting operation, and the other current source  
10 circuit is used to perform the setting operation. This is because the setting operation and the input operation cannot be performed simultaneously. In this embodiment mode, the structure and operation of either the first current source circuit 421 or the second current source circuit 422 shown in FIG. 2 will be described with reference to FIG. 8.

15 Note that the signal line driver circuit includes the current source circuit 420, the shift register, the latch circuits, and the like.

In the present invention, a setting signal input from a terminal a corresponds to a video signal supplied from a second latch circuit 413. That is, the setting signal in FIG. 2 corresponds to the video signal supplied from the  
20 second latch circuit 413. However, since the video signal is also used to control a pixel, the video signal is not directly input to the current source circuit 420, but input thereto via a logical operator. The logical operator enables switching between the case of using the video signal to control the pixel (to display an image) and the case of using the video signal to control the current source circuit.  
25 Specifically, the setting signal input from the terminal a corresponds to the signal supplied from an output terminal of the logical operator that is connected to a setting control line (not shown in FIG. 1). The present invention performs setting of the current source circuit 420 in accordance with the timing of the signal supplied from the output terminal of the logical operator and the control line.

30 One of two input terminals of the logical operator is input with the signal

(corresponding to the video signal) supplied from the second latch circuit, and the other input terminal is input with the signal from the setting control line. The logical operator performs a logic operation of the input two signals, and outputs a signal from the output terminal. Then, the current source circuit performs either  
5 a setting operation or an input operation according to the signal input from the output terminal of the logical operator.

The current source circuit 420 is controlled by a setting signal input via the terminal a and a signal input via the terminal d, is supplied with a current (reference current) from the terminal b, and outputs a current proportional to the  
10 current (reference current) from the terminal c.

Referring to FIG. 8(A), a circuit including switches 134 to 139, a transistor 132 (n-channel type), and a capacitor element 133 for retaining a gate-source voltage VGS of the transistor 132 corresponds to the first current source circuit 421 or the second current source circuit 422.

15 In the first current source circuit 421 or the second current source circuit 422, the switch 134 and the switch 136 are turned ON by the signal input via the terminal a. Further, the switch 135 and the switch 137 are turned ON by the signal input from the control line via the terminal d. Then, a current (reference current) is supplied via the terminal b from the reference constant current source  
20 109 connected to the current line, and a predetermined charge is retained in the capacitor element 133. The charge is retained in the capacitor element 133 until the current (reference current) that flows from the constant current source 109 becomes identical with a drain current of the transistor 132.

Subsequently, the switches 134 to 137 are turned OFF by the signals input  
25 through the terminals a and d. As a result, since the predetermined charge is retained in the capacitor element 133, the transistor 132 has a capability of flowing a current having a magnitude corresponding to that of the signal current  $I_{data}$ . If the switch 101 (signal current control switch), the switch 138, and the switch 139 are turned to the conductive state, current flows to a pixel connected to  
30 the signal line via a terminal c. At this time, since the gate voltage of the

transistor 132 is maintained at a predetermined gate voltage by the capacitor element 133, a drain current corresponding to the signal current  $I_{data}$  flows to the drain region of the transistor 132. Thus, the magnitude of the current flown through the pixel can be controlled without being influenced by the variation in  
5 characteristics of the transistors constituting the signal line driver circuit.

In the case where the switch 101 (signal current control switch) is not disposed, when the switches 138 and 139 are turned to the conductive state, current flows to the pixel connected to the signal line via the terminal c.

Referring to FIG. 8(B), a circuit including switches 144 to 147, a  
10 transistor 142 (n-channel type), a capacitor element 143 for retaining a gate-source voltage  $V_{GS}$  of the transistor 142, and a transistor 148 (n-channel type) corresponds to the first current source circuit 421 or the second current source circuit 422.

In the first current source circuit 421 or the second current source circuit  
15 422, the switch 144 and the switch 146 are turned ON by the signal input via the terminal a. Further, the switch 145 and the switch 147 are turned ON by the signal input from the control line via the terminal d. Then, a current (reference current) is supplied via the terminal b from the constant current source 109 connected to the current line, and a charge is retained in the capacitor element 143.  
20 The charge is retained in the capacitor element 143 until the current (reference current) that is flown from the constant current source 109 becomes identical with a drain current of the transistor 142. When the switch 144 and the switch 145 are turned ON, since a gate-source voltage  $V_{GS}$  of the transistor 148 is set to 0 V, the transistor 148 is automatically turned OFF.

25 Subsequently, the switches 144 to 147 are turned OFF by the signals input via the terminals a and d. As a result, since the predetermined charge is retained in the capacitor element 143, the transistor 142 has a capability of flowing a current having a magnitude corresponding to that of the signal current  $I_{data}$ . If the switch 101 (signal current control switch) is turned to the conductive state, current  
30 is supplied to a pixel connected to the signal line via the terminal c. At this time,

the gate voltage of the transistor 142 is previously set to a predetermined gate voltage by the capacitor element 143, and a drain current corresponding to the signal current  $I_{data}$  flows to the drain region of the transistor 142. Thus, the magnitude of the current flown through the pixel can be controlled without being  
5 influenced by the variation in characteristics of the transistors constituting the signal line driver circuit.

When the switches 144 and 145 are turned OFF, a gate and a source of the transistor 142 do not have the same potential. As a result, since the charge retained in the capacitor element 143 is distributed also to the transistor 148, and  
10 the transistor 148 is automatically turned ON. Here, the transistors 142 and 148 are coupled in series, and the gates thereof are connected to each other. Therefore, the transistors 142 and 148 each operate as a multi-gate transistor. That is, a gate length  $L$  of the transistor differs between the setting operation and the input operation. Thus, the value of current supplied from the terminal b in  
15 the setting operation can be made larger than the value of current supplied from the terminal c in the input operation. Thus, various loads (such as wiring resistance and cross capacitance) disposed between the terminal b and the reference constant current source can be charged even faster. Consequently, the setting operation can be completed quickly. In the case where the switch 101  
20 (signal current control switch) is not disposed, when the switches 144 and 145 are turned OFF, current flows to the pixel connected to the signal line via the terminal c.

Note that FIG. 8(A) corresponds to a structure in which the terminal d is added to the structure of FIG. 6(A). FIG. 8(B) corresponds to a structure in  
25 which the terminal d is added to the structure of FIG. 6(B). Thus, the structures of FIGs. 6(A) and 6(B) are added with switches arranged in series, thereby being modified to those of FIGs. 8(A) and 8(B) each of which is added with the terminal d. The structure of the current source circuit shown in, for example, FIG. 6, 7, 39, 40, or 42 can be arbitrarily used by arranging two switches in series in the first  
30 current source circuit 421 or the second current source circuit 422.

The structure in which the current source circuit 420 including for each signal line the two current source circuits, namely, the first and second current source circuits 421 and 422, is shown in FIG. 2. However, the present invention is not limited to this. The number of current source circuits per one signal line is  
5 not particularly limited, and can be set arbitrarily. A plurality of current source circuits may be set such that constant current sources are provided corresponding thereto, and that signal currents are set to the current source circuits by the constant current sources. For example, three current source circuits 420 may be provided for each signal line. Then, a signal current may be set by different  
10 reference constant current sources 109 for the respective current source circuits 420. For example, it may be such that a 1-bit reference constant current source is used to set a signal current for one of the current source circuits 420, a 2-bit reference constant current source is used to set a signal current for one of the current source circuits 420, and a 3-bit reference constant current source is used to  
15 set a signal current for one of the current source circuits 420. Thus, 3-bit display can be performed.

The present invention with the above structure can suppress the influence of variation in TFT characteristics and supply a desired current to the outside.

This embodiment mode may be arbitrarily combined with Embodiment  
20 Mode 1.

### [Embodiment Mode 3]

In this embodiment mode, the structure of a light emitting device including the signal line driver circuit of the present invention will be described  
25 using FIG. 15.

Referring to FIG. 15(A), the light emitting device includes a pixel portion 402 including a plurality of pixels arranged in matrix on a substrate 401, and includes a signal line driver circuit 403 and first and second scanning line driver circuits 404 and 405 in the periphery of the pixel portion 402. While the signal  
30 line driver circuit 403 and the two scanning line driver circuits 404 and 405 are

provided in FIG. 15(A), the present invention is not limited to this. The number of driver circuits may be arbitrarily designed depending on the pixel structure. Signals are supplied from the outside to the signal line driver circuit 403 and the first and second scanning line driver circuits 404 and 405 via FPCs 406.

5       The structures and operations of the first and second scanning line driver circuits 404 and 405 will be described using FIG. 15(B). The first and second scanning line driver circuits 404 and 405 each include a shift register 407 and a buffer 408. The shift register 407 sequentially outputs sampling pulses in accordance with a clock signal (G-CLK), a start pulse (S-SP), and an inverted  
10 clock signal (G-CLKb). Thereafter, the sampling pulses amplified in the buffer 408 are input to scanning lines, and the scanning lines are set to be in a selected state for each line. Signals are sequentially written to pixels controlled by the selected signal lines.

Note that the structure may be such that a level shifter circuit is disposed  
15 between the shift register 407 and the buffer 408. Disposition of the level shifter circuit enables the voltage amplitude to be increased.

This embodiment mode may be arbitrarily combined with Embodiment Modes 1 and 2.

#### 20 [Embodiment Mode 4]

In this embodiment mode, the structure and operation of the signal line driver circuit 403 shown in FIG. 15(A) will be described. In this embodiment mode, the signal line driver circuit 403 used in the case of performing 1-bit digital gradation display will be described by using FIG. 3.

25       First, the case corresponding to FIG. 1 will be described. In addition, a case of line-sequential drive will be described.

FIG. 3(A) is a schematic view of the signal line driver circuit 403 used in the case of performing 1-bit digital gradation display. The signal line driver circuit 403 includes a shift register 411, a first latch circuit 412, a second latch  
30 circuit 413, and a constant current circuit 414.



Operations will be briefly described. The shift register 411 is constituted by, for example, a plurality of flip-flop circuits (FF), and a clock signal (S-CLK), a start pulse (S-SP), and an inverted clock signal (S-CLKb) are input thereto. In accordance with the timing of these signals, sampling pulses are sequentially  
5 output therefrom.

The sampling pulses that have been output from the shift register 411, are input to the first latch circuit 412. Digital video signals have been input to the first latch circuit 412, and a video signal is retained in each column in accordance with the input timing of the sampling pulse.

10 In the first latch circuit 412, upon completion of video-signal retaining operations in columns to the last column, during a horizontal return period, a latch pulse is input to the second latch circuit 413, and video signals retained in the first latch circuit 412 are transferred in batch to the second latch circuit 413. As a result, one-line video signals retained in the second latch circuit 413 are input to  
15 the constant current circuit 414 at the same time.

While the video signals retained in the second latch circuit 413 are being input to the constant current circuit 414, sampling pulses are again output in the shift register 411. Thereafter, the operation is iterated, and one-frame video signals are processed. There may be a case where the constant current circuit  
20 414 plays a role of converting a digital signal into an analog signal.

In the constant current circuit 414, a plurality of current source circuits 420 are provided. FIG. 3(B) outlines the signal line driver circuit in the periphery of three signal lines in  $i$ -th to  $(i+2)$ -th columns.

The current source circuit 420 is controlled by a signal input from a  
25 terminal a. In addition, the current source circuit 420 is supplied with a current via a terminal b from a reference constant current source 109 connected to a current line. A switch 101 (signal current control switch) is provided between the current source circuit 420 and a pixel connected to a signal line  $S_n$  and ON/OFF of the switch 101 (signal current control switch) is controlled by the  
30 video signal. When the video signal is a bright signal, a signal current is

supplied from the current source circuit 420 to the pixel. Further, when the video signal is a dark signal, the switch 101 (signal current control switch) is controlled not to supply a current to the pixel. That is, the current source circuit 420 has a capability of flowing a predetermined current, and whether the current is supplied  
5 to the pixel or not is controlled by the switch 101 (signal current control switch).

For the structure of the current source circuit 420, the structure of the current source circuit shown in, for example, FIG. 6, 7, 39, 40, or 42 can be arbitrarily used. For the current source circuits 420, not only one structure but also a plurality of structures may be employed.

10 The setting signal input from the terminal a corresponds to the video signal supplied from the second latch circuit 413. However, since the video signal is also used for control of the pixel, the video signal is not directly input to the current source circuit 420, and is input thereto via a logical operator. Specifically, the setting signal input from the terminal a corresponds to the signal  
15 supplied from an output terminal of the logical operator that is connected to a setting control line. In the present invention, setting of the current source circuit 420 is performed in accordance with the signal input from the output terminal of the logical operator connected to the setting control line.

One of two input terminals of the logical operator is input with the signal  
20 (corresponding to the video signal) supplied from the second latch circuit and the other terminal is input with the signal from the setting control line. The logical operator performs a logic operation of the input two signals, and outputs a signal from the output terminal. Then, in the current source circuit, a setting operation or an input operation is performed in accordance with the signal supplied from the  
25 output terminal of the logical operator.

Note that, in the case where the structure shown in either FIG. 6(A) or 7(A) is used for the current source circuit 420, the setting operation cannot be performed while the input operation is performed, as described above. Therefore, the setting operation needs to be performed in a period during which the input  
30 operation is not performed. However, a case can occur where periods during

which the input operation is not performed do not exist continuously but are dotted in one frame period. In this case, it is preferable to allow random selection for an arbitrary column instead of sequential selection for respective columns.

5        In the present invention, the video signal is used to specify the current source circuit when performing the setting operation of the current source circuit. Therefore, the setting operation of the current source circuit can also be not performed sequentially from the first to last columns but performed at random. Specifically, the video signal is inherently a signal containing image information.  
10    Thus, it can be easily realized that image information related to a certain column is set to have the same value as that of image information related to another column, and that image information related to only a certain column is set to have a unique value and pieces of image information related to other columns are set to have identical values. That is, the value of the video signal of each column can  
15    be set arbitrarily. Therefore, when a video signal of only a certain column is set to have a unique value, only the column can be set to a selected state. When performing the setting operation for the subsequent current source circuit, a video signal of only a completely different column is to have a unique value so that only the column can be set to the selected state. In this way, an arbitrary column can  
20    be selected without sequentially selecting respective columns.

Moreover, the time length for performing the setting operation can be set arbitrarily long. Specifically, using the video signal, a current source circuit in a certain column is specified to start the setting operation and then, arbitrarily setting can be performed as to when to perform the setting operation for a current  
25    source circuit in the subsequent column. Accordingly, for example, when one period exists during which the setting operation can be performed, the period may be fully used either to perform the setting operation for a current source circuit only in a certain column or to perform the setting operation for current source circuits in a plurality of columns. Thus, the time length for performing the  
30    setting operation can be set long.

When the setting operation can be performed at random for the current source circuit as described above, various advantages are exhibited. For example, in the case where periods during which the setting operation can be performed are dotted in one frame, when an arbitrary column can be selected, the degree of freedom is increased, and the setting operation period can be set long. Even if periods during which the setting operation can be performed are dotted in one frame, in the case where an arbitrary column cannot be selected, and the columns need to be sequentially performed from the first column, one of the periods during which the setting operation can be performed and which are dotted in one frame needs to be used to sequentially select the columns from the first column. Consequently, the setting operation period per column is short.

Another advantage is that the influence of charge leakage in the capacitor element (corresponding to, for example, a capacitor element 103 in FIG. 6(A), a capacitor element 123 in FIG. 6(B), or a capacitor element 107 in FIG. 6(C)) disposed in the current source circuit 420 can be made inconspicuous. Thus, when a defect has occurred in association with the setting operation, the defect can be made inconspicuous.

Thus, the capacitor element is disposed in the current source circuit 420. However, the capacitor element may be substituted by a gate capacitance of the transistor. A predetermined charge is accumulated in the capacitor element through the setting operation for the current source circuit. Ideally, the setting operation for the current source circuit may be performed only once when the power source is input. Specifically, when the signal line driver circuit is operated, the setting operation may be performed only once during the initial period of the operation. This is because the amount of charge accumulated in the capacitor element does not need to be varied depending on, for example, the operation state and the time, and is not varied. In practice, however, various noises may enter the capacitor element, or a leak current flows from the transistor connected to the capacitor element. As a result, the amount of charge accumulated in the capacitor element may gradually vary as time passes. When

the charge amount varies, the current to be output from the current source circuit varies. As a result, the current to be input to the pixel varies. This varies the luminance of the pixel. To prevent the variation in the charge accumulated in the capacitor element, there arises a need that the setting operation for the current  
5 source circuit is periodically performed in a certain cycle, the charge is refreshed, the varied charge is returned to the original state, and the proper amount of charge is restored.

Suppose, in the case where the amount of charge accumulated in the capacitor element is large, the setting operation for the current source circuit is  
10 performed, the charge is refreshed, the varied charge is returned to the original state, and the proper amount of charge is restored. In association with this, the variation is increased in the amount of the current output from the current source circuit. Thus, when the setting operation is sequentially performed from the first column, a case may occur in which there develops a display disturbance at a  
15 degree that the variation in the amount of the current output from the current source circuit is recognizable by the human eye. That is, a case may occur in which there develops a display disturbance at a degree that the variation in the luminance of the pixel, which is caused sequentially from the first column, is recognizable by the human eye. In this case, when the setting operation is not  
20 sequentially performed from the first column but performed at random, the variation in the amount of current output from the current source circuit can be made inconspicuous. As described above, the random selection for the plurality of wirings produces various advantages.

With reference to FIG. 3(B), although the setting operation is performed  
25 in for each column, the present invention is not limited to this. As shown in FIG. 44, the setting operation may be simultaneously performed for a plurality of columns. Hereinafter, "to perform the setting operation for a plurality of columns at a time" is referred to as "to make multi phases". Referring to FIG. 44, while two reference constant current sources 109 are disposed, the setting  
30 operation may be performed for the two reference constant current sources

through differently disposed reference constant current sources.

A detailed structure of the constant current circuit 414 shown in FIG. 3(B) is shown in FIGs. 45 and 46. FIG. 45 shows the circuit in the case where FIG. 6(C) is applied to the portion of the current source circuit. FIG. 46 shows the  
5 circuit in the case where FIG. 6(A) is applied to the portion of the current source circuit.

The video signal is used not only for specification of the current source circuit but for the original use, that is, the pixel control. Thus, the video signal is not directly input to a current source circuit 420, and is input thereto via a logical  
10 operator. In addition, the signal is also input to the logical operator from the setting control line. The logical operator performs a logic operation of the two signals, namely, the video signal and the signal input from the setting control line, and output a signal through the output terminal. According to the signal that has been output from the logical operator, the setting operation is controlled for the  
15 current source circuit.

In this way, the logical operator performs control to switch between the pixel control (image display) and the current source circuit control for the video signal. Therefore, the circuit is not limited to the logical operator, and may be any circuit as long as the circuit is capable of conducting switching between the  
20 pixel control and the current source circuit control. As an example, as shown in FIG. 45, 46, or the like, a switch may be provided to perform switching.

So far, the case of line-sequential drive has been described. Next, the case of dot-sequential drive will be described.

Referring to FIG. 47(A), a video signal supplied from a video line is  
25 sampled in accordance with the timing of a sampling pulse supplied from a shift register 411. Further, the setting operation for a current source circuit 420 is performed in accordance with the video signal. Thus, the dot-sequential drive is performed for the case of the structure shown in FIG. FIG. 47(A).

Note that, in the case where: only in the period during which the sampling  
30 pulse is output, and the video signal is supplied from the video line, a switch 101

(signal current control switch) is turned to the ON state; and no sampling pulse is output, no video signal is supplied from the video line, and then, the switch 101 (signal current control switch) is turned to the OFF state, operation is not conducted precisely. This is because the switch for inputting a current remains in the ON state. In this state, when the switch 101 (signal current control switch) is set to the OFF state, since the current is not input to the pixel, the signal cannot be input precisely.

A latch circuit 452 is disposed so that the video signal supplied from the video line can be retained and that the state of the switch 101 (signal current control switch) can be retained. The latch circuit 452 may either be constituted only by a capacitor element and a switch or be constituted by an SRAM circuit. In this way, the sampling pulse is output, the video signal is supplied from the video line for each column, the switch 101 (signal current control switch) is set to the ON state or the OFF state in accordance with the video signal, and the supply of the current to the pixel is controlled. Thus, the dot-sequential drive can be implemented.

An output (video signal) of the latch circuit 452 is used for the pixel control but is also used for the setting operation for the current source circuit. Since switching is conducted for each usage, the output (video signal) of the latch circuit 452 is not directly input to the current source circuit 420, but is input thereto via a logical operator 262. The logical operator 262 enables the switching between the case of using the video signal for the pixel control (image display) and the case of using the video signal for the current source circuit control.

However, when selection is sequentially performed from the first column to the last column, a period for inputting the signal to the pixel is relatively long in a column on the side of the first column. On the other hand, when the video signal is input, the subsequent column pixel is immediately selected on the side of the last column. As a result, a period for inputting the signal to the pixel becomes short. In this case, as shown in FIG. 47(B), the period for inputting the

signal to the pixel can be prolonged by dividing the scanning line disposed in a pixel portion 402 at the center. In this case, one scanning line driver circuit is disposed on each of the left and right sides of the pixel portion 402, and the scanning line driver circuit is used to drive the pixel. In this way, periods for  
5 inputting the signal to the right pixel and the left pixel can be differentiated from each other. FIG. 47(C) shows output waveforms of the scanning line driver circuits disposed left and right in the first and second lines, and a start pulse (S-SP) for the shift register 411. According to the operations thus performed, the period for inputting the signal even to the left pixel can be prolonged, and the  
10 dot-sequential drive is thus facilitated.

Regardless of whether the line-sequential drive or the dot-sequential drive is performed, the setting operation for the current source circuit 420 may be performed for the current source circuit disposed in an arbitrary column with an arbitrary timing and for an arbitrary number of times. Ideally, however, only the  
15 setting-dedicated setting operation may be performed only once as long as a predetermined charge is stored in the capacitor element connected between the gate and the source of the transistor disposed in the current source circuit 420. Alternatively, the setting operation may be performed when the predetermined charge retained in the capacitor element has discharged (varied). Further, as to  
20 the setting operation for the current source circuit, the setting operation may be performed for the current source circuits 420 in all the columns using time. That is, the setting operation may be performed for the current source circuits 420 in all the columns within one frame period. Alternatively, it may be such that the setting operation is performed only for the current source circuits 420 in several  
25 columns within one frame period, as a result of which the setting operation is performed for all the current source circuits 420 in all the columns.

As above, while the case where one current source circuit is disposed in each column has been described, the present invention is not limited to this, and a plurality of current source circuits may be disposed.

30 As an example, a case where FIG. 2 is applied to the portion of the current



source circuit of FIG. 3(B) is considered. The structure of the constant current circuit 414 in the above case is shown in FIG. 48 in detail. FIG. 48 shows the circuit in the case where FIG. 6(A) is applied to the portion of the current source circuit. Under the control of a control line, the setting operation can be performed for one of the current source, and the input operation can be simultaneously performed for the other current source.

Furthermore, regarding the current source circuit in the signal line driver circuit according to the present invention, a layout diagram is shown in FIG. 87, and a corresponding circuit diagram is shown in FIG. 88.

Note that this embodiment mode may be arbitrarily combined with Embodiment Modes 1 to 3.

#### [Embodiment Mode 5]

In this embodiment mode, the detailed structure and operation of the signal line driver circuit 403 shown in FIG. 15(A) will be described. In this embodiment mode, a description is made of the signal line driver circuit 403 used in the case of performing 3-bit digital gradation display.

FIG. 4 is a schematic view of the signal line driver circuit 403 in the case of performing the 3-bit digital gradation display. The signal line driver circuit 403 includes a shift register 411, a first latch circuit 412, a second latch circuit 413, and a constant current circuit 414.

The operation will be briefly described below. The shift register 411 is formed using, for example, a plurality of flip-flop circuits (FF), and is input with a clock signal (S-CLK), a start pulse (S-SP), and an inverted clock signal (S-CLKb). In accordance with the timing of these signals, sampling pulses are sequentially output therefrom.

The sampling pulses, which have been output from the shift register 411, are input to the first latch circuit 412. 3-bit digital video signals (Digital Data 1 to Digital Data 3) have been input to the first latch circuit 412, and a video signal is retained in each column in accordance with the timing at which the sampling

pulse is input.

In the first latch circuit 412, upon completion of video-signal retaining in columns to the last column, during a horizontal return period, a latch pulse is input to the second latch circuit 413, and the 3-bit digital video signals (Digital Data 1 to Digital Data 3) retained in the first latch circuit 412 are transferred in batch to the second latch circuit 413. Then, the 3-bit digital video signals (Digital Data 1 to Digital Data 3) for one line, which are retained in the second latch circuit 413, are input to the constant current circuit 414 at a time.

While the 3-bit digital video signals (Digital Data 1 to Digital Data 3) retained in the second latch circuit 413 are input to the constant current circuit 414, sampling pulses are again output in the shift register 411. Thereafter, the operation is iterated, and video signals for one frame are thus processed.

There is a case where the constant current circuit 414 plays a role of converting a digital signal into an analog signal. In the constant current circuit 414, a plurality of current source circuits 420 are provided. FIG. 5 is a schematic view of the signal line driver circuit related to the three signal lines in  $i$ -th to  $(i+2)$ -th columns.

Note that FIG. 5 shows the case where a reference constant current source 109 corresponding to each bit is arranged.

Each current source circuit 420 has a terminal a, a terminal b, and a terminal c. The current source circuit 420 is controlled by a signal input from the terminal a. Further, current is supplied via a terminal b from a reference constant current source 109 connected to a current line. Switches (signal current control switches) 111 to 113 are provided between the current source circuit 420 and a pixel connected to a signal line  $S_n$ , and the switches (signal current control switches) 111 to 113 are controlled by 1-bit to 3-bit video signals. In the case where the video signal is a bright signal, a current is supplied from the current source circuit to the pixel. On the contrary, in the case where the video signal is a dark signal, the switches (signal current control switches) 111 to 113 are controlled not to supply current to the pixel. That is, the current source circuit

420 has a capability of flowing a predetermined current, and the switches (signal current control switches) 111 to 113 control whether the current is supplied to the pixel or not.

Referring to FIG. 5, the current lines and the reference constant current sources are disposed in correspondence with respective bits. The sum of the values of currents supplied from the current sources of the respective bits is supplied to the signal lines. That is, the constant current circuit 414 also has a function of digital-analog conversion.

Note that the setting signal input from the terminal a corresponds to the video signal supplied from the second latch circuit 413. However, since the video signal is also used to control the pixel, the video signal is not directly input to the current source circuit 420, but input thereto via a logical operator. That is, the setting signal input from the terminal a corresponds to the signal supplied from an output terminal of the logical operator that is connected to a setting control line. In the present invention, setting of the current source circuit 420 is performed in accordance with the signal input from the output terminal of the logical operator that is connected to the setting control line.

One of two input terminals of the logical operator is input with the signal (corresponding to the video signal) supplied from the second latch circuit, and the other terminal is input with the signal from the setting control line. The logical operator performs a logic operation of the input two signals, and outputs a signal from the output terminal. That is, the current source circuit 420 performs the setting operation or the input operation in accordance with the signal supplied from the output terminal of the logical operator connected to the setting control line.

In this embodiment mode, because of a description with reference to an example of the case of performing 3-bit digital gradation display, three current source circuits 420 are provided for each column. When signal currents supplied from the three current source circuits 420 connected to one signal line are set to a ratio of 1 : 2 : 4, the current magnitude can be controlled at  $2^3 = 8$  levels.

For the structure of the current source circuit 420, the structure of the current source circuit 420 shown in, for example, FIG. 6, 7, 39, 40, or 42 can be arbitrarily used. For the current source circuits 420, not only one structure but also a plurality of structures may be employed.

5 In the signal line driver circuit shown in FIG. 5, although dedicated reference constant current sources 109 are respectively disposed for the 1-bit to 3-bit, the present invention is not limited to this. As shown in FIG. 49, reference constant current sources 109 the number of which is smaller than the number of bits may be disposed. For example, it may be such that only the reference  
10 constant current source 109 for the most significant bit (3-bit in this case) is disposed; one current source circuit selected from a plurality of current source circuits disposed in one column is set; and using the current source circuit for which the setting operation has already been performed, the operation is performed for other current source circuits. In other words, the current source  
15 circuit for which the setting operation has already been performed may be used to share setting information.

For example, a setting operation is performed only for a 3-bit current source circuit 420. Then, using the current source circuit 420 for which the setting operation has been performed, information is shared among other 1-bit and  
20 2-bit current source circuits 420. More specifically, among current source circuits 420, the gate terminal of each current-supplying transistor (corresponding to a transistor 102 in FIG. 6(A)) is connected, and also the source terminal is connected. As a result, gate-source voltages of information-sharing transistors (current-supplying transistors) become identical.

25 Referring to FIG. 49, the setting operation is performed not for the current source circuits of the least significant bit (1-bit in this case), but for the current source circuits of the most significant bit (3-bit in this case). Thus, when the setting operation is performed for the current source circuits of a greater-value bit, the influence of variation in characteristics of inter-bit current source circuits can  
30 be reduced. Suppose the setting operation is performed for the current source

circuits of the least significant bit (1-bit in this case), information related to the setting operation performed for the current source circuits of the least significant bit is shared among the current source circuits of the upper bits. In this case, when the characteristics of the respective current source circuits vary, the values  
5 of currents of the upper bits lack precision. This is because since upper-bit current source circuits produce outputs having great current values, even when a small variation has occurred in their characteristics, the influence of the variation is magnified, and also output current values are also varied great. In contrast, in the case where the setting operation is performed for the current source circuits of  
10 the most significant bit (3-bit in this case), information related thereto is shared among the current source circuits of the lower bits. Even when the characteristics of the respective current source circuits have varied, since output current values are small, differences in the current value due to variation are small, and the influence is small.

15 Hereinafter, as an example, the structure of the constant current circuit 414 in FIGs. 4, 5, and 49 is shown in FIGs. 23, 24, and 50 in more detail. In a current source circuit 420 provided in each of FIGs. 23, 24, and 50, whether or not a predetermined signal current is output to a signal line  $S_i$  ( $1 \leq i \leq n$ ) is controlled according to information contained in a digital video signal input from a second  
20 latch circuit 413.

Meanwhile, as shown in FIG. 6(C), when the current source circuit 420 is comprised of the structure having a current mirror circuit, the structure may be alternatively such that the gate electrodes of transistors in the current source circuit 420 are commonly connected, as shown in FIGs. 23 and 24.

25 FIG. 50 is a circuit diagram in the case where the current source circuit of FIG. 6(A) is disposed in the signal line driver circuit shown in FIG. 5. In FIG. 50, the setting operation is performed with transistors A to C being turned OFF. This is for preventing a current leakage. Alternatively, switches may be disposed in series with the transistors A to C, in which the switches are turned OFF in the  
30 setting operation.

Illustrated in FIGs. 23 and 24 are cases where the reference constant current sources 109 the number of which is fewer than the number of bits are disposed. FIG. 23 is a circuit diagram in the case where the current source circuit of FIG. 6(C) is disposed in the signal line driver circuit shown in FIG. 49.  
5 FIG. 24 is a circuit diagram in the case where the current source circuit of FIG. 6(A) is disposed in the signal line driver circuit of FIG. 49.

Referring to FIG. 23, in a current source circuit 420 provided in each column, whether or not a predetermined signal current  $I_{data}$  is output to the signal line  $S_i$  ( $1 \leq i \leq n$ ) is controlled according to High or Low information contained in  
10 a 3-bit digital video signal (Digital Data 1 to Digital Data 3) input from a second latch circuit 413.

The current source circuit 420 includes transistors 180 to 188 and a capacitor element 188. In this embodiment mode, the transistors 180 to 188 are all of n-channel type.

15 A 1-bit digital video signal is input to a gate electrode of the transistor 180 from the second latch circuit 413. One of a source region and a drain region of the transistor 180 is connected to the source signal line ( $S_i$ ), and the other is connected to one of a source region and a drain region of the transistor 183.

A 2-bit digital video signal is input to a gate electrode of the transistor 181  
20 from the second latch circuit 413. One of a source region and a drain region of the transistor 181 is connected to the source signal line ( $S_i$ ), and the other is connected to one of a source region and a drain region of the transistor 184.

A 3-bit digital video signal is input to a gate electrode of the transistor 182 from the second latch circuit 413. One of a source region and a drain region of  
25 the transistor 182 is connected to the source signal line ( $S_i$ ), and the other is connected to one of a source region and a drain region of the transistor 185.

One of the source region and the drain region of each of the transistors 183 to 185 is connected to  $V_{ss}$ , and the other is connected to one of the source region and the drain region of each of the transistors 180 to 182. One of a source  
30 region and a drain region of the transistor 186 is connected  $V_{ss}$ , and the other is

connected to one of a source region and a drain region of the transistor 188.

A signal is input from an output terminal of an AND 193 to the gate electrodes of the transistors 187 and 188. One of input terminals of the AND 193 is connected to a control line, and the other is connected to the second latch  
5 circuit 413. In FIG. 23, the one input terminal of the AND 193 is connected to the control line, and the other is connected to the 1-bit latch circuit (1st Bit). However, the present invention is not limited to this. One of the input terminals of the AND 193 may be connected to any one of the 1-bit latch circuit (1st Bit), a 2-bit latch circuit (2nd Bit), and a 3-bit latch circuit (3rd Bit).

10 One of the source region and the drain region of the transistor 187 is connected to one of the source region and the drain region of the transistor 186, and the other is connected to one of electrodes of a capacitor element 189. One of the source region and the drain region of the transistor 188 is connected to a current line 190, and the other is connected to one of the source region and the  
15 drain region of the transistor 186.

One of the electrodes of the capacitor element 189 is connected to the gate electrodes of the transistors 183 to 186, and the other electrode is connected to Vss. The capacitor element 189 plays a role of retaining the gate-source voltages of the transistors 183 to 186.

20 In the current source circuit 420, when the transistor 187 and the transistor 188 are turned ON, a current flows to the capacitor element 189 from a reference constant current source (not shown) connected to the current line 190. At this time, the transistors 180 to 182 are OFF.

Charge is then gradually accumulated in the capacitor element 189, and an  
25 potential difference begins to occur between both the electrodes. When the potential difference between both the electrodes has reached  $V_{th}$ , the transistors 183 to 186 are turned ON.

The charge accumulation continues until the potential difference between both the electrodes, that is, each gate-source voltage of the transistors 183 to 186  
30 increases up to a desired voltage. In other words, the charge accumulation

continues until the transistors 183 and 186 each reach a voltage that allows to the signal current to flow.

Upon completion of the charge accumulation, the transistors 183 and 186 are fully turned ON.

5        Subsequently, in the current source circuit 420, conductivity/non-conductivity of the transistors 180 to 182 is selected according to the 3-bit digital video signal. For example, when all the transistors 180 to 182 are turned to the conductive state, the current supplied to the signal line (Si) corresponds to the sum of the drain current of the transistor 183, the drain current  
10 of the transistor 184, and the drain current of the transistor 185. When only the transistor 180 has been turned to the conductive state, only the drain current of the transistor 183 flows to the signal line (Si).

As described above, the gate terminals of the transistors 183 to 185 are connected, whereby setting-operation information can be shared.

15        Here, the setting-operation information is shared among the transistors disposed in the same column, but the present invention is not limited to this. For example, the setting-operation information may be shared also with transistors in a different column. That is, the transistor gate terminals may be connected to the different column transistors. Thus, the number of current source circuits to be set  
20 can be reduced. Consequently, time required for the setting operation can be reduced. In addition, since the number of circuits can be reduced, the layout area can be made small.

In FIG. 24, the setting operation is performed for the current source circuit with the transistors 182 being turned OFF. This is for preventing a current  
25 leakage. Further, FIG. 51 is a circuit diagram of a current source circuit in the case where a switch 203 is disposed in series with the transistor 182 in the structure of FIG. 24. Referring to FIG. 51, the switch 203 is turned OFF in the setting operation, and is turned ON in other time.

At this event, in FIGs. 23, 24, and 51, when the drain current of the  
30 transistor 183, the drain current of the transistor 184, and the drain current of the



transistor 185 are set to a ratio of 1 : 2 : 4, the current magnitude can be controlled at  $2^3 = 8$  levels. Thus, when design is performed with the values of W (channel width)/L (channel length) of the transistors 183 to 185 set to 1 : 2 : 4, the respective ON currents are set to 1 : 2 : 4.

5 As described above, since the video signal is used in two uses for the pixel control and the current source circuit control, the signal is not directly input to the current source circuit 420, but input thereto via a logical operator. In FIG. 23, the logical operator corresponds to the AND 193.

One of the input terminals of the AND 193 is connected to the setting  
10 control line, and the other is connected to the second latch circuit 413. In FIG. 23, the one input terminal of the AND 193 is connected to the setting control line, and the other is connected to the 1-bit latch circuit. However, the present invention is not limited to this. One of the input terminals of the AND 193 may be connected to any one of the 1-bit to 3-bit latch circuits.

15 FIG. 24 shows the current source circuit 420 having a circuit structure different from that of FIG. 23. The current source circuit 420 in FIG. 24 is structured such that a switch 191 and a switch 192 are disposed to replace the transistors 186 to 188.

A signal is input from the output terminal of the AND 193 to each of the  
20 switches 191 and 192. One of the input terminals of the AND 193 is connected to the control line, and the other is connected to the second latch circuit 413. In FIG. 23, the one input terminal of the AND 193 is connected to the control line, and the other is connected to the 3-bit latch circuit (3rd Bit) via an inverter 194. However, the present invention is not limited to this. One of the input terminals  
25 of the AND 193 may be connected to any one of the 1-bit latch circuit (1st Bit), the 2-bit latch circuit (2nd Bit), and the 3-bit latch circuit (3rd Bit).

In FIG. 24, although one of the terminals of the switch 191 is connected to the drain region of the transistor 185, the present invention is not limited to this. One of the terminals of the switch 191 may be connected to one of the drain  
30 regions of the transistors 183 to 185. In this case, however, as shown in FIG. 24,

when the input terminal of the AND 193 is connected to the latch circuit (3-bit latch circuit (3rd Bit) in FIG. 24) that retains the video signal that controls the transistor 185 to which one of the terminals of the switch 191 is connected, the terminal needs to be connected to the latch circuit via the inverter 194.

5        The current source circuit 420 shown in FIG. 24 is similar in operation to the current source circuit 420 shown in FIG. 23 except the point in that when the switches 191 and 192 are turned ON, a current flows to the capacitor element 189 via the transistor 185 from the reference constant current source (not shown) connected to the current line 190. Thus, a description thereof will be omitted in  
10 this embodiment mode.

Meanwhile, in this embodiment mode, while all the transistors contained in the current source circuit 420 shown in FIG. 23 or 24 are of n-channel type, the present invention is not limited to this. P-channel transistors may also be used. Operation of the current source circuit 420 in the case of using the p-channel  
15 transistors is similar to the operation described above except the point in that the direction in which a current flows is changed and the point in that the capacitor element is connected to not Vss but Vdd. Thus, a description thereof will be omitted.

When using the p-channel transistors, the case where Vss is not replaced  
20 with Vdd, that is, the case where the current-flow direction is not changed can be easily applied with the comparison between FIG. 6 and FIG. 7.

Note that, in this embodiment mode, the description has been made of the structures and operations of the signal line driver circuits in the case where the 3-bit digital gradation display is carried out. However, the present invention is  
25 not limited to the 3-bit. It is possible that signal line driver circuits corresponding to arbitrary number of bits are designed with reference to this embodiment mode, thereby performing display with an arbitrary number of bits. In addition, this embodiment mode may be arbitrarily combined with Embodiment Modes 1 to 4.

30        Further, with reference to this embodiment mode, for example, multi

phases and dot-sequential drive can be easily realized when performing display with an arbitrary number of bits.

One current source circuit for each bit is disposed for each signal line in FIG. 5. However, as shown in FIG. 2, a plurality of current source circuits may be disposed for each signal line. The diagram at this time is shown in FIG. 52. Similarly, although one constant current source 109 is disposed for each bit in the structure of FIG. 49, the constant current source 109 may be shared by the plurality of bits, as shown in FIG. 53.

#### 10 [Embodiment Mode 6]

In the present invention, it has been described that the setting signal input from the terminal a shown in FIGs. 1 and 2 refers to the signal input from the output terminal of the logical operator connected to the setting control line (not shown). Although the control line is shown in FIG. 2, the line is a different wiring from the setting control line. A signal input from the output terminal of the logical operator connected to the setting control line is used as the setting signal.

One of the two input terminals of the logical operator is input with the signal (corresponding to the video signal) that is output from the second latch circuit 413, and the other input terminal is input with the signal supplied from the setting control line. The logical operator performs a logic operation of the input two signals and outputs a signal through the output terminal. According to the signal input from the output terminal of the logical operator, the current source circuit conducts either a setting operation or an input operation.

25 In this embodiment mode, the timing of the setting operation of the current source circuit will be described using FIGs. 25 to 31.

In this embodiment mode, a description will be made in broad classification: a driving method (referred to as full-frame method) with which one frame period is not divided, as shown in FIG. 25(B), and a driving method (referred to as subframe method) with which one frame period is divided into a

plurality of subframe periods, as shown in FIG. 26(A).

Hereinafter, the full-frame method will first be described using FIG. 25, and the subframe method will then be described.

In ordinary display devices such as liquid crystal display devices and light  
5 emitting devices, a frame frequency is about 60 (Hz). That is, as shown in FIG. 25(A), the device performs screen renderings about 60 times per second. Thus, flickers (flickering of a screen) can be made unrecognizable by the human eye. A period during which one screen rendering is performed is referred to as one frame period.

10 In the case of the full-frame method, as shown in FIG. 25(B), a period represented by  $T_c$  is provided after scanning lines are selected from the first line to the last line in one frame period. The period during which the scanning lines are selected from the first line to the last line corresponds to a period during which signals are input to pixels. FIGs. 25(C) and 25(E) each show a video signal  
15 waveform in the period  $T_c$ . The video signal waveform is variable among frames. As examples, the video signal waveforms in three frames are shown. The length of the setting period  $T_c$  is not specifically limited, but is preferably set identical to a one-gate selection period (one horizontal scan period).

As an example, FIG. 25(C) shows a video signal waveform in a period  
20  $T_{c1}$  of the first frame. At this time, the video signal waveform is controlled such that an output from the second latch circuit 413 to the current source circuit provided in an  $i$ -th column becomes High. FIG. 25(D) shows a video signal waveform in a period  $T_{c2}$  of the second frame. At this time, the video signal waveform is controlled such that an output from the second latch circuit 413 to the  
25 current source circuit provided in a  $j$ -th column becomes High. FIG. 25(E) shows a video signal waveform in a period  $T_{c3}$  of the third frame. At this time, the video signal waveform is controlled such that an output from the second latch circuit 413 to the current source circuit provided in a  $k$ -th column become High.

The setting period  $T_c$  corresponds to a period during which the current  
30 source circuit for which a setting operation is performed is specified among a

plurality of current source circuits contained in the signal line driver circuit. That is, in the setting period  $T_c$ , a video signal waveform is controlled so that a video signal in a column of a current source circuit for which a setting operation is performed becomes High. As shown in FIGs. 25(C) to 25(E), in the setting  
5 period  $T_c$ , the current source circuit for which a setting operation is performed is specified for each frame period.

In one frame period, not only one setting period  $T_c$ , but also a plurality of setting periods  $T_c$  may be provided. In addition, the setting period  $T_c$  may not be provided to a border portion of frame periods, and may be provided elsewhere  
10 within one frame period. In addition, in FIGs. 25(C) to 25(E), it may be such that video signal waveforms in any one of the first to last columns are not controlled to become High, and that video signal waveforms of current source circuits in a plurality of columns of the first to last columns are controlled to become High.

15 In the case where the setting operation and the input operation can be performed simultaneously for current source circuits of the signal line driver circuit, the current source circuits for which the setting operation is performed are specified in the setting period  $T_c$ , and the setting operation is performed in the other period. The input operation is also performed at the same time.

20 On the other hand, in the case where the setting operation and the input operation cannot be performed simultaneously for current source circuits, current source circuits for which the setting operation is performed are specified in the setting period  $T_c$ , and also the setting operation is performed in the setting period  $T_c$ . For this reason, in this case, the setting period  $T_c$  needs to be a period  
25 sufficient for the setting operation of the current source circuits to be performed. However, the setting operation does not need to be performed for all the current source circuits within one frame period, and the setting operation may be performed for all the current source circuits by using several frame periods.

Even in the case where the setting operation and the input operation can  
30 be performed simultaneously for current source circuits, it may be such that

current source circuit for which the setting operation is performed are specified in the setting period  $T_c$ , and the setting operation is performed in the setting period  $T_c$ .

Next, the subframe method will be described using FIG. 26. In the subframe method, as shown in FIG. 26(A), one frame period is divided into a plurality of subframe periods having mutually different lengths. In many cases, the number of divisions is identical to the number of gradation bits. FIG. 26 shows, an example, a case where a frame period is divided into three subframe periods SF1 to SF3.

Each of the subframe periods includes an address period ( $T_a$ ) and a sustain period ( $T_s$ ). The address period is a period during which a signal is written to a pixel, and the length thereof is the same in respective subframe periods. The sustain period ( $T_s$ ) is a period during which the light emitting element emits light in response to the signal written in the address period ( $T_a$ ).

According to the subframe method, when providing the period  $T_c$ , the period  $T_c$  may be disposed either only one time after completion of the address period ( $T_a$ ) set in a certain subframe period SF as shown in FIG. 26(B) or a plurality of times in one frame period, as shown in FIG. 26(C). As a matter of course, the period  $T_c$  may be disposed after completion of address periods in all subframe periods, be disposed in an address period, or be disposed for each arbitrary frame period.

According to the subframe method, when providing the period  $T_c$ , the period  $T_c$  may be disposed either only one time after completion of the address period set in a certain subframe period SF as shown in FIG. 26(B) or a plurality of times in one frame period, as shown in FIG. 26(C). As a matter of course, the period  $T_c$  may be disposed after completion of address periods in all subframe periods, or be disposed in an address period. Further, the period  $T_c$  may be disposed for each arbitrary frame period.

It has been described that the setting signal input from the terminal a refers to the signal input from the output terminal of the logical operator

connected to the setting control line in FIGs. 1 and 2. Also described in the above is that the signal (corresponding to the video signal) output from the second latch circuit is input to one of the two input terminals of the logical operator, and the signal is input to the other terminal from the setting control line. In this  
5 connection, while the setting control line is not shown in FIGs. 1 and 2, FIGs. 26(B) and 26(C) show signal waveforms that are output from the setting control line connected with the input terminal of the logical operator that outputs the setting signal.

FIGs. 26(B) and 26(C) show the waveforms of the setting control line.  
10 Setting is performed such that the waveform of the setting control line in each of FIGs. 26(B) and 26(C) becomes High in the period (shown as a setting period  $T_b$ ) from the completion of the setting period  $T_c$  to the commencement of a subsequent address period. In FIGs. 26(B), setting is performed such that the waveform of the setting control line becomes High in the period (setting period  
15  $T_{b1}$ ) from the completion of the setting period  $T_c$  to the commencement of an address period  $T_{a2}$ . In FIG. 26(C), setting is performed such that the waveform of the setting control line becomes High in the period (setting period  $T_{b1}$ ) from the completion of the setting period  $T_c$  to the commencement of an address period  $T_{a1}$  and in the period (setting period  $T_{b2}$ ) from the completion of the setting  
20 period  $T_c$  to the commencement of an address period  $T_{a2}$ .

From the above, when a current source circuit is not engaged in an input operation (output of a current to a pixel), a setting operation can be performed for the current source circuit disposed in the signal line driver circuit in the setting period  $T_{b1}$  or the setting period  $T_{b2}$ . If a period for performing an input  
25 operation occurs, the setting control line may be temporarily set to Low so that a setting operation is not performed only in that period. However, in the case where the setting operation and the input operation can be performed at the same time with the current source circuit disposed in the signal line driver circuit, the setting operation can be performed for the current source circuit even while the  
30 current source circuit is engaged in the input operation (input of a current to a

pixel).

As described above, in the setting period  $T_c$ , a current source circuit for which the setting operation is performed is specified among current source circuits contained in the signal line driver circuit. If a current source circuit 420  
5 provided in the  $i$ -th column is specified, the setting operation can be performed therefor by setting the wavelength of the setting control line in the period  $T_b$  from the completion of the setting period  $T_c$  to the commencement of a subsequent address period High.

Next, referring to FIGs. 27 to 31, a description will be made of  
10 setting-operation timings of current source circuits in a signal line driver circuit having a structure that, dissimilar to the above-described structure, includes storage circuits 451 in addition to current source circuits 420.

FIG. 27 shows a case in which one current source circuit 420 is arranged in each column. FIG. 28 shows a case in which two current source circuits 420  
15 are disposed in each column. In the structure of FIG. 27, when there is a period during which the setting operation and the input operation are performed simultaneously, current source circuits 420 capable of simultaneously performing the setting operation and the input operation need to be used. On the other hand, in the structure of FIG. 28, the two current source circuits 420 are provided in  
20 each column, the one being capable of performing the setting operation, and the other being capable of the input operation. Thus, the structure of the current source circuit 420 used in FIG. 28 is not particularly limited. Note that, for the storage circuits 451 shown in FIGs. 27 and 28, known circuits may be used as long as they are circuits including means of storing data.

25 Signal waveforms of a storage control line shown in FIGs. 27 and 28 will be described using FIG. 29. First, the signal waveform of the storage control line in the full-frame method will be described using FIG. 29(A), and then, the signal waveform of the storage control line in the subframe method will be described using FIGs. 29(B) and 29(C).

30 As shown in FIGs. 29(A) to 29(C), according to both the full-frame



method and the subframe method, the waveform of the storage control line is set to become High in the setting period  $T_c$ . Thus, in the current source circuit 420, the setting operation can be performed in the period from the completion of the setting period  $T_c$  to the commencement of the subsequent setting period  $T_c$ .

5        Note that, when the waveform of the storage control line has become High, switches 450 are turned ON to allow data (video signal) to enter the storage circuits 451. When the waveform of the storage control line has become Low, the switches 450 are turned OFF to allow data (video signal) to be continuously retained in the storage circuits 451.

10        Therefore, even when a video signal varies while the setting operation is performed for a current source circuit, since information related to the specified current source is stored in the storage circuit 451, the operation is not influenced by the variation in the video signal. Note that the period during which the video signal varies corresponds to, for example, an address period. In the case where  
15        the setting operation and the input operation can be performed simultaneously for the current source circuit in the signal line driver circuit, the setting operation can be performed for the current source circuit even while the current source circuit is engaged in the input operation (output of a current to the pixel). The period during which the input operation (output of a current to the pixel) is performed for  
20        the current source circuit corresponds to, for example, an address period as an example.

      In one frame period, either one setting period  $T_c$ , or a plurality of setting periods  $T_c$  may be provided. Further, the setting period  $T_c$  may be provided anywhere within one frame period. In addition, it may be such that video signal  
25        waveforms in any one of the first to last columns are not controlled to become High, and that video signal waveforms in a plurality of columns of the first to last columns are controlled to become High.

      Next, referring to FIG. 30, a description will be made of, as a different example from that in the above, a case in which one current source circuit 420 is  
30        provided in each column. In the structure shown in FIG. 30, one current source

circuit 420 is disposed in each column. In the current source circuit, there occurs a case where the setting operation and the input operation cannot be performed simultaneously. Thus, a case occurs in which the setting operation needs to be performed while the input operation is not being performed, and the input  
5 operation needs to be performed while the setting operation is not being performed.

In the structure shown in FIG. 30, logical operators 452 are disposed, an output of the storage circuit 451 is input to one of input terminals of the logical operator 452 (AND in FIG. 30), and a signal that is output from a second storage  
10 control line is input to the other input terminal. A signal that is output from the output terminal of the logical operator corresponds to the setting signal for the current source circuit 420.

Also in FIG. 30, the logical operators may be replaced by switches, as shown in , FIG. 45 or 46.

15 With the logical operator 452 being disposed, a signal input to a terminal a of the current source circuit 420 is controlled by the second storage control line, regardless of the data contained in the storage circuit 451. Accordingly, the current source circuit 420 is set such that either the setting operation or the input operation is implemented.

20 FIGs. 31(A) to 31(C) each show a signal waveform of the first storage control line and a signal waveform of the second storage control line. First, the waveforms of the first and second storage control lines in the full-frame method will be described using FIG. 31(A); and then, the waveforms of the first and second storage control lines in the subframe method will be described using FIGs.  
25 31(B) and 31(C). In both the full-frame method and the subframe method, as shown in FIGs. 31(A) to 31(C), the waveform of the first storage control line is set to become High in the setting period  $T_c$ . In addition, the waveform of the second storage control line is set to become Low in the address period.

An address period corresponds to a period during which the current source  
30 circuit 420 supplies a predetermined current to the pixel in many cases. Hence,

in the address period, the waveform of the second storage control line is set to become Low. Thus, the current source circuit 420 is set to allow either the setting operation or the input operation to be performed.

In specific, by controlling the second storage control line, the setting  
5 operation of the current source circuit disposed in the signal line driver circuit can be terminated. The setting operation of the current source circuit in the signal line driver circuit needs to be terminated when the input operation of the current source circuit needs to be performed in the case where the setting operation and the input operation for the current source circuit cannot be performed  
10 simultaneously. The input operation (output of a current to the pixel) of the current source circuit is frequently performed in an address period. At this time, the waveform of the second storage control line is preferably set to Low during the address period. If the input operation (output of a current to the pixel) of the current source circuit is performed during a period other than the address period,  
15 the waveform of the second storage control line is preferably set Low in the period.

This embodiment mode may be arbitrarily combined with Embodiment Modes 1 to 5.

#### 20 [Embodiment Mode 7]

The reference constant current source 109 for supplying a current to the current source circuit may either be integrally formed with a signal line driver circuit on a substrate or be disposed on the outside of the substrate by using, for example, an IC. When integrally forming the current source on the substrate, it  
25 may be formed using any one of the current source circuits shown in, for example, FIGs. 6 to 8, 39, 40, and 42. Alternatively, it may be such that only one transistor is disposed, and the current value is controlled in accordance with a voltage applied to a gate. In this embodiment mode, the structure and the operation of the reference constant current source 109 will be described.

30 As an example, FIG. 32 shows the simplest case, that is, the method of

applying a voltage to the gate. A case where three current lines are necessary is shown here. If only one current line is sufficient, transistors 1840 and 1850 and the corresponding current lines may be simply eliminated from the structure of FIG. 32. In FIG. 32, the magnitude of a current is controlled by adjusting the  
5 gate voltages applied to a transistor 1830 and the transistors 1840 and 1850 from the outside via a terminal f. When the transistors 1830, 1840, and 1850 are designed to attain the values of W/L to be set to 1 : 2 : 4, respective ON currents are set to 1 : 2 : 4.

Next, a description will be made of the case where a current is supplied  
10 from the terminal f in FIG. 33(A). As shown FIG. 32, in the case where a voltage is applied to the gate to perform adjustment, the current value of the transistor may be varied in accordance with temperature characteristics and the like. However, when the current is input as shown in FIG. 33(A), the influence of the variation can be suppressed.

15 In the structures shown in FIGs. 32 and 33(A), while a current is flowing through the current lines, a voltage or current needs to be kept flowing from the terminal f. However, when a current does not need to be flown through the current lines, a voltage or current does not need to be kept inputting from the terminal f.

20 In addition, as shown in FIG. 33(B), switches 1870 and 1880 and a capacitor element 1890 may be added to the structure of FIG. 33(A). In this case, even while a current is supplied to the current lines, the current supply from the reference IC (supply of a current or voltage that is input from the terminal f) can be terminated, and power consumption is therefore reduced.

25 In the structures shown in FIGs. 32 and 33, information is shared with other current source transistors disposed in the reference current source circuit. Specifically, the gate terminals of the transistors 1830, 1840, and 1850 are mutually connected.

FIG. 34 shows a case where the setting operation is performed for each  
30 current source circuit. In FIG. 34, a current is input from a terminal f, and the

timing is controlled with a terminal e. Note that, any one of the structures shown in, for example, FIGs. 6, 7, 39, 40, and 42 may be applied to the current source circuit.

The circuit shown in FIG. 34 corresponds to an example in which the circuit of FIG. 6(A) is applied. Thus, the setting operation and the input operation cannot be performed simultaneously. Therefore, in the case of this circuit, the setting operation for the reference current source circuit needs to be performed with a timing at which a current does not need to be flown through the current line.

FIG. 35 shows an example of a polyphased case. Specifically, the example corresponds to the reference constant current source 109 to which the structure of FIG. 44 is applied. In the polyphased case, circuits of FIGs. 32 to 34 may also be applied. However, since the value of current supplied to the current line is the same, the setting operation is performed for respective current source circuits by using the single current, thereby enabling a reduction in the number of currents that are to be input from the outside.

This embodiment mode may be arbitrarily combined with Embodiment Modes 1 to 6.

#### [Embodiment Mode 8]

An embodiment mode of the present invention will be described using FIG. 54. Referring to FIG. 54(A), a signal line driver circuit is disposed above a pixel portion, a constant current circuit is disposed below the pixel portion, a current source A is disposed in the signal line driver circuit, and a current source B is disposed in the constant current circuit.  $I_A = I_B + I_{data}$  is established, where  $I_A$  and  $I_B$  represent currents supplied from the respective current sources A and B, and  $I_{data}$  represents a signal current supplied to pixels. In writing the signal current to the pixel, setting is performed to supply a current thereto from both the current sources A and B. At this time, when  $I_A$  and  $I_B$  are increased in magnitude, the speed for writing a signal current to the pixel can be increased.

At this time, the setting operation of the current source B is performed by using the current source A. A current formed by subtracting a current from the current source B from a current from the current source A flows to the pixel. Thus, the setting operation of the current source B is performed using the current  
5 source A, whereby influences of various noises and the like can be reduced.

Referring to FIG. 54(B), reference constant current sources (hereinafter referred to as constant current source) C and E are disposed above and below the pixel portion. The current sources C and E are used to perform the setting operation for the current source circuits provided in the signal line driver circuit  
10 and the constant current circuit. A current source D corresponds to a current source for setting the current sources C and E, and is supplied with a reference current from the outside.

In FIG. 54(B), the constant current circuit disposed in the lower portion may be replaced by a signal line driver circuit. Thus, the signal line driver  
15 circuits can be disposed in both the upper and lower portions. Then, the respective signal line driver circuits control the upper and lower halves of a screen (the entire pixel portion). This enables two lines of pixels to be controlled at the same time. Consequently, it is possible to secure a sufficient time for the setting operation (signal inputting operation) to, for example, the current source of the  
20 signal line driver circuit, the pixel, and the current source for the pixel. Accordingly, the setting can be performed with more precision.

This embodiment mode may be arbitrarily combined with Embodiment Modes 1 to 7.

#### 25 [Embodiment Mode 9]

In the above embodiment modes, primarily, the case where the signal current control switch exist has been described. In this embodiment mode, a description will be made of a case where the signal current control switch is not provided, that is, a case where a current (constant current) disproportional to a  
30 video signal is supplied to a wiring different from a signal line. In this case, the

switch 101 (signal current control switch) does not need to be disposed.

Note that the case where the signal current control switch does not exist is similar to the case where the signal current control switch exists, except for the absence of the signal current control switch. Thus, the case will be briefly  
5 described, and descriptions of the similar portions will be omitted here.

For comparison with the case where the signal current control switch is disposed, FIG. 36 shows a structure corresponding to FIG. 1, and FIG. 37 shows a structure corresponding to FIG. 2. FIG. 55(A) shows a structure corresponding to FIG. 3(B). According to the embodiment modes described above, the signal  
10 current control switch is controlled by the video signal to output the current to the signal line. In this embodiment mode, however, the current is output to a pixel current line, and the video signal is output to the signal line.

A schematic view of the pixel structure in the above case is shown in FIG. 55(B). Next, a pixel operating method will be briefly described. First, when a  
15 switching transistor is ON, a video signal is passed through a signal line, is input to a pixel, and is then stored into a capacitor element. A driving transistor is turned ON or OFF depending on the value of the video signal. On the other hand, a current source circuit has a capability of flowing a constant current. Hence, when the driving transistor is ON, the constant current flows to a light emitting  
20 element, and the light emitting element emits light. When the driving transistor is OFF, since no current flows to the light emitting element, the light emitting element does not emit light. In this manner, an image is displayed. In this case, however, only two states, namely, emission or non-emission, can be displayed. For this reason, multi-gradation is implemented using, for example, a time  
25 gradation method and area gradation method.

Note that, for the portion of the current source circuit, any one of circuits of, for example, FIGs. 6, 7, 39, 40, and 42 is used. The setting operation may be performed to enable the current source circuit to be flown with a constant current. When performing the setting operation for the current source circuit of the pixel,  
30 the operation is performed by inputting the current through a pixel current line.

The setting operation for the current source circuit of the pixel may be performed an arbitrary number of times at arbitrary time and an arbitrary timing. The setting operation for the current source circuit of the pixel can be performed completely independent of an operation for displaying an image. Preferably, the  
5 setting operation is performed when charge stored in the capacitor element provided in the current source circuit leaks.

Next, the detailed structure of a constant current circuit 414 of FIG. 55(A) is shown in FIGs. 56 and 57. Shown in FIG. 56 is the circuit in the case where FIG. 6(A) is applied to the portion of a current source circuit. Shown in FIG. 57  
10 is the circuit in the case where FIG. 6(E) is applied to the portion of a current source circuit.

In addition, a case is considered in which FIG. 37 is applied to the portion of the current source circuit of FIG. 55(A). The detailed structure of the constant current circuit 414 in the above case is shown in FIG. 58. Here, FIG. 58 shows a  
15 circuit in the case where FIG. 6(A) is applied to the portion of the current source circuit. The setting operation is performed for one of the current sources by controlling a control line, and the input operation can be simultaneously performed with the other current source.

In connection with the structure including the storage circuits 451 in  
20 addition to the current source circuits 420, under comparison between the case of disposing a signal current control switch and the case of not disposing a signal current control switch, FIG. 59 shows a structure corresponding to FIG. 27, FIG. 60 shows a structure corresponding to FIG. 28, and FIG. 61 shows a structure corresponding to FIG. 30.

25 Note that the case where the signal current control switch does not exist is similar to the case where the signal current control switch exists, except for the absence of the signal current control switch. Thus, a detailed description thereof will be omitted.

This embodiment mode may be arbitrarily combined with Embodiment  
30 Modes 1 to 8.



[Embodiment Mode 10]

In this embodiment mode, a detailed description will be made of a signal line driver circuit 403 in the case where storage circuits 451 are disposed.

5 First, a description will be made of a case where a signal current control switch exists, that is, a case where a current proportional to a video signal is supplied to a signal line.

Further detailed structures of the structure shown in FIG. 27 are shown in FIGs. 62 and 63. The circuit shown in FIG. 62 corresponds to an example in  
10 which the circuit of FIG. 6(E) is applied. The circuit shown in FIG. 63 corresponds to an example in which the circuit of FIG. 6(A) is applied.

According to FIG. 62, while the setting operation is being performed for the current source circuit, the input operation (output of a current to the pixel) can be performed at the same time. Accordingly, the setting operation can be  
15 performed in an address period during which the input operation is performed. Since information related to the specified current source circuit that performs the setting operation is stored in the storage circuit 451, it is not influenced by variation in the video signal.

Next, a further detailed structure of FIG. 28 is shown in FIG. 64. The  
20 circuit shown in FIG. 64 corresponds to an example in which the circuit of FIG. 6(A) is applied.

According to FIG. 64, the operation of the current source circuit can be switched in accordance with a signal supplied via a control line. Thus, the setting operation and the input operation (output of a current to the pixel) can be  
25 performed simultaneously. Accordingly, in the address period during which the input operation is performed, the setting operation can be performed for the current source circuit to which the input operation is not performed. Since information related to the specified current source circuit that performs the setting operation is stored in the storage circuit 451, it is not influenced by variation in the  
30 video signal.

Next, a further detailed structure of FIG. 30 is shown in FIG. 65. The circuit shown in FIG. 65 corresponds to an example in which the circuit of FIG. 6(A) is applied. According to FIG. 65, switching between the setting operation for the current source circuit and the input operation (output of a current to the pixel) can be arbitrarily performed according to a signal supplied from the logical operator 452.

Next, a case where 3-bit digital gradation display is performed will be described.

A further detailed structure of the structure of FIG. 27 is shown in FIG. 66. The circuit shown in FIG. 66 corresponds to an example in which the circuit of FIG. 6(C) is applied. According to FIG. 66, even while the setting operation is being performed for the current source circuit, the input operation (output of a current to the pixel) can be performed at the same time. Accordingly, the setting operation can be performed in an address period during which the input operation is performed. Since information related to the specified current source circuit that performs the setting operation is stored in the storage circuit 451, it is not influenced by variation in the video signal.

A further detailed structure of the structure of FIG. 28 is shown in FIG. 67. The circuit shown in FIG. 67 corresponds to an example in which the circuit of FIG. 6(A) is applied. According to FIG. 67, even while the setting operation is being performed for the current source circuit, the operation of the current source circuit can be switched in accordance with a signal supplied via the control line. Thus, the setting operation and the input operation (output of a current to the pixel) can be performed simultaneously. Accordingly, the setting operation can be performed for the current source circuit not being engaged in the input operation in an address period during which the input operation is to be performed. Since specification for the current source circuit that performs the setting operation is stored in the storage circuit 451, it is not influenced by variation in the video signal.

Note that FIG. 67 shows a case where the number of reference constant

current sources is smaller than the number of display bits. That is, there is shown a case where a transistor gate is connected, and the set information is shared. Note that it may be such that the same number of reference current sources as the number of display bits are disposed and that the setting operation is  
5 performed for current source circuits of each bit.

A further detailed structure of the structure of FIG. 30 is shown in FIG. 68. The circuit shown in FIG. 68 corresponds to an example in which the circuit of FIG. 6(A) is applied. According to FIG. 68, switching between the setting operation for the current source circuit and the input operation (output of a current  
10 to the pixel) can be arbitrarily performed in accordance with a signal supplied from the logical operator 452. Note that FIG. 68 shows a case where the number of reference constant current sources is the same as the number of display bits. That is, the setting operation is performed for current source circuits of each bit. It may be such that the number of reference current sources is made smaller than  
15 the number of display bits, and that information related to the already set current source circuit is shared. That is, the gates of transistors disposed in current source circuits that mutually share the information may be connected.

The cases where the signal current control switch is disposed have been described so far. Next, a description will be made of a case where no signal  
20 current control switch is provided, that is, a case where a current (constant current) disproportional to the video signal is supplied to a wiring different from the signal line. In this case, the switch 101 (signal current control switch) is not disposed.

Further detailed structures of the structure shown in FIG. 59 are shown in  
25 FIGs. 69 and 70. The circuit shown in FIG. 69 corresponds to an example in which the circuit of FIG. 6(E) is applied. The circuit shown in FIG. 70 corresponds to an example in which the circuit of FIG. 6(A) is applied.

According to the structure of FIG. 69, even while the setting operation is being performed for the current source circuit, the input operation (output of a  
30 current to the pixel) can be performed at the same time. Accordingly, the setting

operation can be performed for the current source circuit disposed in the signal line driver circuit even in the period during which the input operation is performed, that is, in the setting operation for the current source circuit arranged in the pixel. Since information related to the specified current source circuit that performs the  
5 setting operation is stored in the storage circuit 451, it is not influenced by variation in the video signal.

In the case of the above structure, the address period during which the video signal is input to the pixel is not identical to the period during which the current source circuit in the signal line driver circuit performs the input operation  
10 (output of a current to the pixel). Accordingly, even in the period during which the video signal is varying, since the setting operation can be performed for the current source circuit in the signal line driver circuit, the provision of the storage circuit 451 is very effective.

A further detailed structure of that of FIG. 60 is shown in FIG. 71. The  
15 circuit shown in FIG. 71 corresponds to an example in which the circuit of FIG. 6(A) is applied.

According to FIG. 71, even while the setting operation is being performed for the current source circuit, the operation of the current source circuit can be switched according to a signal supplied from the control line. Thus, the setting  
20 operation and the input operation (output of a current to the pixel) can be performed simultaneously. Accordingly, the setting operation can be performed for the current source circuit for which the input operation is not performed in the address period during which the input operation is performed. Since specification for the current source circuit that performs the setting operation is  
25 stored in the storage circuit 451, it is not influenced by variation in the video signal.

A further detailed structure of that of FIG. 61 is shown in FIG. 72. The circuit shown in FIG. 72 corresponds to an example in which the circuit of FIG. 6(A) is applied.

30 According to FIG. 72, switching between the setting operation for the

current source circuit and the input operation (output of a current to the pixel) can be arbitrarily performed by the logical operator 452. Note that, in the case where the signal current control switch is not disposed, that is, in the case where a current (constant current) disproportional to the video signal is supplied to a wiring different from the signal line, the address period during which the video signal is input to the pixel is not identical to the period during which the current source circuit in the signal line driver circuit performs the input operation (output of a current to the pixel). Accordingly, even in the period during which the video signal is varying, since the setting operation can be performed for the current source circuit in the signal line driver circuit, the provision of the storage circuit 451 is very effective.

Any one of the structures of, for example, FIGs. 6, 7, 39, 40, and 42 can be applied to the current source circuit.

This embodiment mode may be arbitrarily combined with Embodiment Modes 1 to 9.

#### [Embodiment 1]

In this embodiment, the time gradation method will be described in detail with reference to FIG. 14. In display devices such as liquid crystal display devices and light emitting devices, a frame frequency is about 60 (Hz). That is, as shown in FIG. 14(A), screen rendering is performed about 60 times per second. This enables flickers (flickering of a screen) not to be recognized by the human eye. At this time, a period during which screen rendering is performed once is called one frame period.

As an example, in this embodiment, a description will be made of a time gradation method disclosed in the publication as Patent Document 1. In the time gradation method, one frame period is divided into a plurality of subframe periods. In many cases, the number of divisions is identical to the number of gradation bits. For the sake of a simple description, a case where the number of divisions is identical to the number of gradation bits. Specifically, since the 3-bit gradation

is employed in this embodiment, an example is shown in which one frame period is divided into three subframe periods SF1 to SF3 (FIG. 14(B)).

Each of the subframe periods includes an address (writing) period  $T_a$  and a sustain (light emission) period ( $T_s$ ). The address period is a period during which a video signal is written to a pixel, and the length thereof is the same among respective subframe periods. The sustain period is a period during which the light emitting element emits light or does not emit light in response to the video signal written in the address period  $T_a$ . At this time, the sustain periods  $T_{s1}$  to  $T_{s3}$  are set at a length ratio of  $T_{s1} : T_{s2} : T_{s3} = 4 : 2 : 1$ . More specifically, the length ratio of  $n$  sustain periods is set to  $2^{(n-1)} : 2^{(n-2)} : \dots : 2^1 : 2^0$ . Depending on whether a light emitting element performs emission or non-emission in which one of the sustain periods, the length of the period during which each pixel emits light in one frame period is determined, and the gradation representation is thus performed.

Next, a specific operation of a pixel employing the time gradation method will be described. In this embodiment, a description thereof will be made referring to the pixel shown in FIG. 16(B). A current input method is applied to the pixel shown in FIG. 16(B).

First, the following operation is performed during the address period  $T_a$ . A first scanning line 602 and a second scanning line 603 are selected, and TFTs 606 and 607 are turned ON. A current flowing through a signal line 601 at this time is used as a signal current  $I_{data}$ . Then, when a predetermined charge has been accumulated in a capacitor element 610, selection of the first and second scanning lines 602 and 603 is terminated, and the TFTs 606 and 607 are turned OFF.

Subsequently, the following operation is performed in the sustain period  $T_s$ . A scanning line 604 is selected, and a TFT 609 is turned ON. Since the predetermined charge that has been written is stored in the capacitor element 610, the TFT 608 is already turned ON, and a current identical with the signal current  $I_{data}$  flows thereto from a current line 605. Thus, a light emitting element 611

emits light.

The operations described above are performed in each subframe period, thereby forming one frame period. According to this method, the number of divisions for subframe periods may be increased to increase the number of display  
5 gradations. The order of the subframe periods does not necessarily need to be the order from an upper bit to a lower bit as shown in FIGs. 14(B) and 14(C), and the subframe periods may be disposed at random within one frame period. In addition, the order may be variable within each frame period.

Further, a subframe period SF2 of an m-th scanning line is shown in FIG.  
10 14(D). As shown in FIG. 14(D), in the pixel, upon termination of an address period Ta2, a sustain period Ts2 is immediately started.

Next, a timing chart of a portion related to the current source circuit in the signal line driver circuit will be described. More specifically, a timing chart of a portion related to the setting operation for the current source circuit will be  
15 described.

Basic timings are as described below. First, an address period terminates. Then, in a period Tc during which no scanning line has been selected during a sustain period, selection is performed for a current source circuit for which a setting operation is performed. Subsequently, the setting operation for the  
20 current source circuit of the signal line driver circuit starts. The setting operation terminates immediately before the start of the address period. Meanwhile, it may be such that the period Tc is provided again; a selection is performed for a current source circuit for which the setting operation is performed; and the setting operation is performed for the selected current source circuit. Thus, the setting  
25 operation may be performed between address periods.

However, there is a case where the setting operation cannot be performed during the period described above. This is a case where, in the period, the current source circuit of the signal line driver circuit is engaged in an input operation (output of a current to the pixel), and also, the current source circuit of  
30 the signal line driver circuit is not capable of simultaneously performing the

setting operation and the input operation. A case where the current source circuit of the signal line driver circuit performs the input operation (output of a current to the pixel) between address periods often corresponds to a case where the pixel with the structure shown in FIG. 55(B) is provided.

5 In contrast, there is a case where the setting operation can be performed for the current source circuit of the signal line driver circuit during the address period. The case corresponds to a case where the storage circuit 451 is provided as in any one of, for example, FIGs. 27, 28, and 30. In this case, even during the address period, the current source circuit of the signal line driver circuit can be  
10 simultaneously engaged in a setting operation and an input operation. In addition, when the current source circuit of the signal line driver circuit is not engaged in the input operation during the address period, the current source circuit of the signal line driver circuit can perform the setting operation even with a current source circuit of any structure.

15 The reason for this is that since the storage circuit 451 contains the information related to the current source circuit for which the setting operation is performed, the operations are not influenced by variation in the video signal during the address period. Thus, in the case where the setting operation and the input operation of the current source circuit of the signal line driver circuit can be  
20 implemented simultaneously, the setting operation and the input operation of the current source circuit of the signal line driver circuit can be implemented simultaneously even during the address period. Even if the case where the setting operation and the input operation of the current source circuit of the signal line driver circuit cannot be performed simultaneously, when the current source  
25 circuit of the signal line driver circuit is not engaged in the input operation (output of a current to the pixel) in the address period, the setting operation of the current source circuit of the signal line driver circuit can be implemented.

According to the present invention, the setting operation for the current source circuits may be performed either sequentially by each or at random.  
30 Further, in the case where the periods during which the setting operation is



performed are dotted in one frame, the setting operation may be performed by effectively using the periods. Further, the setting operation for all the current source circuits may be not performed within one frame period, but performed in several frame periods or more. Thus, the setting operation for the current source  
5 circuits can be precisely performed using a sufficient time.

This embodiment may be arbitrarily combined with Embodiment Modes 1 to 10.

#### [Embodiment 2]

10 In this embodiment, example structures of pixel circuits provided in the pixel portion will be described with reference to FIGs. 13 and 73.

Note that the present invention may be applied to a pixel of any structure as long as the structure includes a current input portion.

A pixel shown in FIG. 13(A) includes a signal line 1101, first and second  
15 scanning lines 1102 and 1103, a current line (power supply line) 1104, a switching TFT 1105, a holding TFT 1106, a driving TFT 1107, a conversion driving TFT 1108, a capacitor element 1109, and a light emitting element 1110. The signal line 1101 is connected to a current source circuit 1111.

Note that the current source circuit 1111 corresponds to the current source  
20 circuit 420 disposed in the signal line driver circuit 403.

In the pixel of FIG. 13(A), the gate electrode of the switching TFT 1105 is connected to the first scanning line 1102, a first electrode thereof is connected to the signal line 1101, and a second electrode thereof is connected to a first electrode of the driving TFT 1107 and a first electrode of the conversion driving  
25 TFT 1108. The gate electrode of the holding TFT 1106 is connected to the second scanning line 1103, a first electrode thereof is connected to the signal line 1102, and a second electrode thereof is connected to the gate electrode of the driving TFT 1107 and the gate electrode of the conversion driving TFT 1108. A second electrode of the driving TFT 1107 is connected to the current line (power  
30 supply line) 1104, and a second electrode of the conversion driving TFT 1108 is

connected to one of the electrodes of the light emitting element 1110. The capacitor element 1109 is connected between the gate electrode of the conversion driving TFT 1108 and a second electrode thereof, and retains a gate-source voltage of the conversion driving TFT 1108. The current line (power supply  
5 line) 1104 and the other electrode of the light emitting element 1110 are respectively input with predetermined potentials and have mutually different potentials.

The pixel of FIG. 13(A) corresponds to the case where a circuit of FIG. 40(B) is applied to a pixel. However, since the current-flow direction is different,  
10 the transistor polarity is reverse. The driving TFT 1107 of FIG. 13(A) corresponds to a TFT 126 of FIG. 40(B), the conversion driving TFT 1108 of FIG. 13(A) corresponds to a TFT 122 of FIG. 40(B), and the holding TFT 1106 of FIG. 13(A) corresponds to the TFT 124 of FIG. 40(B).

A pixel shown in FIG. 13(B) includes a signal line 1151, first and second  
15 scanning lines 1142 and 1143, a current line (power supply line) 1144, a switching TFT 1145, a holding TFT 1146, a conversion driving TFT 1147, a driving TFT 1148, a capacitor element 1149, and a light emitting element 1140. The signal line 1151 is connected to a current source circuit 1141.

Note that the current source circuit 1141 corresponds to the current source  
20 circuit 420 disposed in the signal line driver circuit 403.

In the pixel of FIG. 13(B), the gate electrode of the switching TFT 1145 is connected to the first scanning line 1142, a first electrode thereof is connected to the signal line 1151, and a second electrode thereof is connected to a first electrode of the driving TFT 1148 and a first electrode of the conversion driving  
25 TFT 1148. The gate electrode of the holding TFT 1146 is connected to the second scanning line 1143, a first electrode thereof is connected to the first electrode of the driver TFT 1148, and a second electrode thereof is connected to the gate electrode of the driving TFT 1148 and the gate electrode of the conversion driving TFT 1147. A second electrode of the conversion driving TFT  
30 1147 is connected to the current line (power supply line) 1144, and a second

electrode of the conversion driving TFT 1147 is connected to one of the electrodes of the light emitting element 1140. The capacitor element 1149 is connected between the gate electrode of the conversion driving TFT 1147 and a second electrode thereof, and retains a gate-source voltage of the conversion driving TFT 5 1147. The current line (power supply line) 1144 and the other electrode of the light emitting element 1140 are respectively input with predetermined potentials and have mutually different potentials.

Note that the pixel of FIG. 13(B) corresponds to the case where a circuit of FIG. 6(B) is applied to a pixel. However, since the current-flow direction is 10 different, the transistor polarity is reverse. The conversion driving TFT 1147 of FIG. 13(B) corresponds to a TFT 122 of FIG. 6(B), the driving TFT 1148 of FIG. 13(B) corresponds to a TFT 126 of FIG. 6(B), and the holding TFT 1146 of FIG. 13(B) corresponds to the TFT 124 of FIG. 6(B).

A pixel shown in FIG. 13(C) includes a signal line 1121, a first scanning 15 line 1122, a second scanning line 1123, a third scanning line 1135, a current line (power supply line) 1124, a switching TFT 1125, a pixel current line 1138, an erasing TFT 1126, a driving TFT 1127, a capacitor element 1128, a current-supply TFT 1129, a mirror TFT 1130, a capacitor element 1131, a current-input TFT 1132, a holding TFT 1133, and a light emitting element 1136. The pixel current 20 line 1138 is connected to a current source circuit 1137.

In the pixel of FIG. 13(C), the gate electrode of the switching TFT 1125 is connected to the first scanning line 1122, a first electrode of the switching TFT 1125 is connected to the signal line 1121, and a second electrode of the switching TFT 1125 is connected to the gate electrode of the driving TFT 1127 and a first 25 electrode of the erasing TFT 1126. The gate electrode of the erasing TFT 1126 is connected to the second scanning line 1123, and a second electrode of the erasing TFT 1126 is connected to the current line (power supply line) 1124. A first electrode of the driving TFT 1127 is connected to one of the electrodes of the light emitting element 1136, and a second electrode of the driving TFT 1127 is 30 connected to a first electrode of the current-supply TFT 1129. A second

electrode of the current-supply TFT 1129 is connected to the current line (power supply line) 1124. One of the electrodes of the capacitor element 1131 is connected to the gate electrode of the current-supply TFT 1129 and the gate electrode of the mirror TFT 1130 and the other electrode thereof is connected to the current line (power supply line) 1124. A first electrode of the mirror TFT 1130 is connected to the current line 1124, and a second electrode of the mirror TFT 1130 is connected to a first electrode of the current-input TFT 1132. A second electrode of the current-input TFT 1132 is connected to the current line (power supply line) 1124, and the gate electrode of the current-input TFT 1132 is connected to the third scanning line 1135. The gate electrode of the current holding TFT 1133 is connected to the third scanning line 1135, a first electrode of the current holding TFT 1133 is connected to the pixel current line 1138, a second electrode of the current holding TFT 1133 is connected to the gate electrode of the current-supply TFT 1129 and the gate electrode of the mirror TFT 1130. The current line (power supply line) 1124 and the other electrode of light emitting element 1136 are input with predetermined potentials and have mutually different potentials.

In this case, the current source circuit 1137 corresponds to the current source circuit 420 disposed in the signal line driver circuit 403.

Note that the pixel of FIG. 13(C) corresponds to the case where the circuit of FIG. 6(E) is applied to the pixel of FIG. 55(B). However, since the current-flow direction is different, the transistor polarity is opposite. As described above, the erasing TFT 1126 is additionally provided in the pixel of FIG. 13(C). The disposition of the erasing TFT 1126 enables the length of the lightening period to be arbitrarily controlled.

The switching TFT 1125 serves to control the supply of the video signal to the pixel. The erasing TFT 1126 serves to cause charge retained in the capacitor element 1131 to be discharged. The conductivity/non-conductivity of the driving TFT 1127 is controlled according to the charge retained in the capacitor element 1131. The current-supply TFT 1129 and the mirror TFT 1130 together form a

current mirror circuit. The current line 1124 and the other electrode of the light emitting element 1136 are input with predetermined potentials and mutually have potential differences.

To be more specific, when the switching TFT 1125 is turned ON, a video  
5 signal is input to the pixel through the signal line 1121 and is held in the capacitor element 1128. The driving TFT 1127 is turned ON or OFF depending on the value of the video signal. Thus, when the driving TFT 1127 is ON, a constant current flows to the light emitting element, and the light emitting element emits light. When the driving TFT 1127 is OFF, no current flows to the light emitting  
10 element, and the light emitting element does not emit light. In this manner, an image is displayed. In addition, the current source circuit is formed of, for example, the current-supply TFT 1129, the mirror TFT 1130, the capacitor element 1131, the current-input TFT 1132, and the holding TFT 1133. The current source circuit includes a capacity of flowing a constant current. Current  
15 is passed through the pixel current line 1138 and is then input to the current source circuit, and the setting operation is performed. Thus, even when variation occurs in the characteristics of the transistors constituting the current source circuit, variation does not occur in the magnitude of current that flows from the current source circuit to the light emitting element. The setting operation for the current  
20 source circuit of the pixel can be performed independent of the operations of, for example, the switching TFT 1125 and the driving TFT 1127.

A pixel of FIG. 73(A) corresponds to the case where the circuit of FIG. 6(A) is applied to the pixel of FIG. 55(B). However, since the current-flow direction is different, the transistor polarity is opposite.

25 The pixel of FIG. 73(A) includes, for example, a current-supply TFT 1129, a capacitor element 1131, a holding TFT 1133, and a pixel current line 1138 (Ci). The pixel current line 1138 (Ci) is connected to a current source circuit 1137. Note that the current source circuit 1137 corresponds to the current source circuit 420 disposed in the signal line driver circuit 403.

30 A pixel of FIG. 73(B) corresponds to the case where the circuit of FIG.

7(A) is applied to the pixel of FIG. 55(B). However, since the current-flow direction is different, the transistor polarity is opposite.

The pixel of FIG. 73(B) includes, for example, a current-supply TFT 1129, a capacitor element 1131, a holding TFT 1133, and a pixel current line 1138 (Ci).

5 The pixel current line 1138 (Ci) is connected to a current source circuit 1137. Note that the current source circuit 1137 corresponds to the current source circuit 420 disposed in the signal line driver circuit 403.

The pixel of FIG. 73(A) and the pixel of FIG. 73(B) are mutually different in the polarities of the respective current-supply TFTs 1129. Because of the  
10 difference in the polarities, connections of the capacitor element 1131 and the holding TFT 1133 are different.

As described above, pixels have various structures. Here, the pixels described above can be broadly classified into two types. The first type inputs a current corresponding to the video signal to the signal line. This type  
15 corresponds to, for example, the structures of FIGs. 13(A) and 13(B). In the respective structures, the signal line driver circuit includes the signal current control switch, as shown in FIGs. 1 and 2. The other type inputs a video signal to the signal line, and inputs to the pixel current line a constant current unrelated to the video signal, that is, the pixel as shown in FIG. 55(B). The structure  
20 corresponds to, for example, FIGs. 13(C), 73(A), and 73(B). In this case, the signal line driver circuit, as those of FIGs. 36 and 37, does not include the signal current control switch.

Hereinafter, timing charts corresponding to the above-described pixel types will be described. First, cases where digital gradation and time gradation  
25 are combined. However, it is variable depending on, for example, the pixel type or the structure of the signal line driver circuit. Thus, timing charts for the respective structures will be described.

First, the pixel type that inputs the current corresponding to the video signal to the signal line will be described hereinafter. The pixel is assumed to  
30 have the structure of FIG. 13(A) or 13(B). The signal line driver circuit is

assumed to take the structure of FIG. 3(A) or 3(B). The timing chart in that case is shown in FIG. 74.

Also assumed are that 4-bit gradations are represented, and that the number of subframes is four for the convenience of simplifying the description.

- 5 First, a first subframe period SF1 starts. A scanning line (such as the first scanning line 1102 shown in FIG. 13(A), or the first scanning line 1132 shown in FIG. 13(B)) is selected on a line basis, and current is input through a signal line (such as the signal line 1101 in FIG. 13(A) or the capacitor element 1131 in FIG. 13(B)). The current has a value corresponding to that of the video signal.
- 10 Upon termination of a lightening period  $T_{s1}$ , a subsequent subframe period SF2 starts, and scanning is performed similar to the case of the subframe period SF1. Then, a subsequent subframe period SF3 starts, and scanning is performed similarly. However, since the length of a lightening period  $T_{s3}$  is shorter than an address period  $T_{a3}$ , light is forced not to be emitted. That is, the input video
- 15 signal is erased or current is controlled not to flow to the light emitting element. To erase the video signal, the second scanning line (such as the second scanning line 1103 in FIG. 13(A) or the second scanning line 1133 in FIG. 13(B)) is selected on a line basis. As a result, the video signal is erased to cause the light emitting element to be in the non-emission state. Then, a subsequent subframe
- 20 period SF4 starts. Also in this stage, scanning is performed similar to the case of the subframe period SF3; and the light emitting element is brought into the non-emission state similarly.

Described above is the timing chart relevant to the image display operation, that is, pixel operation. Next, described hereinafter is a timing chart

- 25 of the setting operation for the current source circuit disposed in the signal line driver circuit. In this case, during the setting period  $T_c$ , the video signal is used to specify a current source circuit for which the setting operation should be performed among the plurality of current source circuits. Thus, the setting operation cannot be performed while the video signal is varying, that is, during the
- 30 address period. The reason is that, while the setting operation is attempted

during the address period, the video signal is varying in manners different depending on the image.

To be more specific, the input operation of the current source circuit of the signal line driver circuit is performed between the address periods (such as Ta1 and Ta2) in each subframe period. Hence, the setting operation of the current source circuit of the signal line driver circuit should be performed during a period other than the address period. Accordingly, the setting operation for the current source circuit disposed in the signal line driver circuit should be performed during setting operation periods Tb1 to Tb4 other than the address period, as shown in FIG. 74. In this case, the setting operation may be performed during a period between the address period Ta1 and the address period Ta2, or may be performed during a period between the address period Ta2 and the address period Ta3, or may be performed by using both the periods. In addition, while the plurality of setting operation periods Tb are disposed in the period between the address period Ta1 and Ta2, only one setting operation period Tb may be disposed. Further, instead of providing one setting operation periods Tb, a plurality of setting operation periods Tb may be disposed in the period between the address periods Ta2 and Ta3.

Next, the pixel has supposedly the structure of either FIG. 13(A) or FIG. 13(B), and the signal line driver circuit includes supposedly the storage circuit 451 as in the structures of FIGs. 27 and 28. Since timing chart relevant to the image display operation, that is, the pixel operation, is similar to that described above, a description thereof will be omitted here. FIG. 75 shows timing of the setting operation for the current source circuit disposed in the signal line driver circuit. In the shown case, even when the video signal is varying, information related to a current source circuit in a column for which the setting operation is performed is held in the storage circuit 451. Thus, in the case where the current source circuit is capable of simultaneously performing the setting operation and the input operation, the setting operation can be performed even in the address period. Thus, setting periods Tc are respectively provided before, for example, setting



operation periods Tb5, Tb7, Tb8, and Tb1. During the setting period Tc, a current source circuit for which the setting operation is performed is selected, and the setting operation period is then commenced. Thus, in the structure where the current source circuit of the signal line driver circuit can simultaneously perform  
5 the setting operation and the input operation (output of current to the pixel), a setting operation period Tb5 can be provided even in the address period.

Thus, according to the timing charts of FIGs. 74 and 75, many setting operation periods can be provided. Accordingly, the period during which all the current source circuits disposed in the signal line driver circuit respectively  
10 perform the setting operation can be reduced. Alternatively, the period during which the setting operation is performed for the current source circuit can be prolonged. Consequently, the setting operation can be performed with even higher precision.

Next, a description will be given of the pixel type that inputs a video  
15 signal to the signal line and then inputs a constant current unrelated to the video signal to the pixel current line. The signal line driver circuit is assumed to have the structure of FIG. 55(A). The pixel is assumed to have the structure of, for example, FIG. 13(C), 55(B), 73(A), or 73(B). In the aforementioned pixel, however, the setting operation needs to be performed also for the current source  
20 circuit disposed in the pixel. Thus, the operation of the current source circuit of the pixel is variable depending on whether the current source circuit is capable of simultaneously performing the setting operation and the input operation. FIG. 76 shows a timing chart in the case where the setting operation and the input operation of the current source circuit of the pixel can be performed  
25 simultaneously, that is, a timing chart in the case where the pixel has the structure of FIG. 13(C).

First, the image display operation, that is, operations related to the switching transistor of the pixel, the driving transistor, and the like will be described below. Since the operations are almost the same as those described  
30 above, they will be briefly described. First, a first subframe period SF1 starts.

A scanning line (first scanning line 1122 in FIG. 13(C)) is selected on a line basis, and a video signal is input through a signal line (signal line 1121 in FIG. 13(C)). The video signal is ordinarily a voltage, but it may be a current. Upon termination of a lightening period  $Ts1$ , a subsequent subframe period SF2 starts, 5 and scanning is performed similar to the case of the first subframe period SF1. Then, a subsequent subframe period SF3 starts, and scanning is performed similarly. However, since the length of a lightening period  $Ts3$  is shorter than an address period  $Ta3$ , light is forced not to be emitted. That is, the input video signal is erased or current is controlled not to flow to the light emitting element. 10 To erase the input video signal, the second scanning line (the second scanning line 1123 in FIG. 13(C)) is selected on a line basis. As a result, the video signal is erased, and the driving TFT 1127 is brought into the OFF state. Thus, the light emitting elements can be brought into the non-emission state. Then, a subsequent subframe period SF4 starts. Also in this stage, scanning is performed 15 as in the case of the subframe period SF3 and light emitting elements are brought into the non-emission state similarly.

Next, the setting operation for the current source circuit of the pixel will be described. In the structure of FIG. 13(C), the setting operation and the input operation of the current source circuit of the pixel can be performed 20 simultaneously. Accordingly, the setting operation for the current source circuit of the pixel can be performed with an arbitrary timing.

During the setting period  $Tc$ , the video signal is used to specify a current source circuit for which the setting operation should be performed. Thus, the setting operation cannot be performed while the video signal is varying, that is, 25 during the address period. The reason is that, while the setting operation is attempted during the address period, the video signal is varying in manners different depending on the image. Hence, in the case the setting operation and the input operation (output of current to the pixel) of the current source circuit of the signal line driver circuit cannot be performed simultaneously, as shown in FIG. 30 76, the setting operation of the current source circuit of the signal line driver

circuit should be performed during a period between address periods, and concurrently, the setting operation for the current source of the pixel (input operation of the current source circuit of the signal line driver circuit) is not performed. On the other hand, in the case the setting operation and the input  
5. operation (output of current to the pixel) of the current source circuit of the signal line driver circuit can be performed simultaneously, as shown in FIG. 77, the setting operation of the current source circuit of the signal line driver circuit should be performed during a period between address periods. According to the timing charts of FIGs. 76 and 77, while the plurality of setting operation periods  
10 Tb are disposed in the period between the address periods Ta1 and Ta2, only one setting operation period Tb may be disposed.

Next, the pixel has supposedly the structure of FIG. 13(C), and the signal line driver circuit includes supposedly the storage circuit 451 as in the structures of FIGs. 59 and 60. Since a timing chart related to the image display operation,  
15 that is, the pixel operation, is similar to that described above, a description thereof will be omitted here. Referring to FIGs. 78 and 79, timings of the setting operations for the current source circuit disposed in the signal line driver circuit will be described below. In the shown case, since information related to a current source circuit for which the setting operation is performed is held in the  
20 storage circuit 451, even when the video signal is varying, the setting operation of the current source circuit can be performed. Thus, in this structure, setting periods Tc are respectively provided before, for example, setting operation periods Tb1 and Tb5. During the setting period Tc, a current source circuit for which the setting operation is performed is selected, and the setting operation period is then  
25 commenced. Thus, the setting operation period Tb5 and the like can be provided even in the address period.

In the structure where the setting operation and the input operation cannot be performed simultaneously, as shown in FIG. 78, while the setting operation is being performed for the current source of the pixel, the setting operation cannot be  
30 performed for the current source circuit disposed in the signal line driver circuit.

In this case, the arrangement needs to be made such that a setting period  $T_c$  is provided before the setting operation is performed for the current source of the pixel, and data in the storage circuit 451 is modified during the setting period  $T_c$  so that no current source circuit does not perform the setting operation. Thus, as  
5 shown in FIG. 78, for example, setting periods  $T_c$  need to be provided after the setting operation period  $T_{b5}$ . On the other hand, in the structure where the setting operation and the input operation of the current source circuit can be performed simultaneously, as shown in FIG. 79, the setting operation can be performed for the current source circuit of the signal line driver circuit even while  
10 the setting operation is being performed for the current source of the pixel. According to the timing chart shown in FIG. 79, many setting operation periods can be provided. Accordingly, the period during which all the current source circuits disposed in the signal line driver circuit respectively perform the setting operation can be reduced. Alternatively, the period during which the setting  
15 operation is performed for each current source circuit can be prolonged. Consequently, the setting operation can be performed even more precisely.

Next, the pixel has supposedly the structure of FIG. 13(C), and the signal line driver circuit includes supposedly the storage circuit 451 as in the structure of FIG. 61. Since a timing chart related to the image display operation, that is, the  
20 pixel operation, is similar to that described above, a description thereof will be omitted here. FIG. 80 shows the timing of the setting operation for the current source circuit disposed in the signal line driver circuit. In the shown case, even when the video signal is varying, since predetermined information is held in the storage circuit 451, the setting operation of the current source circuit can be  
25 performed. Hence, the setting operation can be performed even in the address period. In addition, use of the logical operator 452 enables the setting operation to terminate during an arbitrarily period and the like. Thus, setting periods  $T_c$  need not to be provided before the setting operation of the current source circuit disposed in the pixel is performed. The setting operation can also be terminated  
30 even during the address period by controlling the second storage control line.

According to this structure, arbitrary adjustment can be performed for length of the period during which the setting operation of the current source circuit of the pixel is performed and the length of the period during which the setting operation of the current source circuit of the signal line driver circuit is performed.

5       Next, FIG. 81 shows a timing chart in the case where the pixel is of the type that inputs a video signal to the signal line and then inputs a constant current unrelated to the video signal to the pixel current line, and concurrently, the setting operation and the input operation of the current source circuit of the pixel cannot be performed simultaneously, that is, in the case where the pixel has the structure  
10 of FIG. 73(A) or 73(B). First, since the image display operation, that is, operations related to the switching transistor and the driving transistor of the pixel, and the like are substantially the same as those in the above-described case shown in FIG. 76, they will be briefly described. First, a first subframe period SF1 starts. A scanning line (first scanning line 1122 in either of FIGs. 73(A) and  
15 73(B)) is selected on a line basis, and a video signal is input through a signal line (signal line 1121 in FIGs. 73(A) and 73(B)). The video signal is ordinarily a voltage, but it may be a current. Upon termination of a lightening period  $Ts1$ , a subsequent subframe period SF2 starts, and scanning is performed similar to the case of the subframe period SF1. Then, a subsequent subframe period SF3 starts,  
20 and scanning is performed similarly. However, since the length of a lightening period  $Ts3$  is shorter than that of an address period  $Ta3$ , light is forced not to be emitted. That is, the input video signal is erased or current is controlled not to flow to the light emitting element. In order to prevent current from flowing in the light emitting element, the second scanning line (the second scanning line  
25 1123 in FIG. 13(C)) is put into a non-selected state on a line basis. As a result, the easing TFT 1127 is brought into the OFF state. Thus, current-flow paths are blocked, and the light emitting elements can be brought into the non-emission state. Then, a subsequent subframe period SF4 starts. Also in this stage, scanning is performed as in the case of the subframe period SF3 and light emitting  
30 elements are brought into the non-emission state similarly.

Next, the setting operation for the current source circuit of the pixel will be described. In the structures of FIGs. 73(A) and 73(B), the setting operation and the input operation of the current source circuit disposed in the pixel cannot be performed simultaneously. Accordingly, the setting operation for the current  
5 source circuit of the pixel should be performed while the current source circuit of the pixel is not engaged in the input operation, that is, while no current is flowing to the light emitting element. In addition, the setting operation of the current source circuit disposed in the signal line driver circuit should be performed during a period other than a period during which the current source circuit of the pixel is  
10 performing the setting operation and performed between the address periods.

Since the case is as described above, the setting operation for the current source circuit of the pixel should be performed during a non-lightening period (Td3 or Td4); and the setting operation of the current source circuit of the signal line driver circuit should be performed between address periods. FIG. 81 shows  
15 a timing chart in the case where setting operations are performed for the current source circuit disposed in the pixel during non-lightening periods (Td3 and Td4) of subframe periods SF3 and SF4, and in addition, the setting operation is performed for current source circuit of the signal line driver circuit during a period between the address periods Ta1 and Ta2 or between the address periods Ta2 and  
20 Ta3.

Note that there is a case in which it is difficult to precisely perform the setting operation for the current source circuit disposed in the pixel since the period during which the setting operation is performed for the current source circuit disposed in the pixel is short only with the non-lightening period. In this  
25 case, as shown in FIGs. 82 and 83, it may be such that a non-lightening period is forcedly is provided before each address period, and the setting operation is performed for the current source circuit of the pixel in the non-lightening period. Here, FIG. 82 shows a case where the setting operation for the current source circuit in the signal line driver circuit and the input operation thereof cannot be  
30 performed simultaneously. On the other hand, FIG. 83 shows a case where the

setting operation for the current source circuit in the signal line driver circuit and the input operation thereof can be performed simultaneously.

Next, a description will be given of a case where the pixel has the structure of FIG. 73(A) or 73(B), and the signal line driver circuit includes the storage circuit 451 as in the structures of FIGs. 59 and 60. Since a timing chart regarding the image display operation, that is, the pixel operation, is similar to that described above, a description thereof will be omitted here. FIGs. 84 and 85 show timings of the setting operations for the current source circuit disposed in the signal line driver circuit. In the shown case, even when the video signal is varying, predetermined information is held in the storage circuit 451. Accordingly, the setting operation can be performed for the current source circuit. Thus, setting periods  $T_c$  are respectively provided before, for example, the setting operation periods  $T_{b4}$ . During the setting period  $T_c$ , a current source circuit for which the setting operation is performed is selected, and the setting operation period is then commenced. Thus, as shown in FIG. 83, for example, the setting operation period  $T_{b4}$  can be provided even in the address period.

In the structure where the setting operation and the input operation of the current source circuit cannot be performed simultaneously, as shown in FIG. 84, while the setting operation is being performed for the current source of the pixel, the setting operation cannot be performed for the current source circuit disposed in the signal line driver circuit. In this case, the arrangement needs to be made such that a setting period  $T_c$  is provided before the setting operation is performed for the current source of the pixel, and data in the storage circuit 451 is modified during the setting period  $T_{c1}$  so that no current source circuit does not perform the setting operation. Thus, as shown in FIG. 84, setting periods  $T_c$  need to be provided after, as an example, the setting operation period  $T_{b5}$ . On the other hand, in the structure where the setting operation and the input operation of the current source circuit can be performed simultaneously, as shown in FIG. 85, the setting operation can be performed for the current source circuit of the signal line driver circuit even while the setting operation is being performed for the current

source of the pixel.

As described above, according to the structures of FIGs. 84 and 85, many setting operation periods can be provided in one frame period. Accordingly, the period during which all the current source circuits disposed in the signal line driver circuit respectively complete the setting operation can be reduced. Alternatively, the period during which the setting operation is performed for the current source circuit can be prolonged. Consequently, the setting operation can be performed even more precisely.

Next, a description will be given of a case where the pixel has the structure of FIG. 73(A) or 73(B), and the signal line driver circuit includes the storage circuit 451 as in the structure of FIG. 61. Since a timing chart regarding the image display operation, that is, the pixel operation, is similar to that described above, a description thereof will be omitted here. FIG. 86 shows a timing chart of the setting operation for the current source circuit disposed in the signal line driver circuit. In the shown case, even when the video signal is varying, predetermined information is held in the storage circuit 451. Accordingly, the setting operation can be performed for the current source circuit. Thus, the setting operation can be also performed for the current source circuit disposed in the signal line driver circuit even in the address period. In addition, control of the logical operator 452 enables the setting operation to terminate during an arbitrarily period. Thus, setting periods  $T_c$  need not to be provided before execution of the setting operation of the current source circuit disposed in the pixel. The setting operation can also be terminated even at a halfway point of the address period by controlling the second storage control line. According to this structure, arbitrary adjustment can be performed for length of the period during which the setting operation of the current source circuit of the pixel is performed and the length of the period during which the setting operation of the current source circuit of the signal line driver circuit is performed.

In the above, the timing charts in the cases where digital gradation and time gradation are combined have been described. Hereinafter, timing charts in



the case of analog gradation will be described.

First, the pixel is assumed to have the structure of FIG. 13(A) or 13(B). The signal line driver circuit is assumed to have the structure of any one of FIGs. 5, 49, and 50. The timing chart in that case is shown in FIG. 9. A scanning line  
5 (the first scanning line 1102 shown in FIG. 13(A) or the first scanning line 1132 shown in FIG. 13(B)) is selected on a line basis, and current is input through a signal line (1101 in FIG. 13(A) or 1131 in FIG. 13(B)). The current has a value corresponding to that of the video signal. The operations of selection made on a line bases and input of the current from the signal line are performed through one  
10 frame period.

The timing chart related to the image display operation, that is, the pixel operation is as described above. Next, the timing of the setting operation of the current source circuit disposed in the signal line driver circuit will be described. Ordinarily, the input operation of the current source circuit disposed in the signal  
15 line driver circuit is performed through one frame period. Hence, as in the conventional ones, the setting operation of the current source circuit disposed in the signal line driver circuit cannot be performed. Thus, as shown in FIG. 9, a setting period  $T_c$  and a setting operation period  $T_b$  are provided at the initial portion of each horizontal scanning period. Then, a current source circuit for  
20 which the setting operation is performed is selected in the setting period  $T_c$ , and the setting operation is then performed in the setting operation period  $T_b$ . In this case, the period may be set identical with a return period. Thereafter, the input operation of the current source circuit of the signal line driver circuit is performed.

Next, a description will be given of a case where the pixel has the  
25 structure of FIG. 13(A) or 13(B), and the signal line driver circuit includes the storage circuit 451 as in the structure of FIG. 10. In the case where the setting operation and the input operation can be performed in the current source circuit disposed in the signal line driver circuit simultaneously, the setting operation periods  $T_b$  can be set long, as shown in FIG. 11. In this case, the setting  
30 operation of the current source circuit disposed in the signal line driver circuit

needs to be performed in a state where, for example, current does not leak, and a different current is not input. For this reason, for example, the transistor 182 of FIG. 24 and the transistors A, B, and C of FIG. 50 need to be set to the OFF state before execution of the setting operation of the current source circuit of the signal  
5 line driver circuit. However, as in the structure of FIG. 51, when a structure that does not cause, for example, current leakage or input of a different current is employed, such currents need not be taken into account.

This embodiment may be arbitrarily combined with Embodiment Modes 1 to 10 and Embodiment 1.

10

### [Embodiment 3]

In this embodiment, technical devices when performing color display will be described.

With a light emitting element comprised of an organic EL element, the  
15 luminance can be variable depending on the color even though current having the same magnitude is supplied to the light emitting device. In addition, in the case where the light emitting element has deteriorated because of, for example, a time factor, the deterioration degree is variable depending on the color. Thus, when performing color display with a light emitting device using light emitting elements,  
20 various technical devices are required to adjust the white balance.

The simplest technique is to change the magnitude of the current that is input to the pixel. To achieve the technique, the magnitude of the reference constant current source should be changed depending on the color.

Another technique is to use circuits as shown in FIGs. 6(C) to 6(E) for the  
25 pixel, signal line driver circuit, reference constant current source, and the like. In the circuits as shown in FIGs. 6(C) to 6(E), the W/L ratio of two transistors forming the current mirror circuit is changed depending on the color. Thus, the magnitude of the current to be input to the pixel can be changed depending on the cooler.

30 Still another technique is to change the length of a lightening period.

The technique can be applied to either of the case where the time gradation method is employed and the case where the time gradation method is not employed. According to the technique, the luminance of each pixel can be adjusted.

5        The white balance can be easily adjusted by using any one of the techniques or a combination thereof.

      This embodiment may be arbitrarily combined with Embodiment Modes 1 to 10 and Embodiments 1 and 2.

#### 10 [Embodiment 4]

      In this embodiment, the appearances of the light emitting devices (semiconductor devices) of the present invention will be described using FIG. 12. FIG. 12 is a top view of a light emitting device formed such that an element substrate on which transistors are formed is sealed with a sealing material; FIG. 12(B) is a cross-sectional view taken along the line A-A' of FIG. 12(A); and FIG. 12(C) is a cross-sectional view taken along the line B-B' of FIG. 12(A).

      A sealing material 4009 is provided so as to enclose a pixel portion 4002, a source signal line driver circuit 4003, and gate signal line driver circuits 4004a and 4004b that are provided on a substrate 4001. In addition, a sealing material 4008 is provided over the pixel portion 4002, the source signal line driver circuit 4003, and the gate signal line driver circuits 4004a and 4004b. Thus, the pixel portion 4002, the source signal line driver circuit 4003, and the gate signal line driver circuits 4004a and 4004b are sealed by the substrate 4001, the sealing material 4009, and the sealing material 4008 with a filler material 4210.

25        The pixel portion 4002, the source signal line driver circuit 4003, and the gate signal line driver circuits 4004a and 4004b, which are provided over the substrate 4001, include a plurality of TFTs. FIG. 12(B) representatively shows a driving TFT (incidentally, an n-channel TFT and a p-channel TFT are shown in this example) 4201 included in the source signal line driver circuit 4003, and an erasing TFT 4202 included in the pixel portion 4002, which are formed on a base

30

film 4010.

In this embodiment, a p-channel TFT or an n-channel TFT that is manufactured according to a known method is used for the driving TFT 4201, and an n-channel TFT manufactured according to a known method is used for the  
5 erasing TFT 4202.

An interlayer insulating film (leveling film) 4301 is formed on the driving TFT 4201 and the erasing TFT 4202, and a pixel electrode (anode) 4203 for being electrically connected to a drain of the erasing TFT 4202 is formed thereon. A transparent conductive film having a large work function is used for the pixel  
10 electrode 4203. For the transparent conductive film, a compound of indium oxide and tin oxide, a compound of indium oxide and zinc oxide, zinc oxide, tin oxide, or indium oxide can be used. Alternatively, the transparent conductive film added with gallium may be used.

An insulating film 4302 is formed on the pixel electrode 4203, and the  
15 insulating film 4302 is formed with an opening portion formed on the pixel electrode 4203. In the opening portion, a light emitting layer 4204 is formed on the pixel electrode 4203. The light emitting layer 4204 may be formed using a known light emitting material or inorganic light emitting material. As the light emitting material, either of a low molecular weight (monomer) material and a high  
20 molecular weight (polymer) material may be used.

As a forming method of the light emitting layer 4204, a known vapor deposition technique or coating technique may be used. The structure of the light emitting layer 4204 may be either a laminate structure, which is formed by arbitrarily combining a hole injection layer, a hole transportation layer, a  
25 light-emitting layer, an electron transportation layer, and an electron injection layer, or a single-layer structure.

Formed on the light emitting layer 4204 is a cathode 4205 formed of a conductive film (representatively, a conductive film containing aluminum, copper, or silver as its main constituent, or a laminate film of the conductive film and  
30 another conductive film) having a light shielding property. Moisture and oxygen

existing on an interface of the cathode 4205 and the light emitting layer 4204 are desirably eliminated as much as possible. For this reason, a technical device is necessary in that the light emitting layer 4204 is formed in an nitrogen or noble gas atmosphere, and the cathode 4205 is formed without being exposed to oxygen,  
5 moisture, and the like. In this embodiment, the above-described film deposition is enabled using a multi-chamber method (cluster-tool method) film deposition apparatus. In addition, the cathode 4205 is applied with a predetermined voltage.

In the above-described manner, a light emitting element 4303 constituted by the pixel electrode (anode) 4203, the light emitting layer 4204, and the cathode  
10 4205 is formed. A protective film is formed on the insulating film so as to cover the light emitting element 4303. The protective film is effective for preventing, for example, oxygen and moisture, from entering the light emitting element 4303.

Reference numeral 4005a denotes a drawing wiring that is connected to a power supply line and that is electrically connected to a source region of the  
15 erasing TFT 4202. The drawing wiring 4005a is passed between the sealing material 4009 and the substrate 4001 and is then electrically connected to an FPC wiring 4301 of an FPC 4006 via an anisotropic conductive film 4300.

As the sealing material 4008, a glass material, a metal material (representatively, a stainless steel material), ceramics material, or a plastic  
20 material (including a plastic film) may be used. As the plastic material, an FRP (fiberglass reinforced plastics) plate, a PVF (polyvinyl fluoride) film, a Mylar film, a polyester film, or an acrylic resin film may be used. Alternatively, a sheet having a structure in which an aluminum foil is sandwiched by the PVF film or the Mylar film may be used.

25 However, a cover material needs to be transparent when light emission is directed from the light emitting layer to the cover material. In this case, a transparent substance such as a glass plate, a plastic plate, a polyester film, or an acrylic film, is used.

Further, for the filler material 4210, ultraviolet curing resin or a  
30 thermosetting resin may be used in addition to an inactive gas, such as nitrogen or

argon; and PVC (polyvinyl chloride), acrylic, polyimide, epoxy resin, silicon resin, PVB (polyvinyl butyral), or EVA (ethylene vinyl acetate) may be used. In this embodiment, nitrogen was used for the filler material.

To keep the filler material 4210 to be exposed to a hygroscopic substance  
5 (preferably, barium oxide) or an oxygen-absorbable substance, a concave portion  
4007 is provided on the surface of the sealing material 4008 on the side of the  
substrate 4001, and a hygroscopic substance or oxygen-absorbable substance 4207  
is disposed. The hygroscopic substance or oxygen-absorbable substance 4207 is  
held in the concave portion 4007 via a concave-portion cover material 4208 such  
10 that the hygroscopic substance or oxygen-absorbable substance 4207 does not  
diffuse. The concave-portion cover material 4208 is in a fine mesh state and is  
formed to allow air and moisture to pass through and not to allow the hygroscopic  
substance or oxygen-absorbable substance 4207 to pass through. The provision  
of the hygroscopic substance or oxygen-absorbable substance 4207 enables the  
15 suppression of deterioration of the light emitting element 4303.

As shown in FIG. 12(C), simultaneously with the formation of the pixel  
electrode 4203, a conductive film 4203a is formed so as to be contact with an  
upper portion of the drawing wiring 4005a.

In addition, the anisotropic conductive film 4300 includes a conductive  
20 filler 4300a. The substrate 4001 and the FPC 4006 are thermally press-bonded,  
whereby the conductive film 4203a on the substrate 4001 and the FPC wiring  
4301 on the FPC 4006 are electrically connected via the conductive filler 4300a.

This embodiment may be arbitrarily combined with Embodiment Modes 1  
to 10 and Embodiments 1 to 3.

25

#### [Embodiment 5]

A light emitting device using light emitting elements is of self-light  
emitting type, so that in comparison to a liquid crystal display, the light emitting  
device offers a better visibility in bright portions and a wider view angle. Hence,  
30 the light emitting device can be used in display portions of various electronic

devices.

Electronic devices using the light emitting device of the present invention include, there are given, for example, video cameras, digital cameras, goggle type displays (head mount displays), navigation systems, audio reproducing devices  
5 (such as car audio and audio components), notebook personal computers, game machines, mobile information terminals (such as mobile computers, mobile telephones, portable game machines, and electronic books), and image reproducing devices provided with a recording medium (specifically, devices for reproducing a recording medium such as a digital versatile disc (DVD), which  
10 includes a display capable of displaying images). In particular, in the case of mobile information terminals, since the degree of the view angle is appreciated important, the terminals preferably use the light emitting device. Practical examples are shown in FIG. 22.

FIG. 22(A) shows a light emitting element, which contains a casing 2001,  
15 a support base 2002, a display portion 2003, a speaker portion 2004, a video input terminal 2005, and the like. The light emitting element of the present invention can be applied to the display portion 2003. Further, the light emitting element shown in FIG. 22(A) is completed with the present invention. Since the light emitting element is of self-light emitting type, it does not need a back light, and  
20 therefore a display portion that is thinner than a liquid crystal display can be obtained. Note that light emitting elements include all information display devices, for example, personal computers, television broadcast transmitter-receivers, and advertisement displays.

FIG. 22(B) shows a digital still camera, which contains a main body 2101,  
25 a display portion 2102, an image receiving portion 2103, operation keys 2104, an external connection port 2105, a shutter 2106, and the like. The light emitting element of the present invention can be applied to the display portion 2102. Further, the digital still camera shown in FIG. 22(B) is completed with the present invention.

30 FIG 22(C) shows a notebook personal computer, which contains a main

body 2201, a casing 2202, a display portion 2203, a keyboard 2204, external connection ports 2205, a pointing mouse 2206, and the like. The light emitting element of the present invention can be applied to the display portion 2203. Further, the light emitting element shown in FIG. 22(C) is completed with the  
5 present invention.

FIG 22(D) shows a mobile computer, which contains a main body 2301, a display portion 2302, a switch 2303, operation keys 2304, an infrared port 2305, and the like. The light emitting element of present invention can be applied to the display portion 2303. Further, the mobile computer shown in FIG. 22(D) is  
10 completed with the present invention.

FIG 22(E) shows a portable image reproducing device provided with a recording medium (specifically, a DVD reproducing device), which contains a main body 2401, a casing 2402, a display portion A 2403, a display portion B 2404, a recording medium (such as a DVD) read-in portion 2405, operation keys  
15 2406, a speaker portion 2407, and the like. The display portion A 2403 mainly displays image information, and the display portion B 2404 mainly displays character information. The light emitting element of the present invention can be used in the display portion A 2403 and in the display portion B 2404. Note that family game machines and the like are included in the image reproducing devices  
20 provided with a recording medium. Further, the DVD reproducing device shown in FIG. 22(E) is completed with the present invention.

FIG 22(F) shows a goggle type display (head mounted display), which contains a main body 2501, a display portion 2502, an arm portion 2503, and the like. The light emitting element of the present invention can be used in the  
25 display portion 2502. The goggle type display shown in FIG. 22(F) is completed with the present invention.

FIG. 22(G) shows a video camera, which contains a main body 2601, a display portion 2602, a casing 2603, external connection ports 2604, a remote control reception portion 2605, an image receiving portion 2606, a battery 2607,  
30 an audio input portion 2608, operation keys 2609, an eyepiece portion 2610, and



the like. The light emitting element of the present invention can be used in the display portion 2602. The video camera shown in FIG. 22(G) is completed with the present invention.

Here, FIG. 22(H) shows a mobile telephone, which contains a main body  
5 2701, a casing 2702, a display portion 2703, an audio input portion 2704, an audio output portion 2705, operation keys 2706, external connection ports 2707, an antenna 2708, and the like. The light emitting element of the present invention can be used in the display portion 2703. Note that, by displaying white characters on a black background, the display portion 2703 can suppress the  
10 consumption current of the mobile telephone. Further, the mobile telephone shown in FIG. 22(H) is completed with the present invention.

When the emission luminances of light emitting materials are increased in the future, the light emitting element will be able to be applied to a front or rear type projector by expanding and projecting light containing image information  
15 having been output lenses or the like.

Cases are increasing in which the above-described electronic devices display information distributed via electronic communication lines such as the Internet and CATVs (cable TVs). Particularly increased are cases where moving picture information is displayed. Since the response speed of the light emitting  
20 material is very high, the light emitting device is preferably used for moving picture display.

Since the light emitting device consumes the power in light emitting portions, information is desirably displayed so that the light emitting portions are reduced as much as possible. Thus, in the case where the light emitting device is  
25 used for a display portion of a mobile information terminal, particularly, a mobile telephone, an audio playback device, or the like, which primarily displays character information, it is preferable that the character information be formed in the light emitting portions with the non-light emitting portions being used as the background.

30 As described above, the application range of the present invention is very

wide, so that the invention can be used for electronic devices in all of fields. The electronic devices according to this embodiment may use the light emitting device with the structure according to any one of Embodiment Modes 1 to 10 and Embodiments 1 to 4.

5           The present invention having the structures described above can suppress influences of variation in characteristics of TFTs, which is caused by manufacturing steps and the difference in a substrate used, and can supply a desired signal current to the outside.

          Further, in the present invention, when performing the setting operation, a  
10   current source circuit disposed in an arbitrary column is specified among the columns from the first column to the last column by using the video signal. In addition, a current source circuit is specified only for an arbitrary period. Thus, the specification can be implemented for the current source circuit that requires the setting operation among the current source circuits disposed in a plurality of  
15   columns, and the setting operation can be performed in the specified current source circuit using a sufficient time. Therefore, the setting operation can be precisely performed. Note that the setting operation may be sequentially performed from the first column to the last column among the current source circuits disposed in the plurality of columns. However, when the setting  
20   operation is not be sequentially performed for the current source circuits in the columns from the first column, and the setting operation can be performed at random for the current source circuit, various advantages are exhibited. For example, a sufficient time can be arbitrarily used to perform the setting operation for the current source circuit. In addition, in the case where periods during  
25   which the setting operation can be performed are dotted in one frame, when an arbitrary column can be selected, the degree of freedom is increased, and a setting operation period can be sufficiently secured. One of other advantages is that the influence of charge leakage in a capacitor element disposed in the current source circuit can be made inconspicuous. Thus, when a defect has occurred in  
30   association with the setting operation, the defect can be made inconspicuous.

In addition, according to the present invention, the video signal is used for the setting operation for the current source circuit, thereby obviating the necessity of dedicated circuits to perform control of the setting operation for the current source circuit and specification of the current source circuit. Consequently, since  
5 the number of circuits to be disposed is reduced, the defect-occurrence ratio during manufacture can be minimized. Furthermore, the layout area can be reduced. As a result, the frame area can be reduced, and the device can be miniaturized.

## CLAIM

1. A signal line driver circuit comprising a plurality of current source circuits corresponding to a plurality of wirings, characterized in that:

5       the plurality of current source circuits each comprise capacitor means and supply means; and

          the plurality of current source circuits each convert a supplied current to a voltage in accordance with a video signal, and supply a current corresponding to the converted voltage.

10

2. A signal line driver circuit comprising a plurality of current source circuits corresponding to a plurality of wirings, characterized in that:

          two current source circuits each comprising capacitor means and supply means are disposed for each wiring; and

15       one of the two current source circuits converts a supplied current to a voltage in accordance with a video signal, and the other current source circuit supplies a current corresponding to the converted voltage.

3. A signal line driver circuit comprising a plurality of current source circuits corresponding to a plurality of wirings, characterized in that:

20       n current source circuits (n is a natural number equal to or larger than 2) each comprising capacitor means and supply means are disposed for each wiring; and

          the n current source circuits each convert a supplied current to a voltage in accordance with a video signal, and supply a current corresponding to the converted voltage.

4. A signal line driver circuit according to claim 3, characterized in that:

30       the n current source circuits are connected to n reference constant current sources corresponding to mutually different bits; and

the values of currents supplied from the  $n$  reference constant current sources are set to  $2^0 : 2^1 : \dots : 2^n$ .

5. A signal line driver circuit according to claim 3, characterized in that  
5 the  $n$  current source circuits are connected to one reference constant current source corresponding to the most significant bit.

6. A signal line driver circuit according to any one of claims 1 to 3,  
characterized in that the plurality of wirings is either a plurality of signal lines or a  
10 plurality of current lines.

7. A signal line driver circuit according to any one of claims 1 to 3,  
characterized in that, when a drain and a gate of a transistor of the supply means  
are in a short-circuited state, a voltage generated between the gate and source is  
15 retained by the supplied current.

8. A signal line driver circuit according to any one of claims 1 to 3,  
characterized in that the supply means comprises a transistor, a first switch for  
controlling conductivity between a gate and a drain of the transistor, a second  
20 switch for controlling conductivity between a reference constant current source  
and the gate of the transistor, and a third switch for controlling conductivity  
between the drain of the transistor and a pixel.

9. A signal line driver circuit according to any one of claims 1 to 3,  
25 characterized in that, when drains and gates of both first and second transistors of  
the supply means are in a short-circuited state, the capacitor means retains a  
voltage generated between the gate and source of the first or second transistor by  
the supplied current.

30 10. A signal line driver circuit according to any one of claims 1 to 3,

characterized in that the supply means comprises a current mirror circuit constituted of first and second transistors, a first switch for controlling conductivity between gates and sources of the first and second transistors, and a second switch for controlling conductivity between a reference constant current  
5 source and the gates of the first and second transistors.

11. A signal line driver circuit according to any one of claims 1 to 3, characterized in that, when a drain and a gate of one of first and second transistors of the supply means are in a short-circuited state, a voltage generated between the  
10 gate and source is retained by the supplied current.

12. A signal line driver circuit according to any one of claims 1 to 3, characterized in that the supply means comprises:

a current mirror circuit comprising first and second transistors;  
15 a first switch for controlling conductivity between a reference constant current source and a drain of the first transistor; and

a second switch for controlling any one selected from conductivity between the drain and gate of the first transistor, conductivity between the gate of the first transistor and a gate of the second transistor, and conductivity between  
20 the gates of both the first and second transistors and the reference constant current source.

13. A signal line driver circuit according to claim 10, characterized in that gate widths/gate lengths of both the first and second transistors are set to identical  
25 values.

14. A signal line driver circuit according to claim 10, characterized in that gate width/gate length of the first transistor is set to a value larger than gate width/gate length of the second transistor.

30

15. A signal line driver circuit according to claim 11, characterized in that gate widths/gate lengths of both the first and second transistors are set to identical values.

5        16. A signal line driver circuit according to claim 11, characterized in that gate width/gate length of the first transistor is set to a value larger than gate width/gate length of the second transistor.

17. A signal line driver circuit according to claim 12, characterized in that  
10 gate widths/gate lengths of both the first and second transistors are set to identical values.

158. A signal line driver circuit according to claim 12, characterized in that gate width/gate length of the first transistor is set to a value larger than gate  
15 width/gate length of the second transistor.

19. A signal line driver circuit according to any one of claims 1 to 3, characterized in that:

the supply means comprises a transistor, first and second switches for  
20 controlling supply of a current to the capacitor means, and a third switch for controlling conductivity between a gate and a drain of the transistor; and

the gate of the transistor is connected to the first switch, a source of the transistor is connected to the second switch, and the drain of the transistor is connected to the third switch.

25

20. A signal line driver circuit according to any one of claims 1 to 3, characterized in that:

the supply means comprises a current mirror circuit comprising  $m$  transistors;

30        gate widths/gate lengths of the  $m$  transistors are set to  $2^0 : 2^1 : \dots : 2^m$ ; and

drain currents of the  $m$  transistors are set to  $2^0 : 2^1 : \dots : 2^m$ .

21. A signal line driver circuit according to any one of claims 1 to 3,  
characterized in that a transistor constituting the supply means operates in a  
5 saturation region.

22. A signal line driver circuit according to any one of claims 1 to 3,  
characterized in that an active layer of a transistor constituting the current source  
circuit is formed of polysilicon.

10

23. A light emitting device characterized by comprising:  
the signal line driver circuit according to any one of claims 1 to 3, and a  
pixel portion in which a plurality of pixels each including a light emitting element  
are disposed in matrix; in which  
15 a current is supplied to the light emitting element from the signal line  
driver circuit.

24. A method of driving a light emitting device which is provided with: a  
pixel portion in which a plurality of scanning lines, a plurality of wirings, and a  
20 plurality of pixels are disposed in matrix; and a signal line driver circuit  
comprising a plurality of current source circuits respectively corresponding to the  
plurality of wirings, the plurality of pixels each comprising a light emitting  
element, a driving transistor, and a capacitor element for retaining a gate-source  
voltage of the driving transistor, characterized in that:

25 one frame period comprises a plurality of subframe periods;  
the plurality of subframe periods each comprise an address period and a  
lightening period;

a setting period and a setting operation period are provided in the period  
during which any one of the plurality of scanning lines is not selected in the  
30 lightening period;



in the setting period,  $m$  current source circuits ( $m$  is a natural number equal to or larger than 1) among the plurality of current source circuits are specified in accordance with a video signal; and

in the setting operation period, the specified  $m$  current source circuits each  
5 convert a supplied current into a voltage in accordance with the video signal, and supply a current corresponding to the converted voltage.

25. A method of driving a light emitting device which is provided with: a pixel portion in which a plurality of scanning lines, a plurality of wirings, and a  
10 plurality of pixels are disposed in matrix; and a signal line driver circuit comprising a plurality of current source circuits respectively corresponding to the plurality of wirings, the plurality of pixels each comprising a light emitting element, a driving transistor, and a capacitor element for retaining a gate-source voltage of the driving transistor, characterized in that:

15 one frame period comprises a plurality of subframe periods;  
each of the plurality of subframe periods each comprise an address period and a lightening period;

a setting period and a setting operation period are provided in the period during which any one of the plurality of scanning lines is not selected in the  
20 lightening period;

in the setting period,  $m$  current source circuits ( $m$  represents a natural number equal to or larger than 1) among the plurality of current source circuits are specified in accordance with a video signal; and

in the address period and the setting operation period, the specified  $m$   
25 current source circuits each convert a supplied current into a voltage in accordance with the video signal, and supply a current corresponding to the converted voltage.

26. A method of driving a light emitting device which is provided with: a pixel portion in which a plurality of scanning lines, a plurality of wirings, and a  
30 plurality of pixels are disposed in matrix; and a signal line driver circuit

comprising a plurality of current source circuits respectively corresponding to the plurality of wirings, the plurality of pixels each comprising a light emitting element, a current source circuit, and a switch for controlling conductivity between the light emitting element and the current source circuit, characterized in  
5 that:

one frame period comprises a plurality of subframe periods;

the plurality of subframe periods each comprises an address period and a lightening period;

a setting period and first and second setting operation periods are provided  
10 in the period during which any one of the plurality of scanning lines is not selected in the lightening period;

in the setting period,  $m$  current source circuits ( $m$  represents a natural number equal to or larger than 1) among the plurality of current source circuits are specified in accordance with a video signal;

15 in the first setting operation period, the specified  $m$  current source circuits each convert a supplied current into a voltage according to the video signal, and supplies a current corresponding to the converted voltage; and

in the second setting operation period, the current source circuit disposed in the pixel converts a supplied current into a voltage, and supplies a current  
20 corresponding to the converted voltage.

27. A method of driving a light emitting device which is provided with: a pixel portion in which a plurality of scanning lines, a plurality of wirings, and a plurality of pixels are disposed in matrix; and a signal line driver circuit  
25 comprising a plurality of current source circuits respectively corresponding to the plurality of wirings, the plurality of pixels each comprising a light emitting element, a current source circuit, and a switch for controlling conductivity between the light emitting element and the current source circuit, characterized in that:

30 one frame period comprises a setting period and a first setting operation

period;

in the setting period,  $m$  current source circuits ( $m$  is a natural number equal to or larger than 1) among the plurality of current source circuits are specified in accordance with a video signal;

5 in the first setting operation period, the specified  $m$  current source circuits each convert a supplied current into a voltage according to the video signal, and supplies a current corresponding to the converted voltage;

the period obtained by adding the setting period to the first setting operation period corresponds to a second setting period; and

10 in the second setting operation period, the current source circuit disposed in the pixel converts a supplied current into a voltage, and supplies a current corresponding to the converted voltage.

28. A method of driving a light emitting device according to claim 27,  
15 characterized in that the first and second setting operation periods are partly overlap with each other.

29. A method of driving a light emitting device which is provided with: a pixel portion in which a plurality of scanning lines, a plurality of wirings, and a  
20 plurality of pixels are disposed in matrix; and a signal line driver circuit comprising a plurality of current source circuits respectively corresponding to the plurality of wirings; the plurality of pixels each comprising a light emitting element, characterized in that:

one frame period comprises a plurality of horizontal scanning periods;

25 the plurality of horizontal scanning periods each comprise a setting period and a setting operation period;

in the setting period,  $m$  current source circuits among the plurality of current source circuits are specified in accordance with a video signal; and

in the setting operation period, the specified  $m$  current source circuits each  
30 convert a supplied current into a voltage in accordance with the video signal, and

supplies a current corresponding to the converted voltage.

30. A method of driving a light emitting device which is provided with: a pixel portion in which a plurality of scanning lines, a plurality of wirings, and a plurality of pixels are disposed in matrix; and a signal line driver circuit comprising a plurality of current source circuits respectively corresponding to the plurality of wirings; the plurality of pixels each comprising a light emitting element, characterized in that:

one frame period comprises a plurality of horizontal scanning periods;  
10 x horizontal scanning periods (x is a natural number equal to or larger than 1) selected from the plurality of horizontal scanning periods each comprise a setting period and a setting operation period;

in the setting period, m current source circuits among the plurality of current source circuits are specified in accordance with a video signal; and

15 in the setting operation period, the specified m current source circuits each convert a supplied current into a voltage in accordance with the video signal, and supplies a current corresponding to the converted voltage.

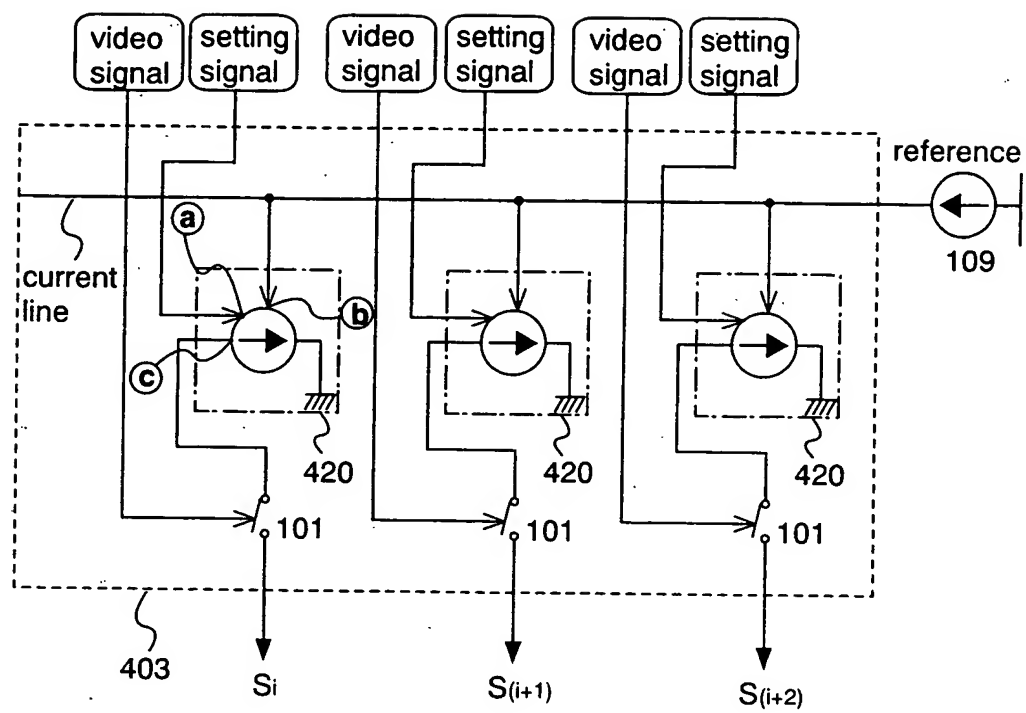
31. A method of driving a light emitting device according to any one of  
20 claims 24 to 30, characterized in that the pixel portion performs line-sequential drive or dot-sequential drive.

32. A method of driving a light emitting device according to any one of  
claims 24 to 30, characterized in that the plurality of wirings is a plurality of  
25 signal lines or a plurality of current lines.

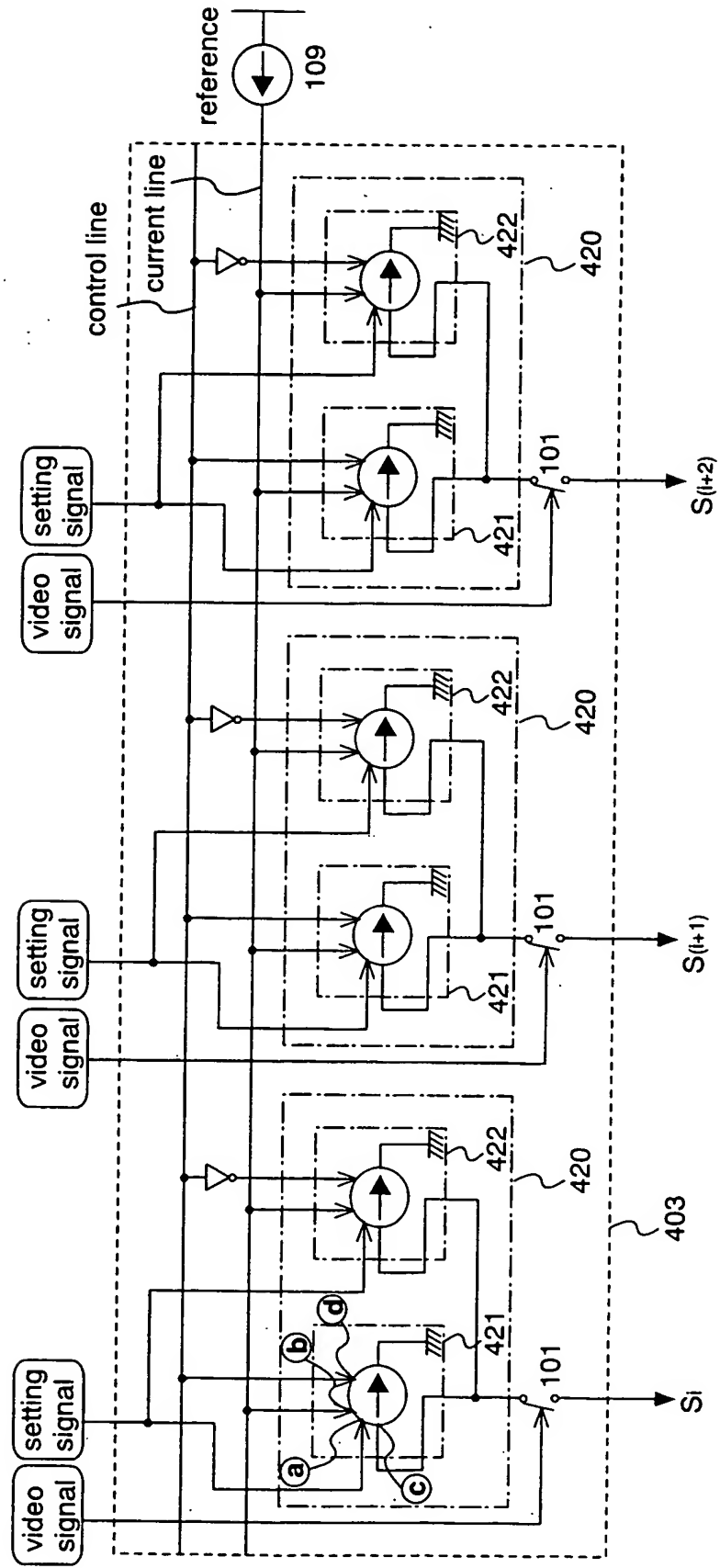
## ABSTRACT

Variation occurs in transistor characteristics. The present invention relates to a signal line driver circuit comprising a plurality of current source  
5 circuits respectively corresponding to a plurality of wirings, characterized in that:  
the plurality of current source circuits each comprise capacitor means and supply  
means; and the plurality of current source circuits each convert a supplied current  
into a voltage in accordance with a video signal, and supply a current  
corresponding to the converted voltage.

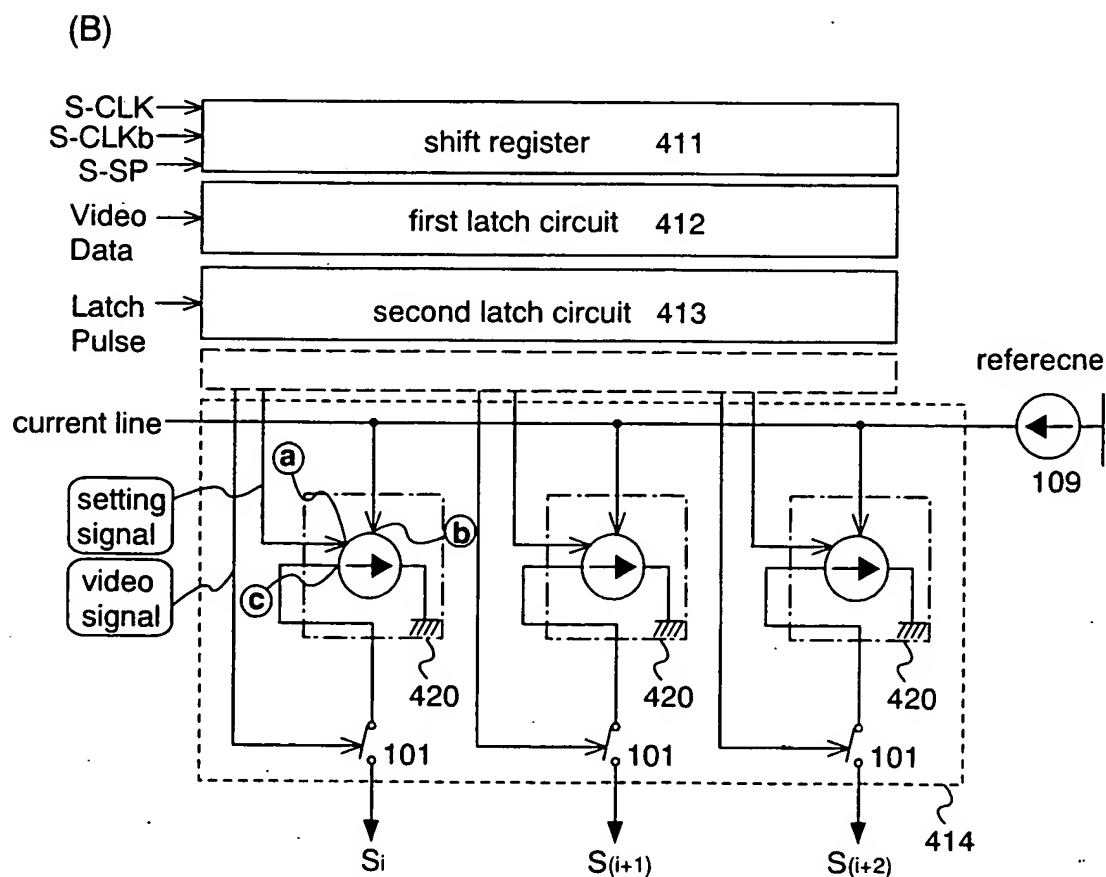
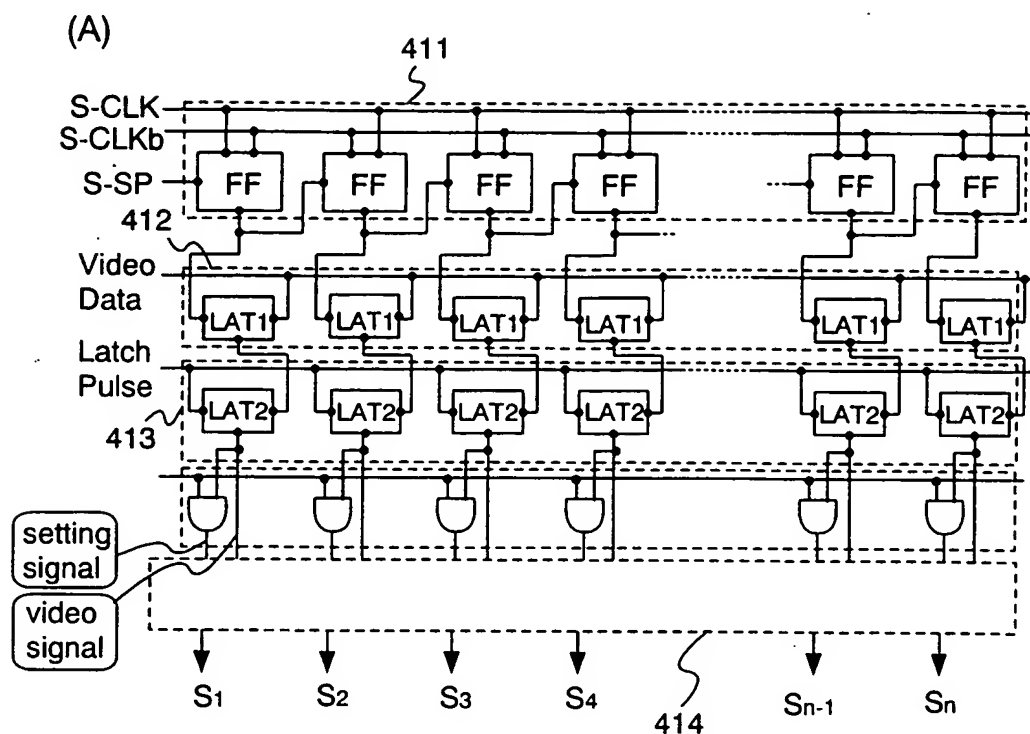
[FIG. 1]



[FIG. 2]

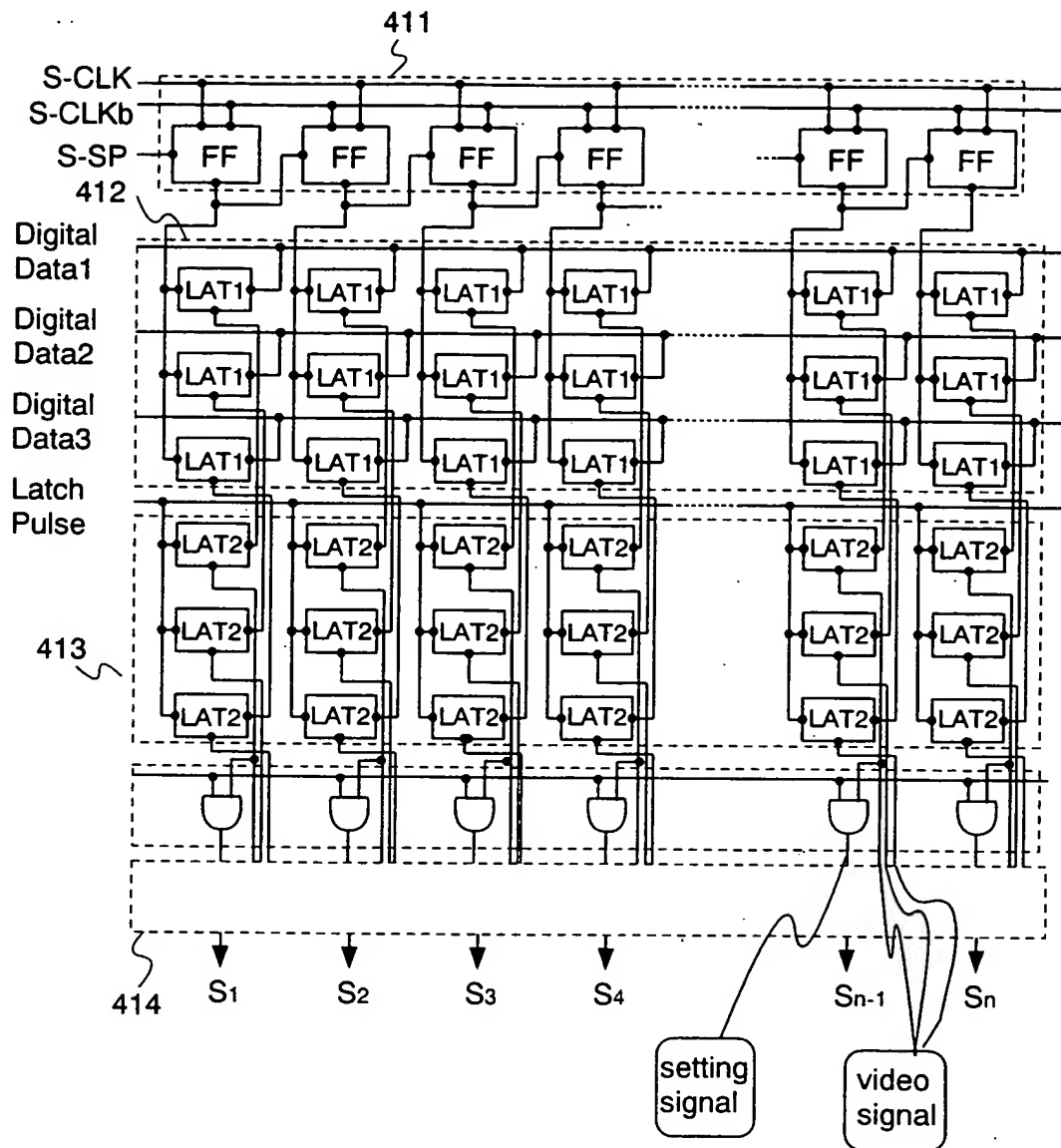


[FIG. 3]

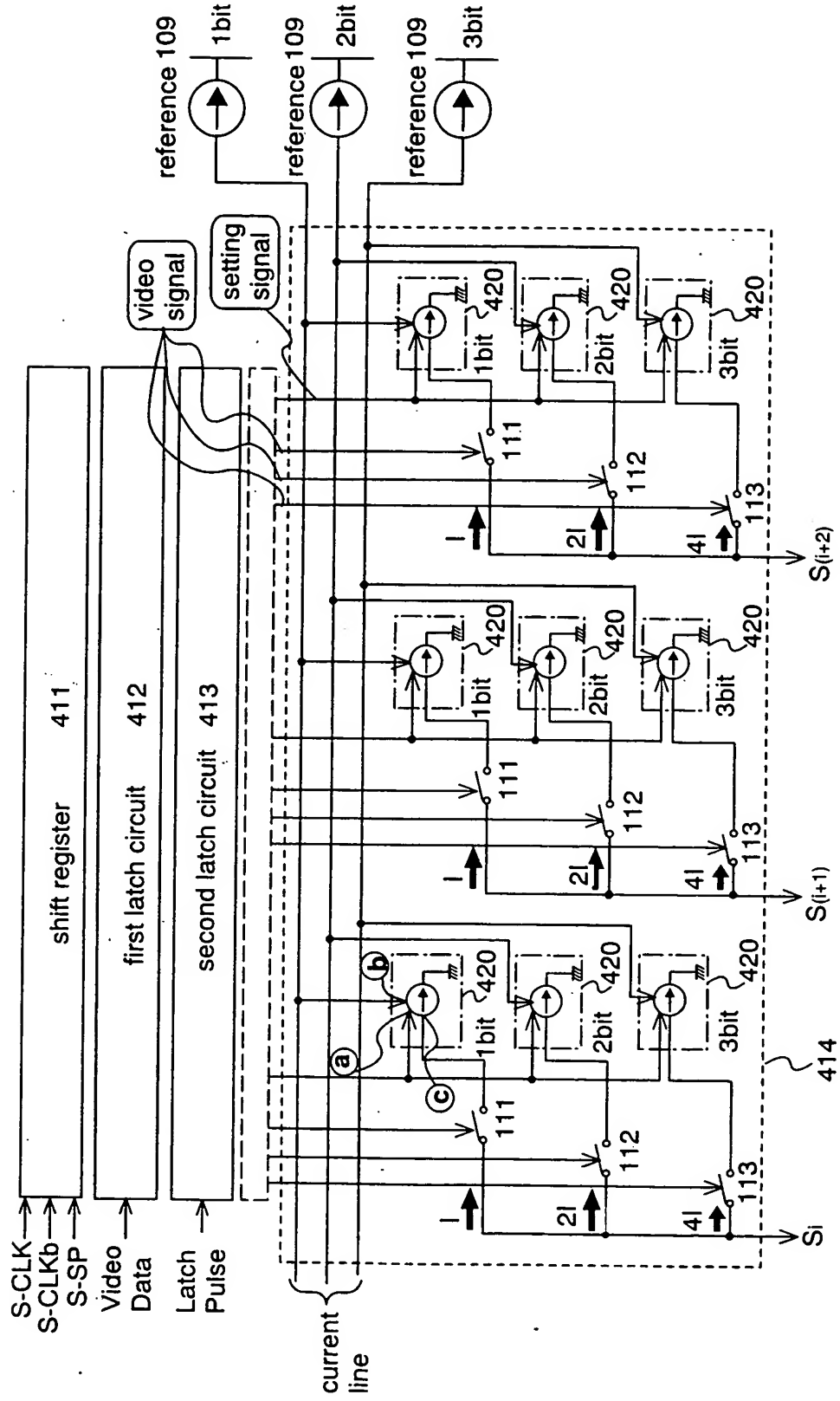




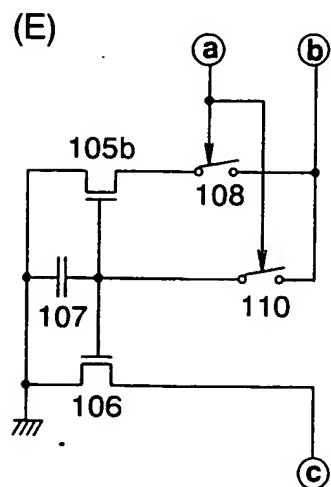
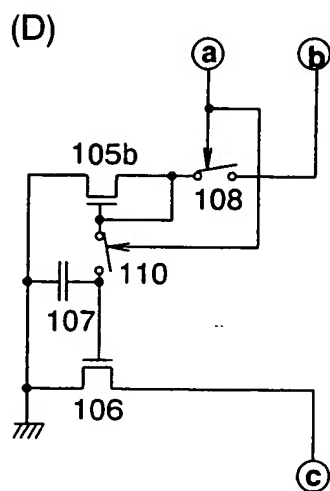
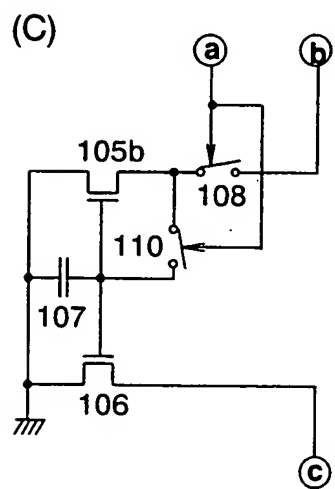
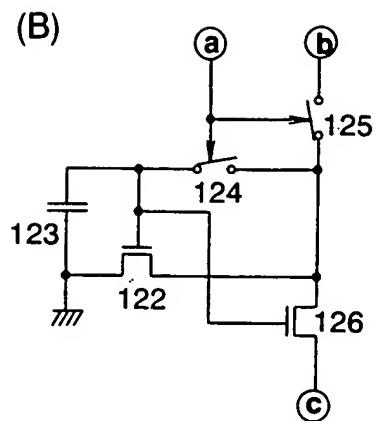
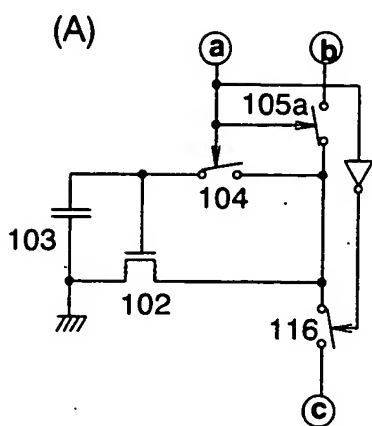
[FIG. 4]



[FIG. 5]

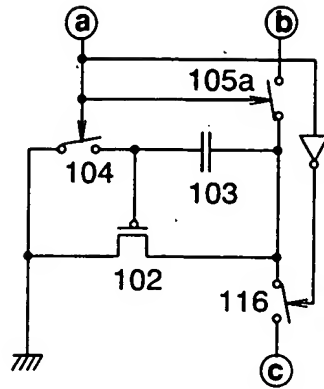


[FIG. 6]

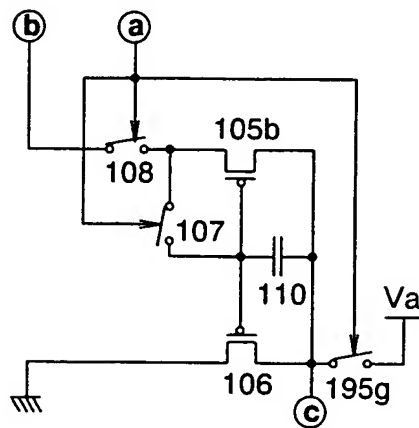


[FIG. 7]

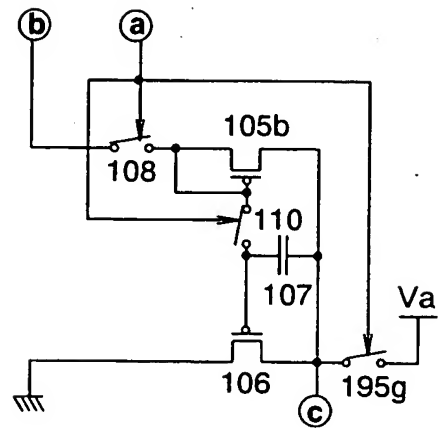
(A)



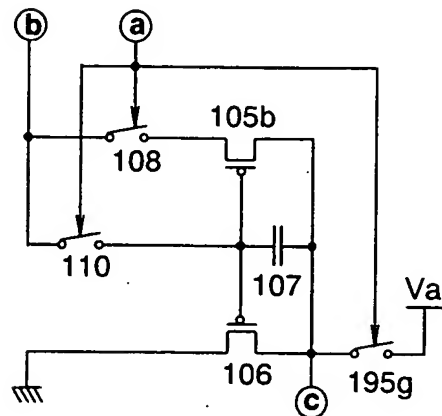
(B)



(C)

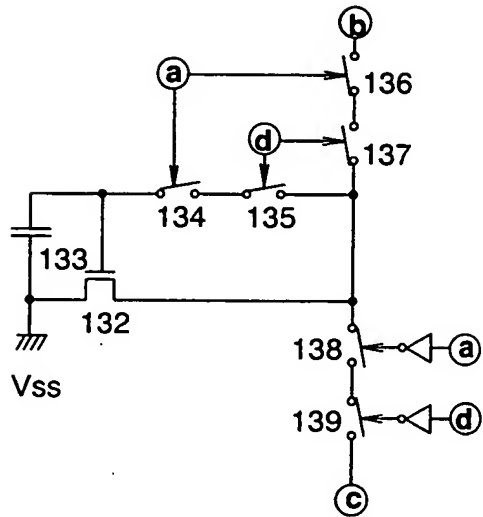


(D)

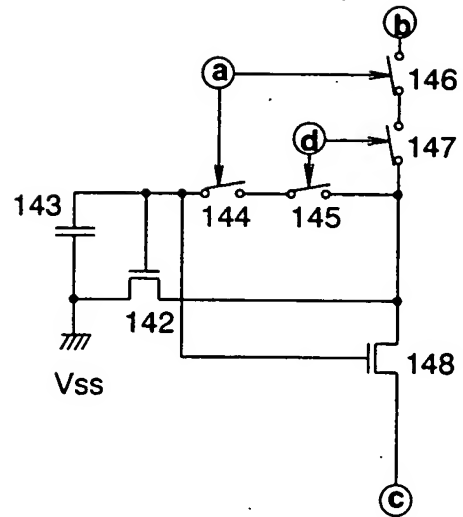


[FIG. 8]

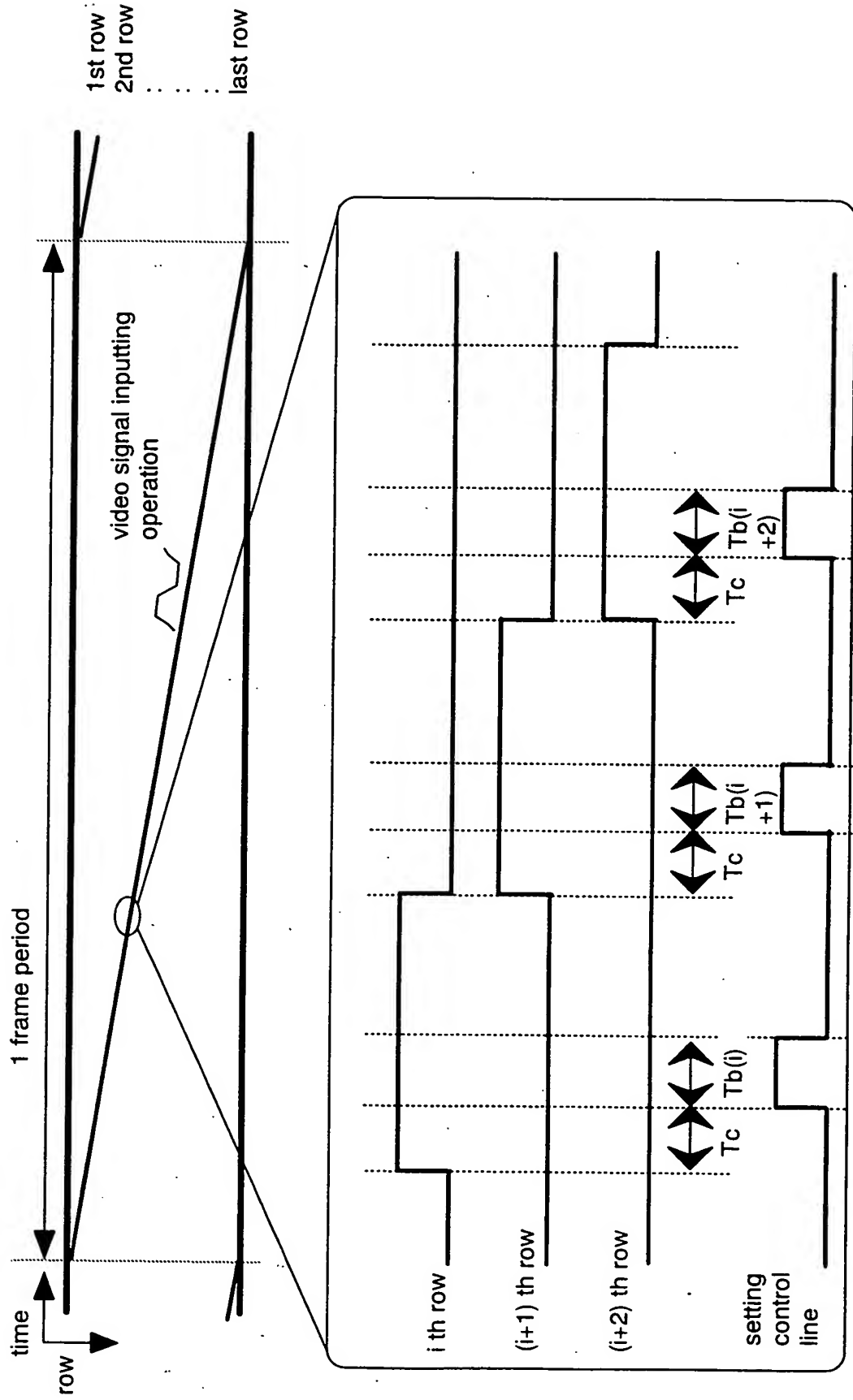
(A)



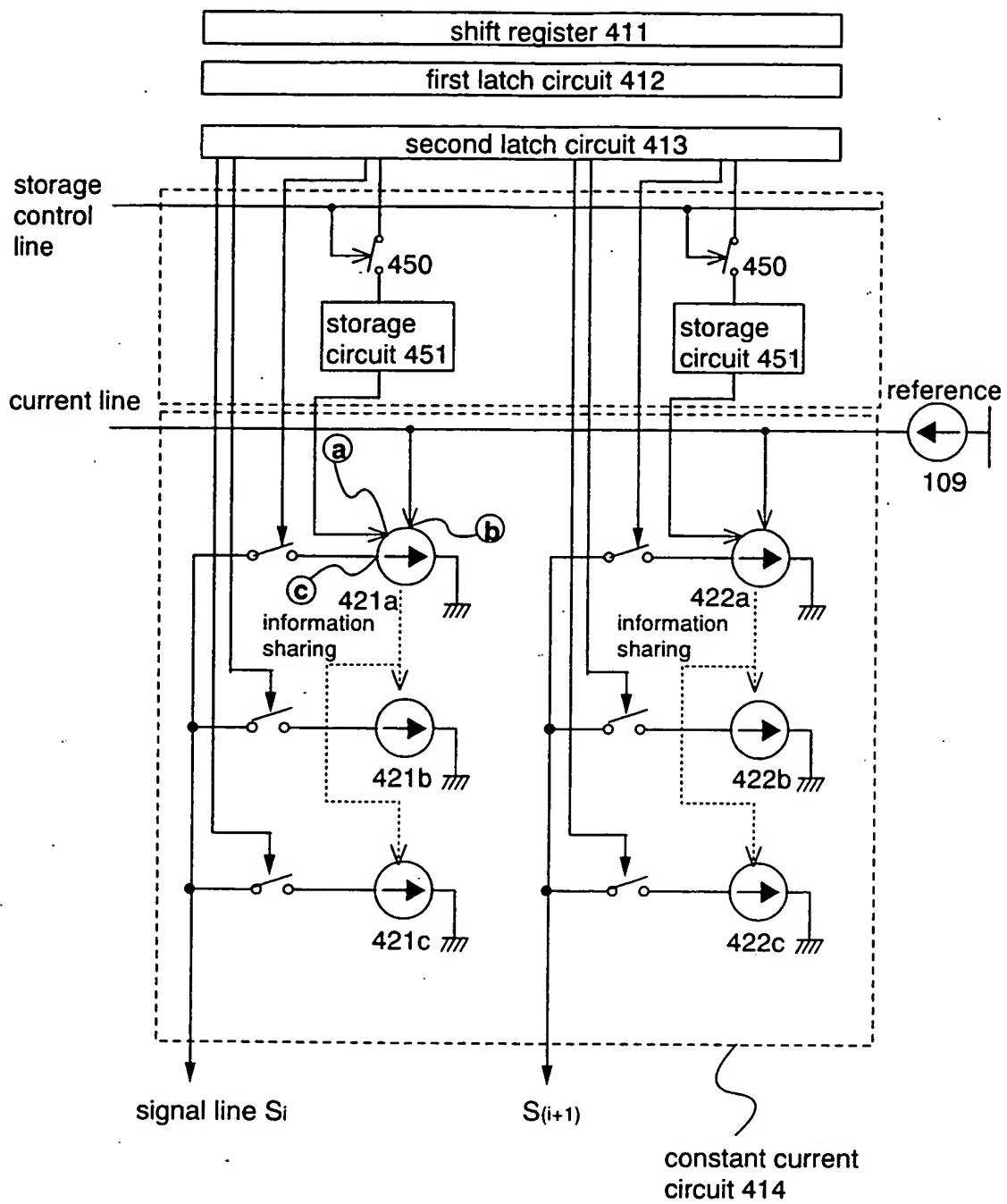
(B)



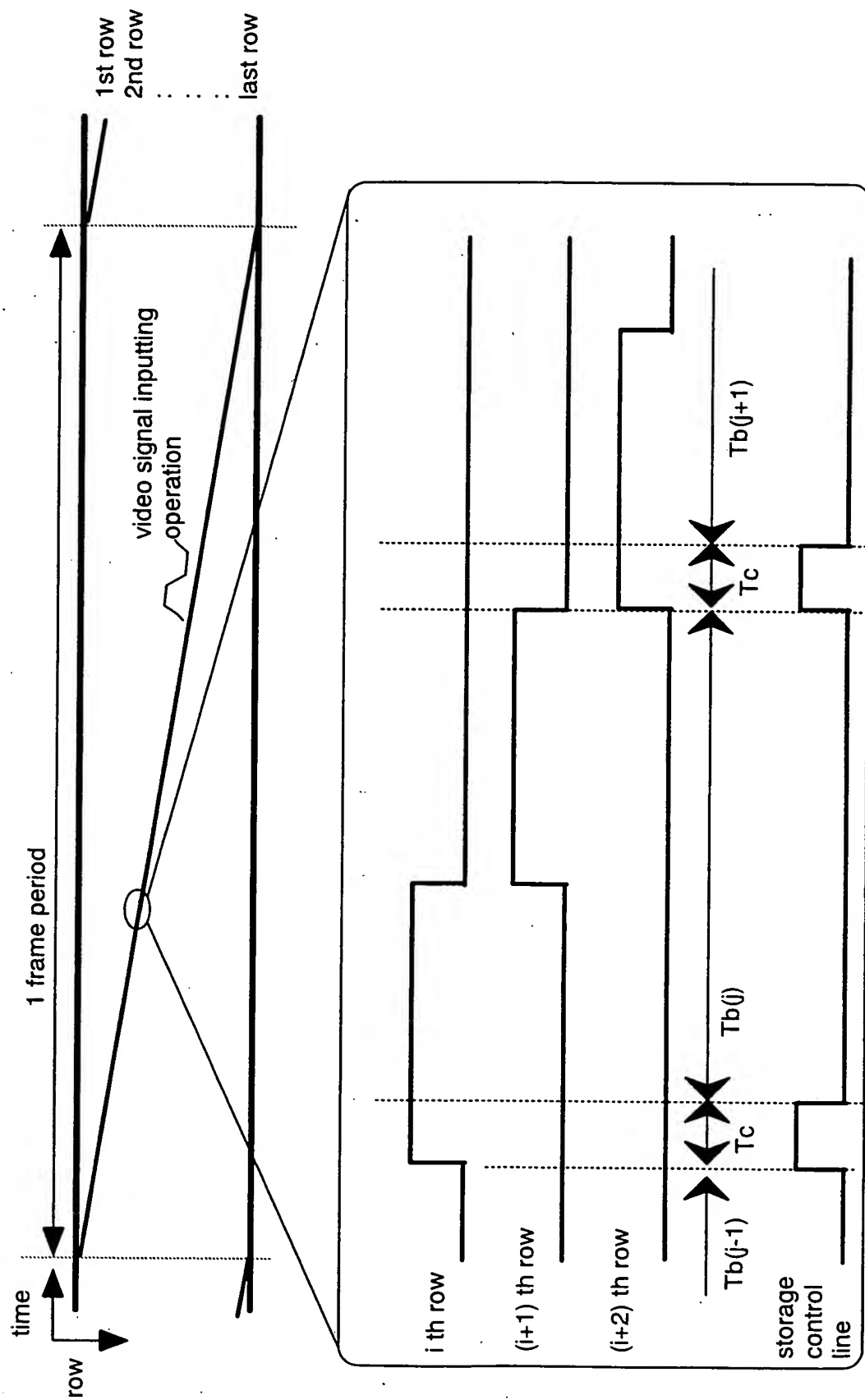
[FIG. 9]



[FIG. 10]

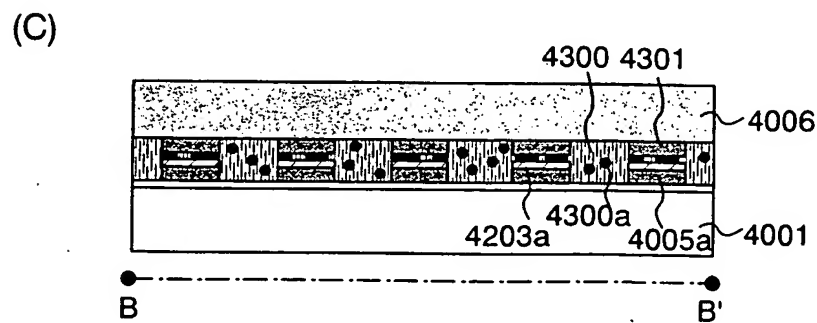
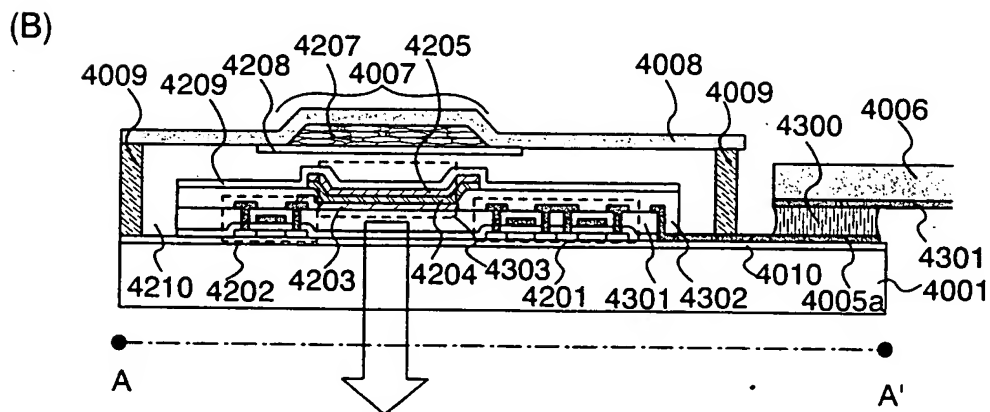
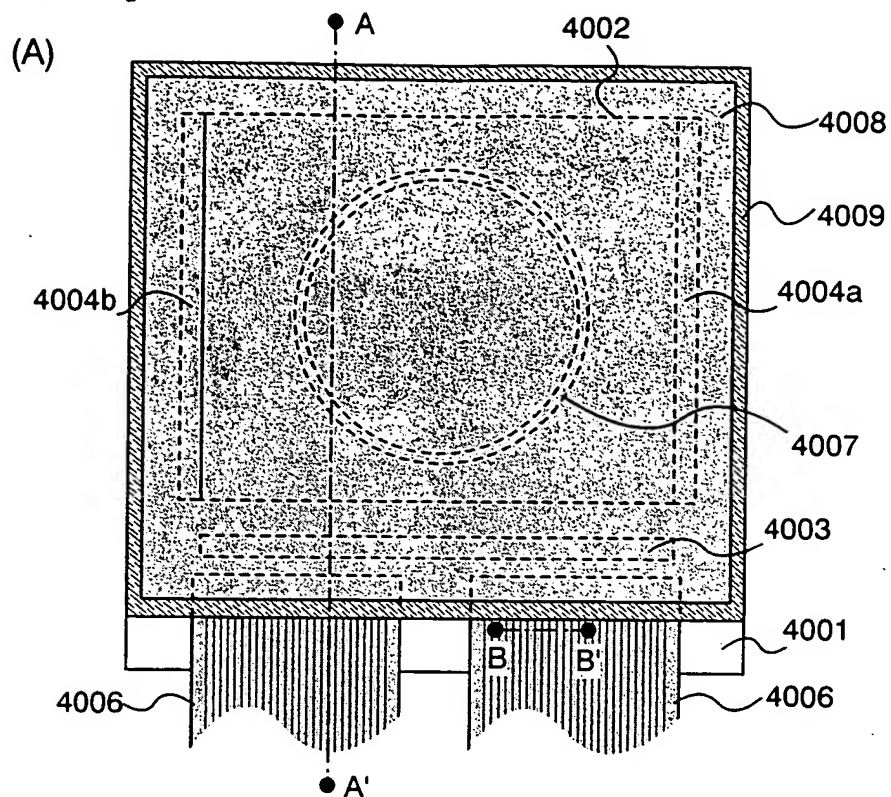


[FIG. 11]

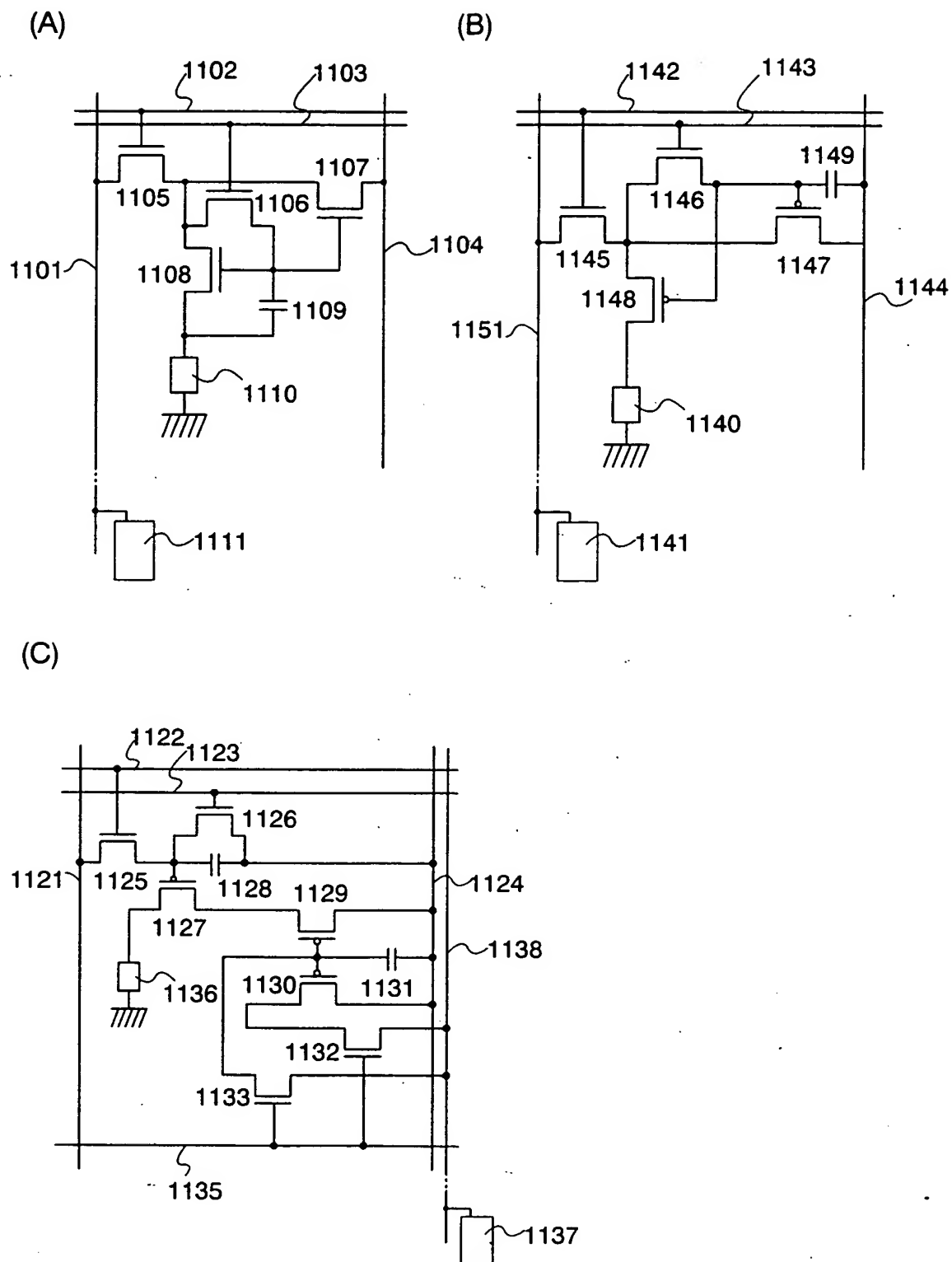




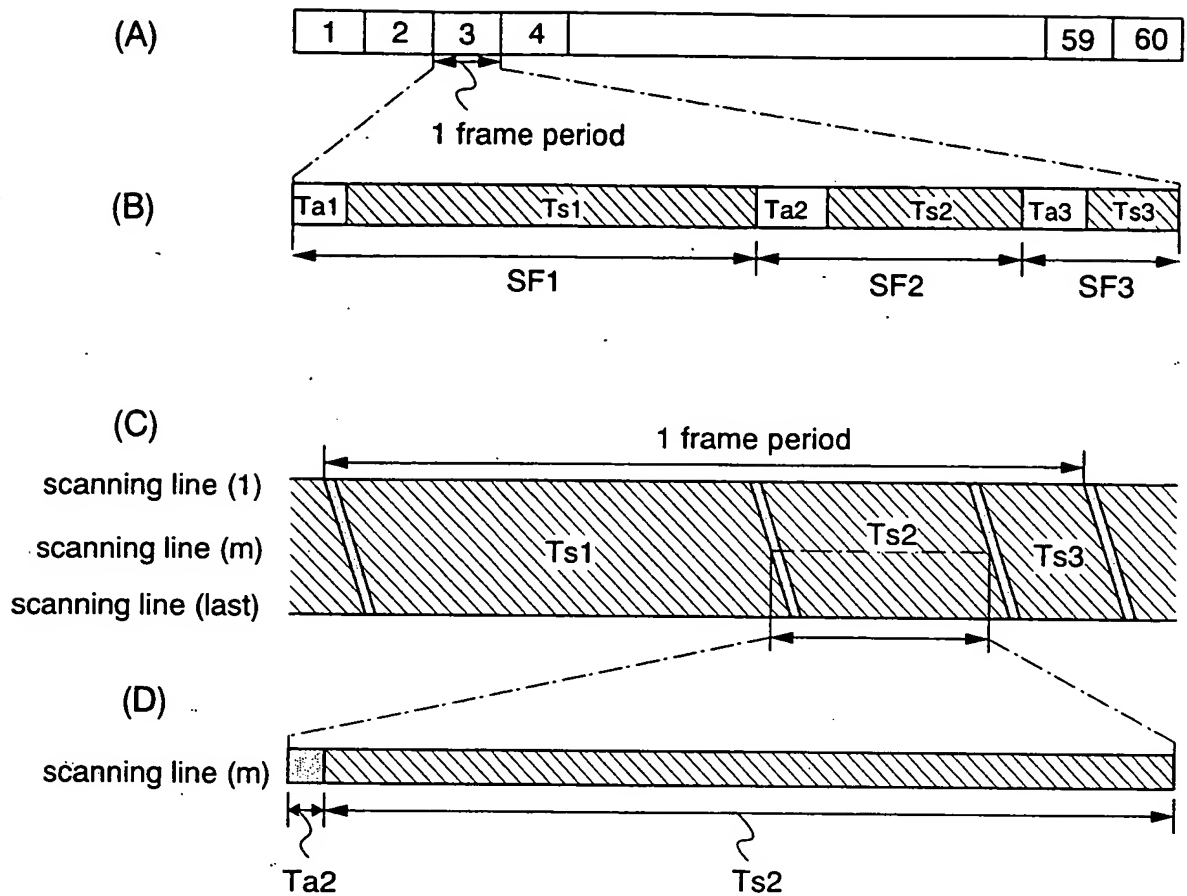
[FIG. 12]



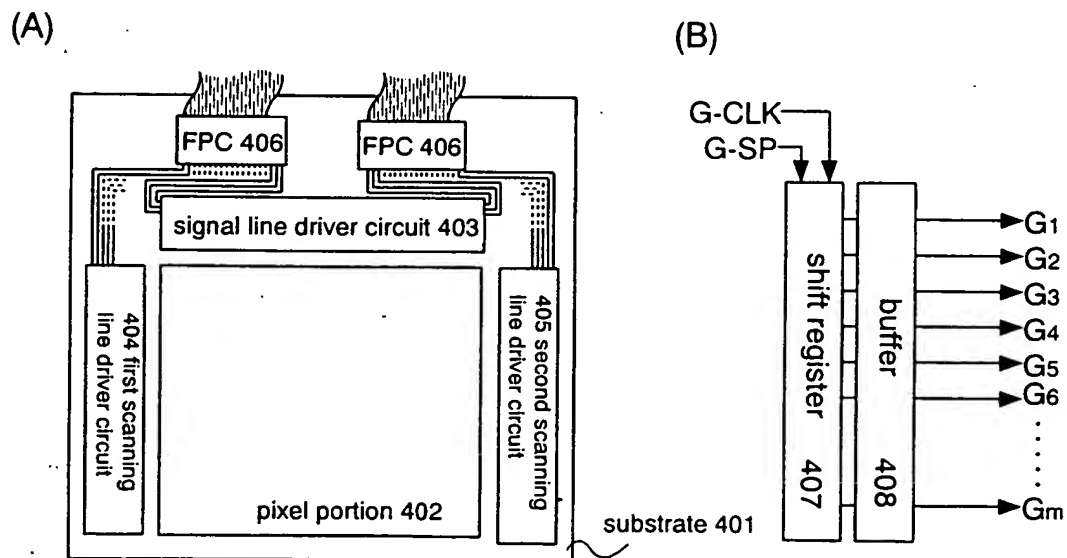
[FIG. 13]



[FIG. 14]

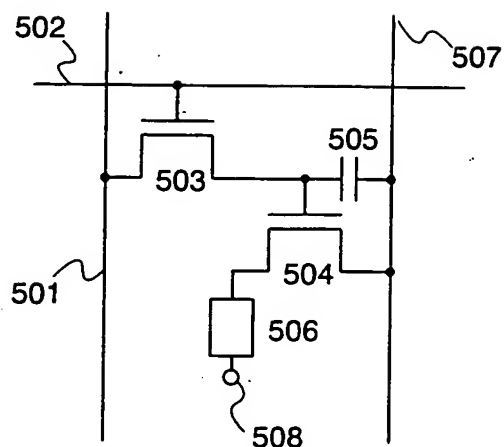


[FIG. 15]



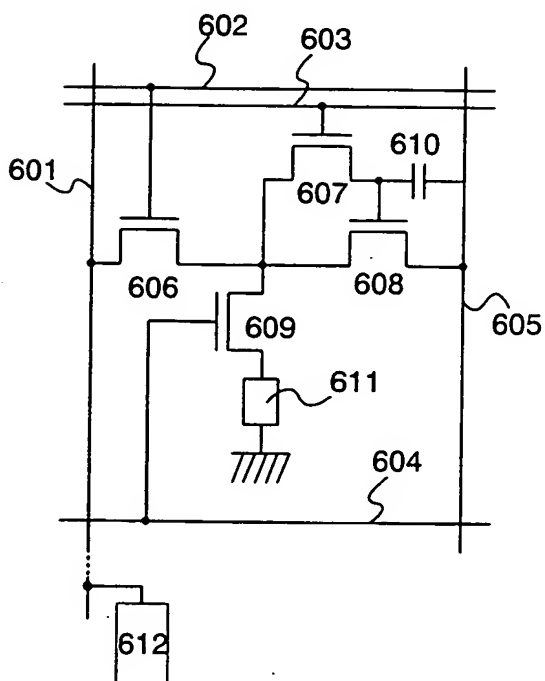
[FIG. 16]

(A)



501: signal line  
 502: scanning line  
 503: switching TFT  
 504: driving TFT  
 505: capacitor element  
 506: light emitting element  
 507, 508: power sources

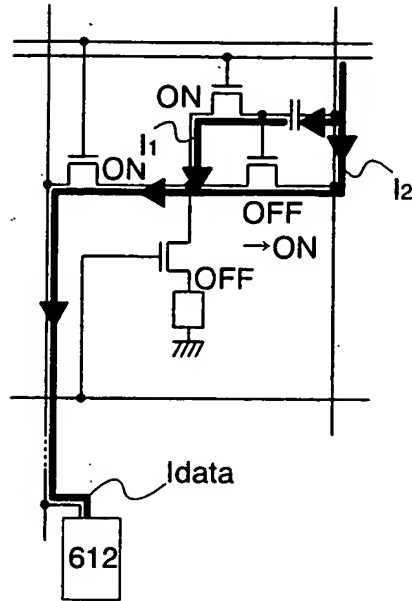
(B)



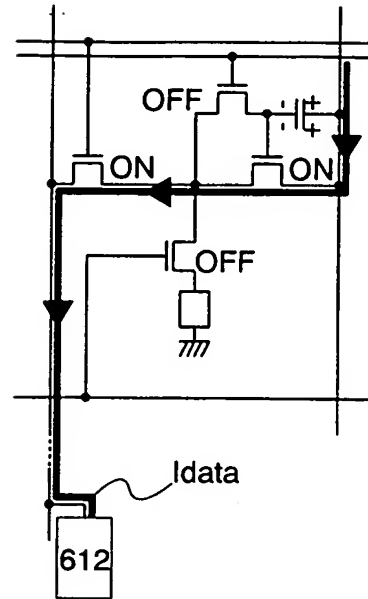
601: signal line  
 602: 1st scanning line  
 603: 2nd scanning line  
 604: 3rd scanning line  
 605: current line  
 606 to 609: TFT  
 610: capacitor element  
 611: light emitting element  
 612: current source circuit

[FIG. 17]

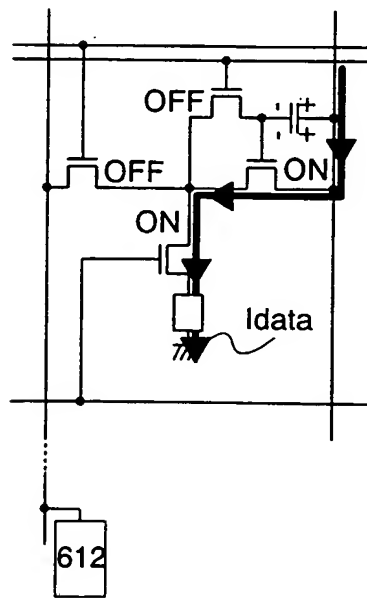
(A) SIGNAL INPUT



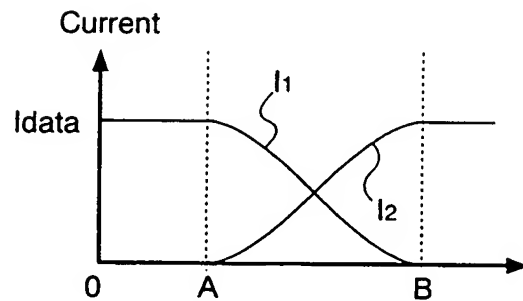
(B) COMPLETION OF SIGNAL INPUT



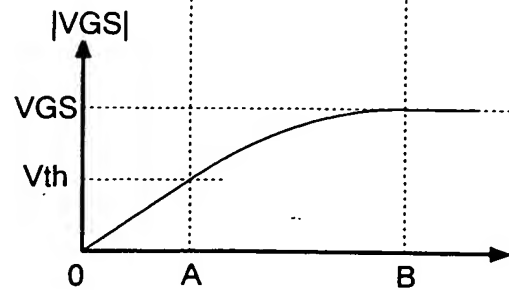
(C) LIGHT EMITTING



(D)

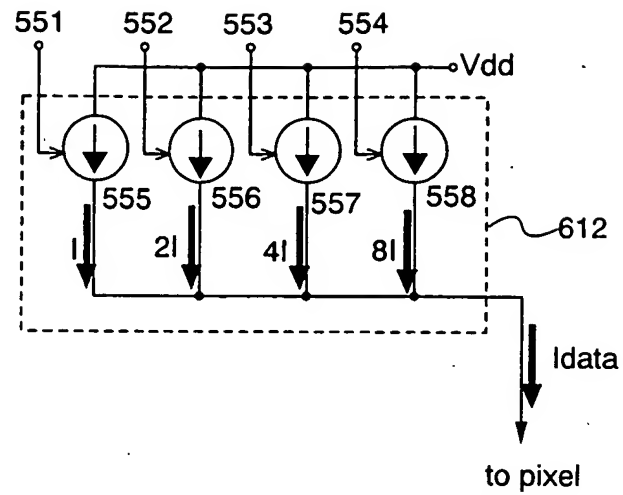


(E)

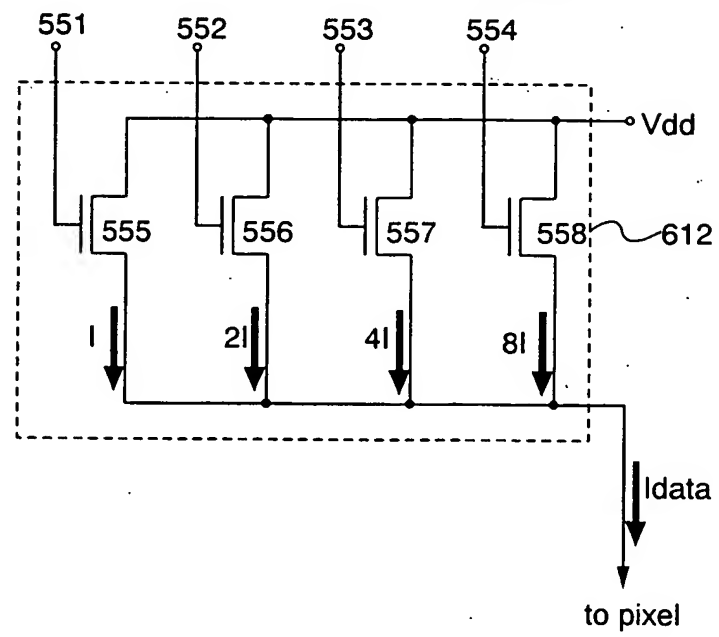


[FIG. 18]

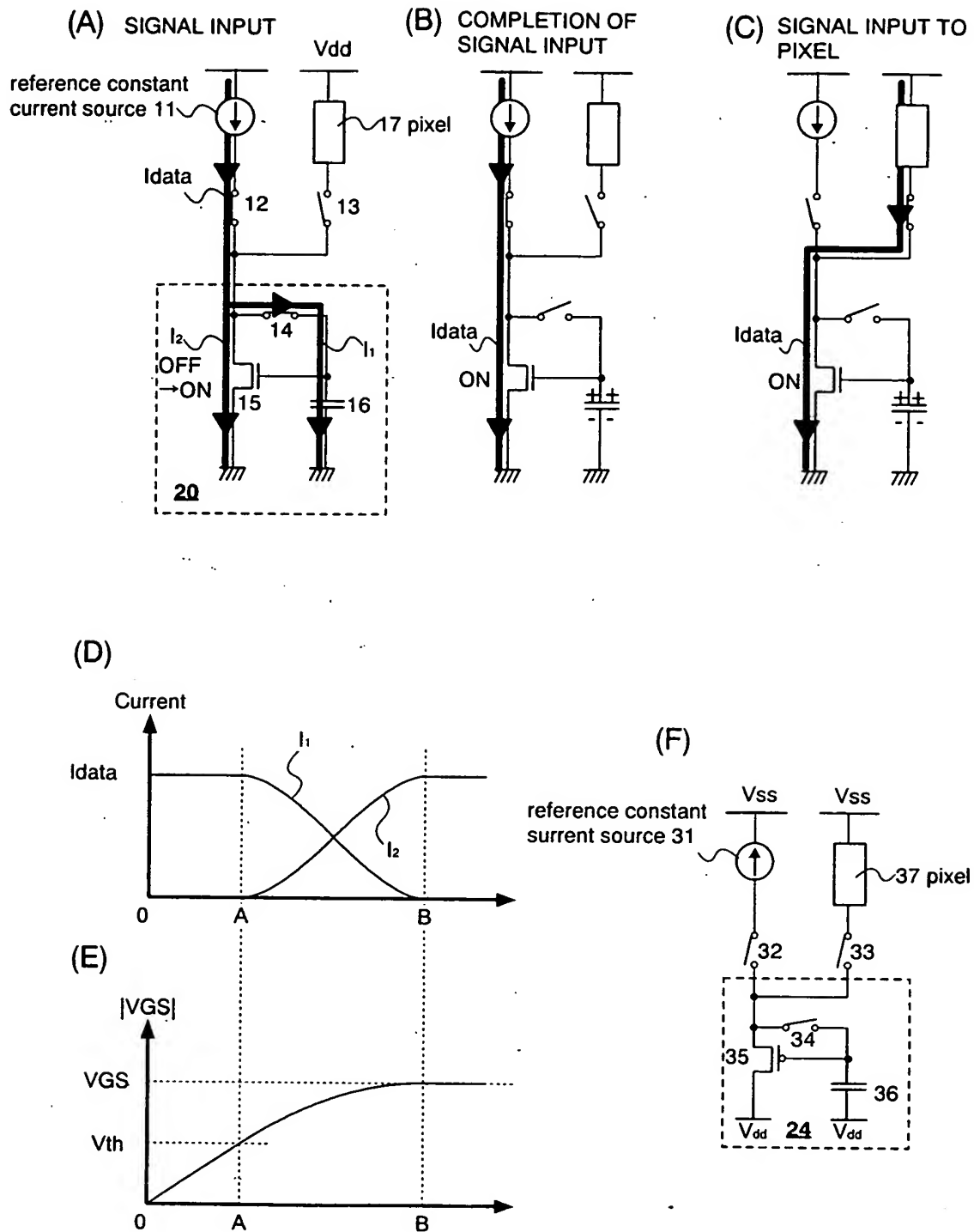
(A)



(B)

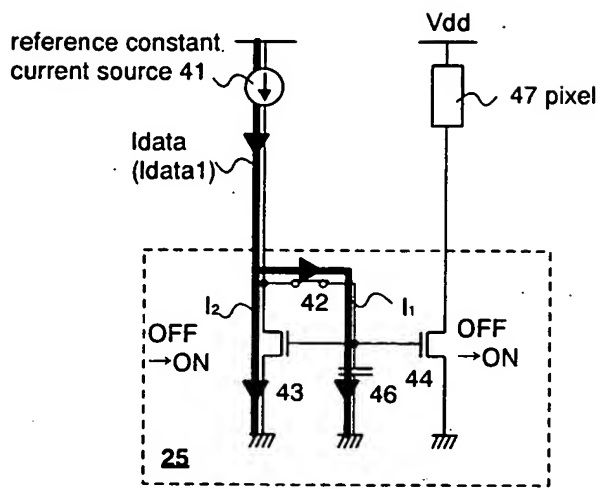


[FIG. 19]

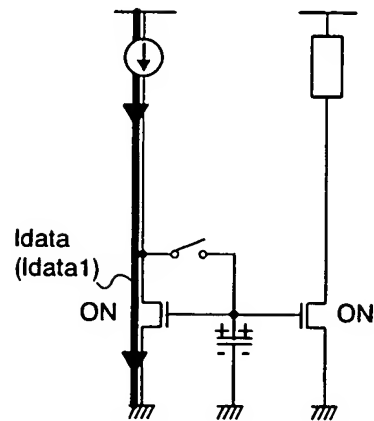


[FIG. 20]

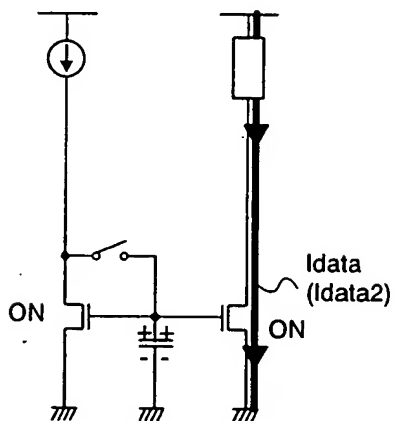
(A) SIGNAL INPUT



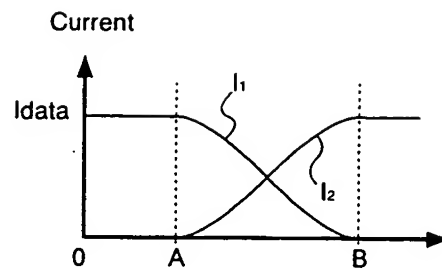
(B) COMPLETION OF SIGNAL INPUT



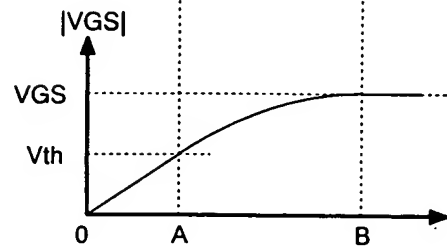
(C) SIGNAL INPUT TO PIXEL



(D)

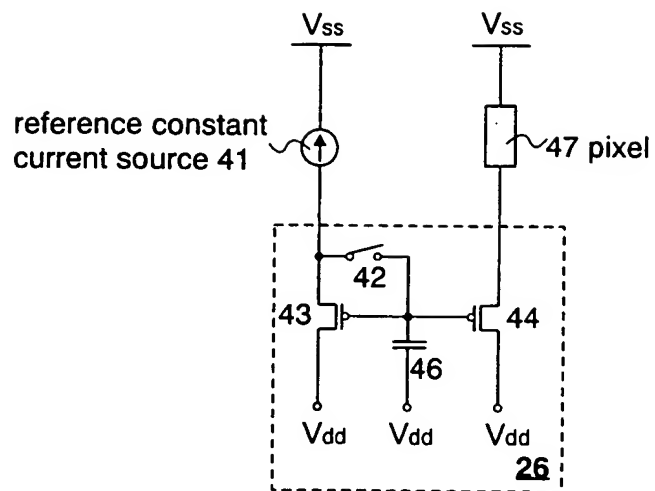


(E)

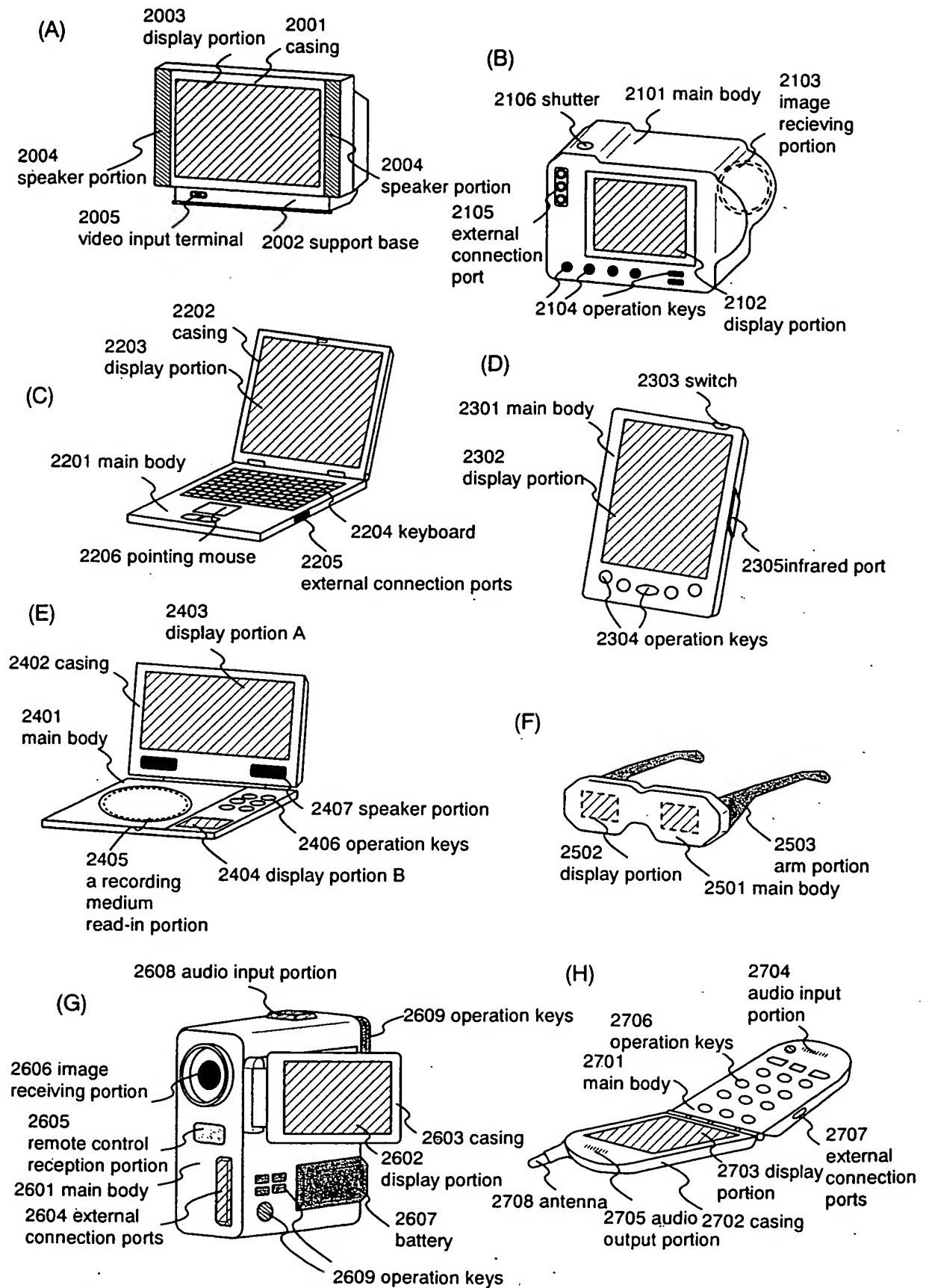




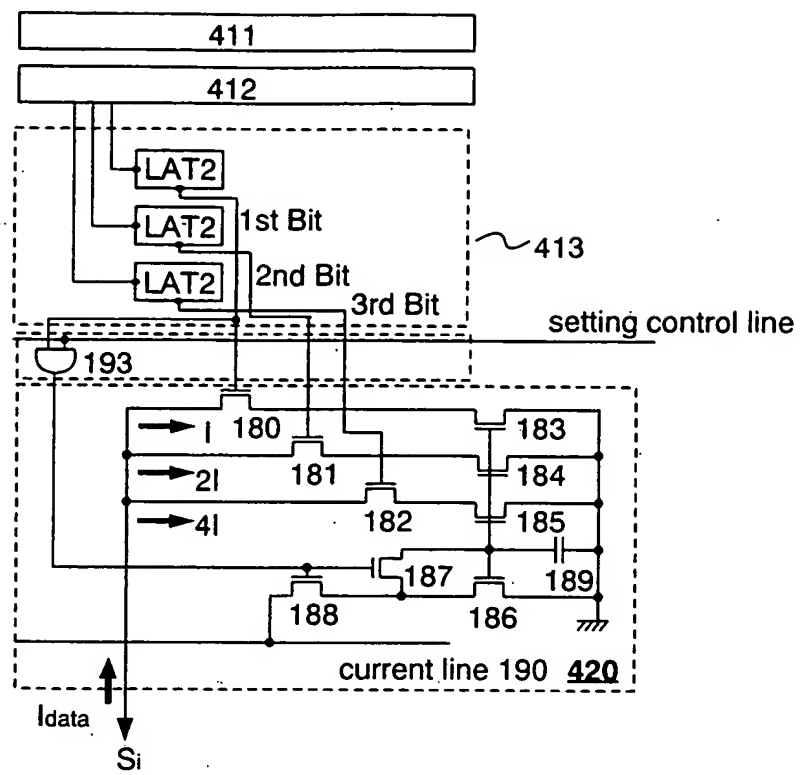
[FIG. 21]



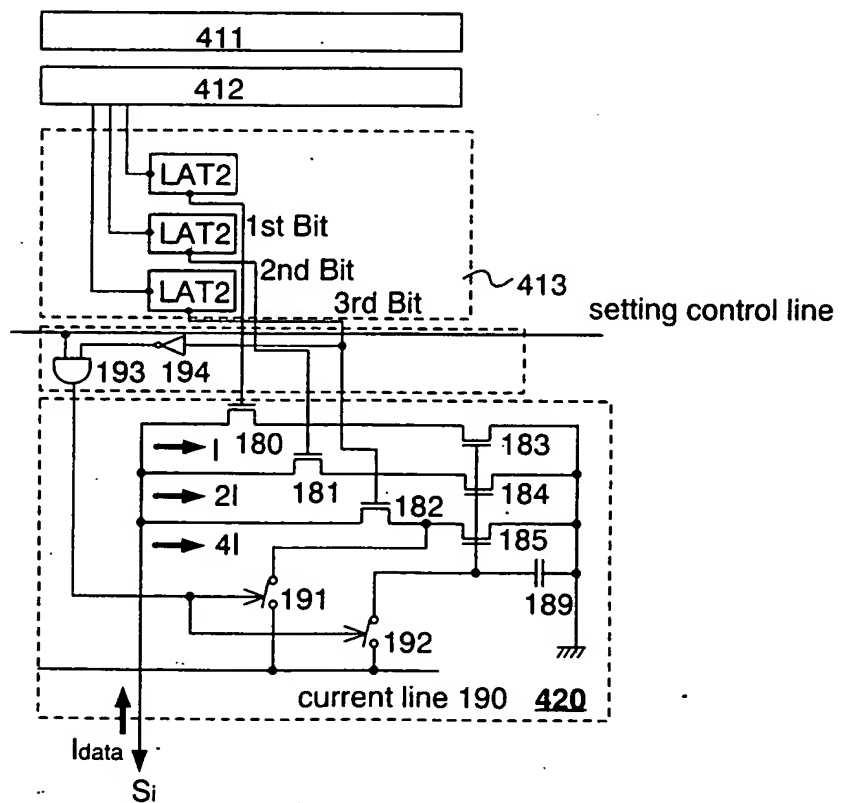
[FIG. 22]



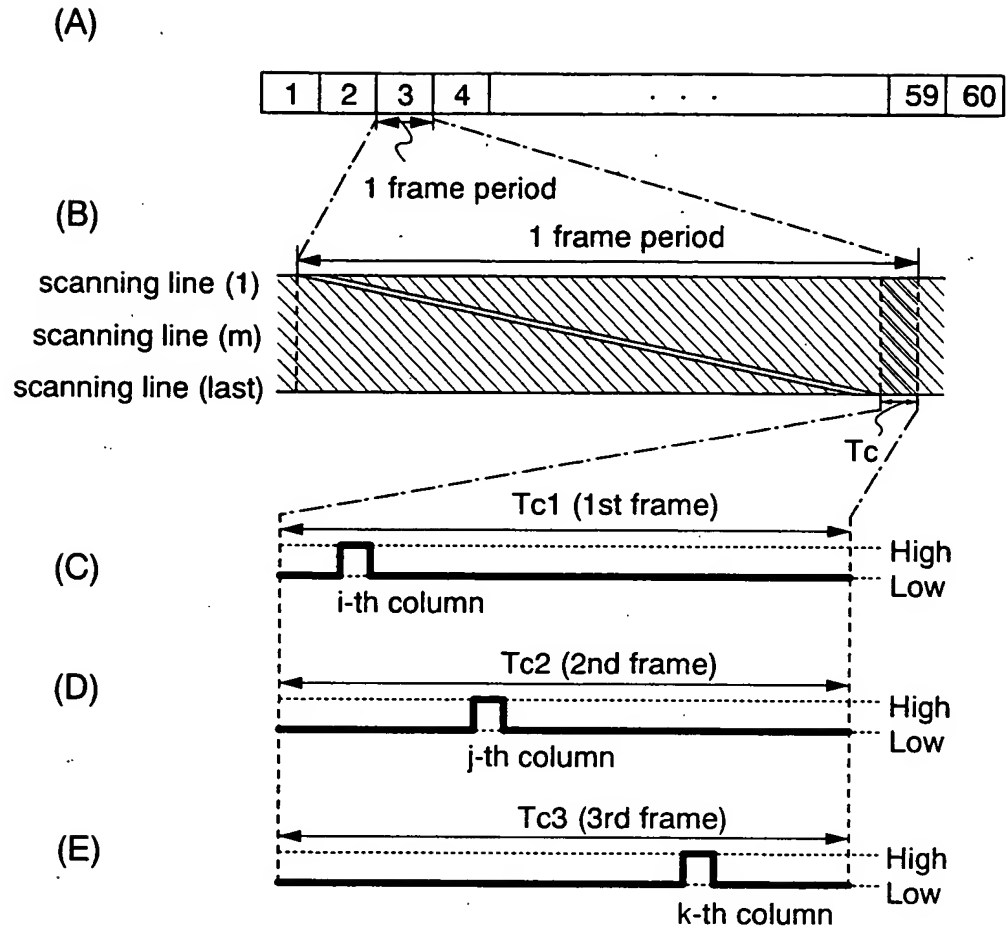
[FIG. 23]



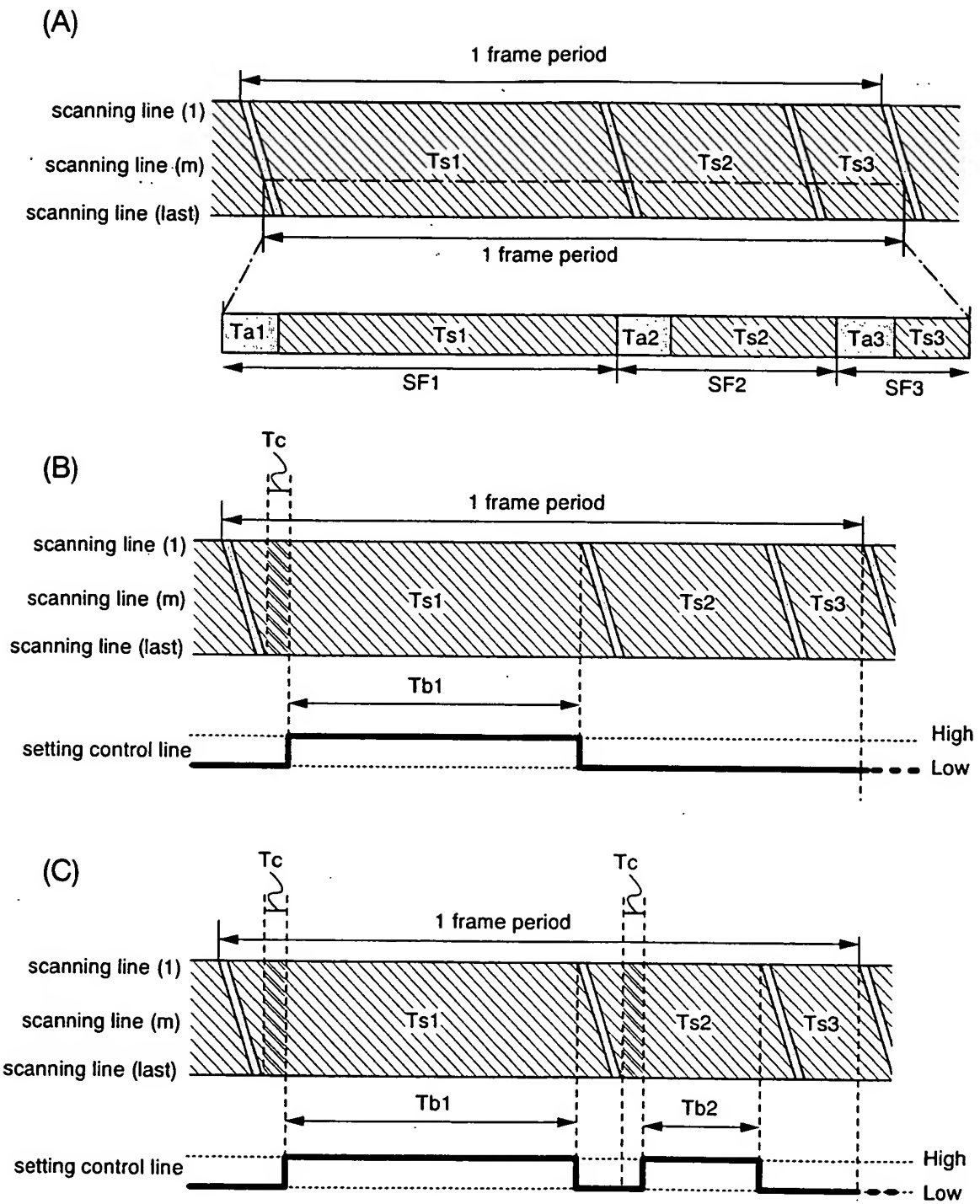
[FIG. 24]



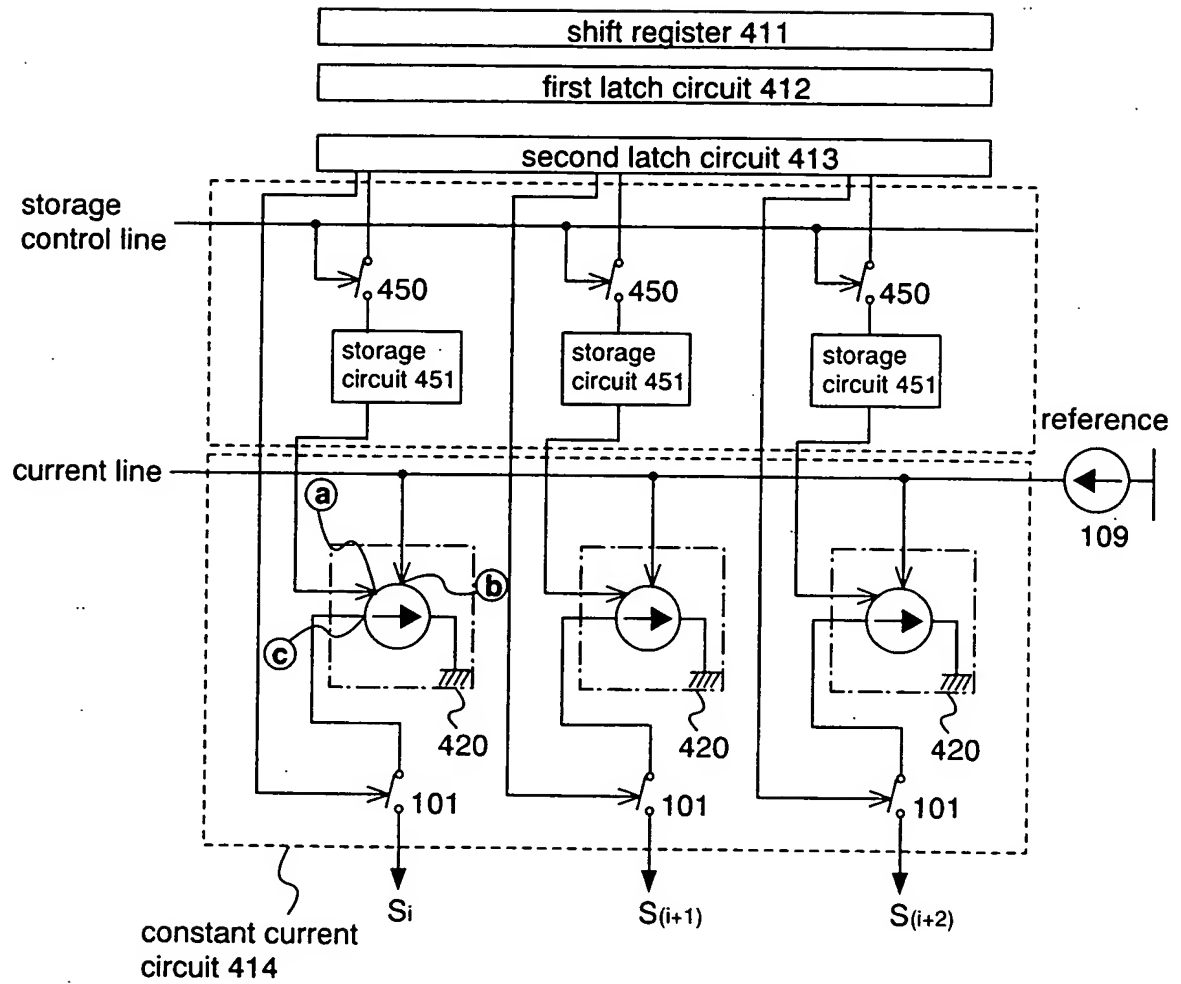
[FIG. 25]



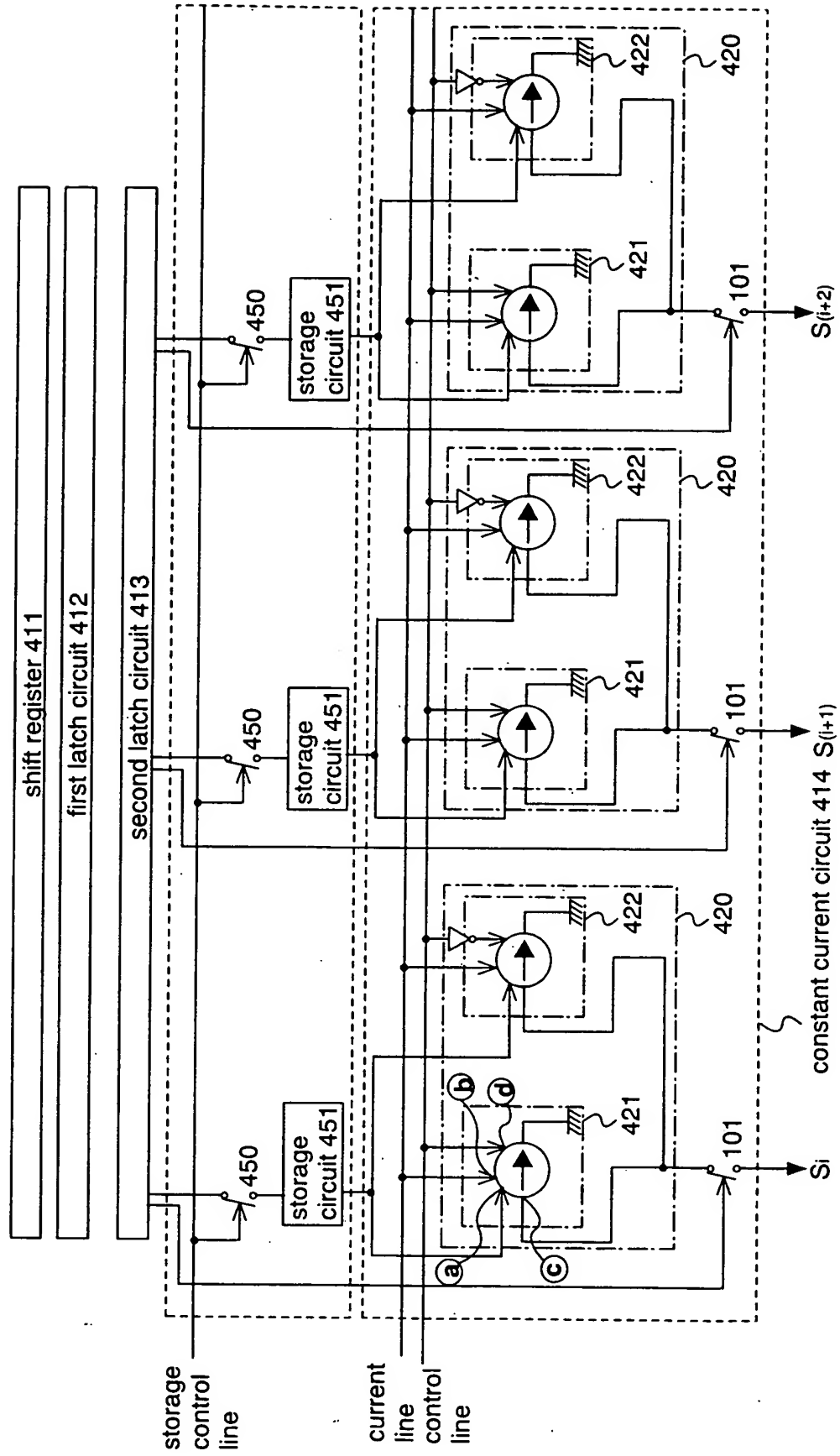
[FIG. 26]



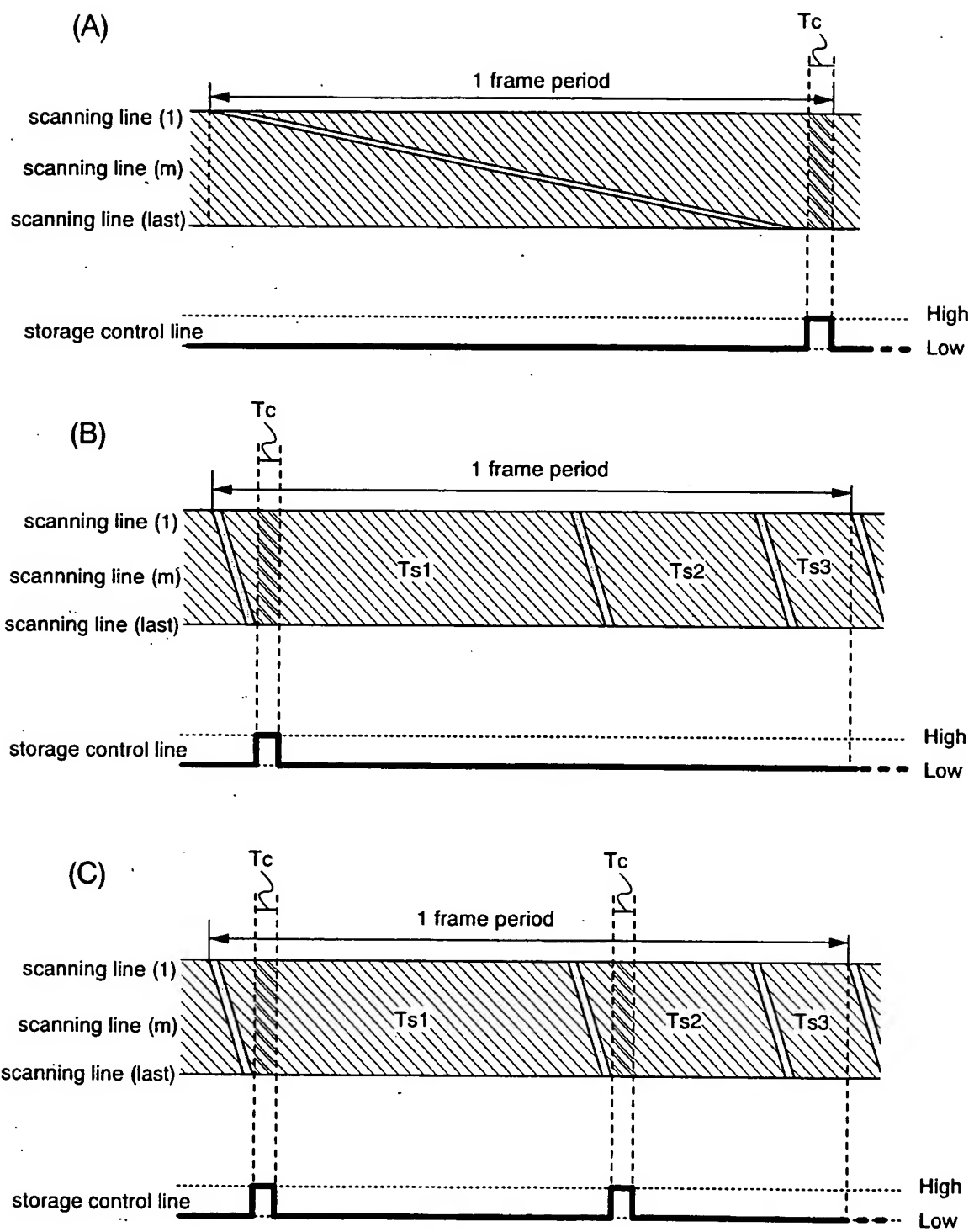
[FIG. 27]



[FIG. 28]

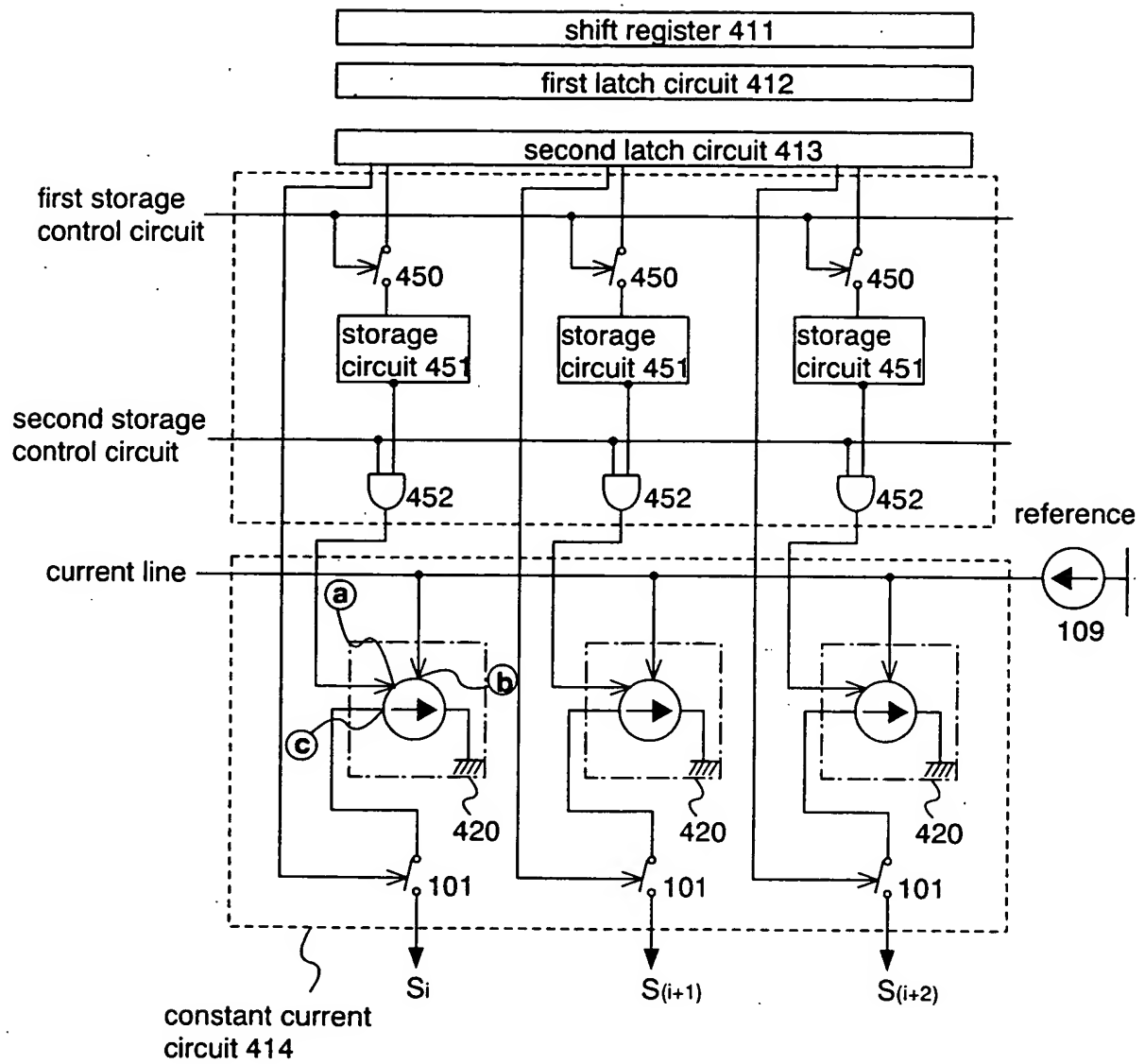


[FIG. 29]

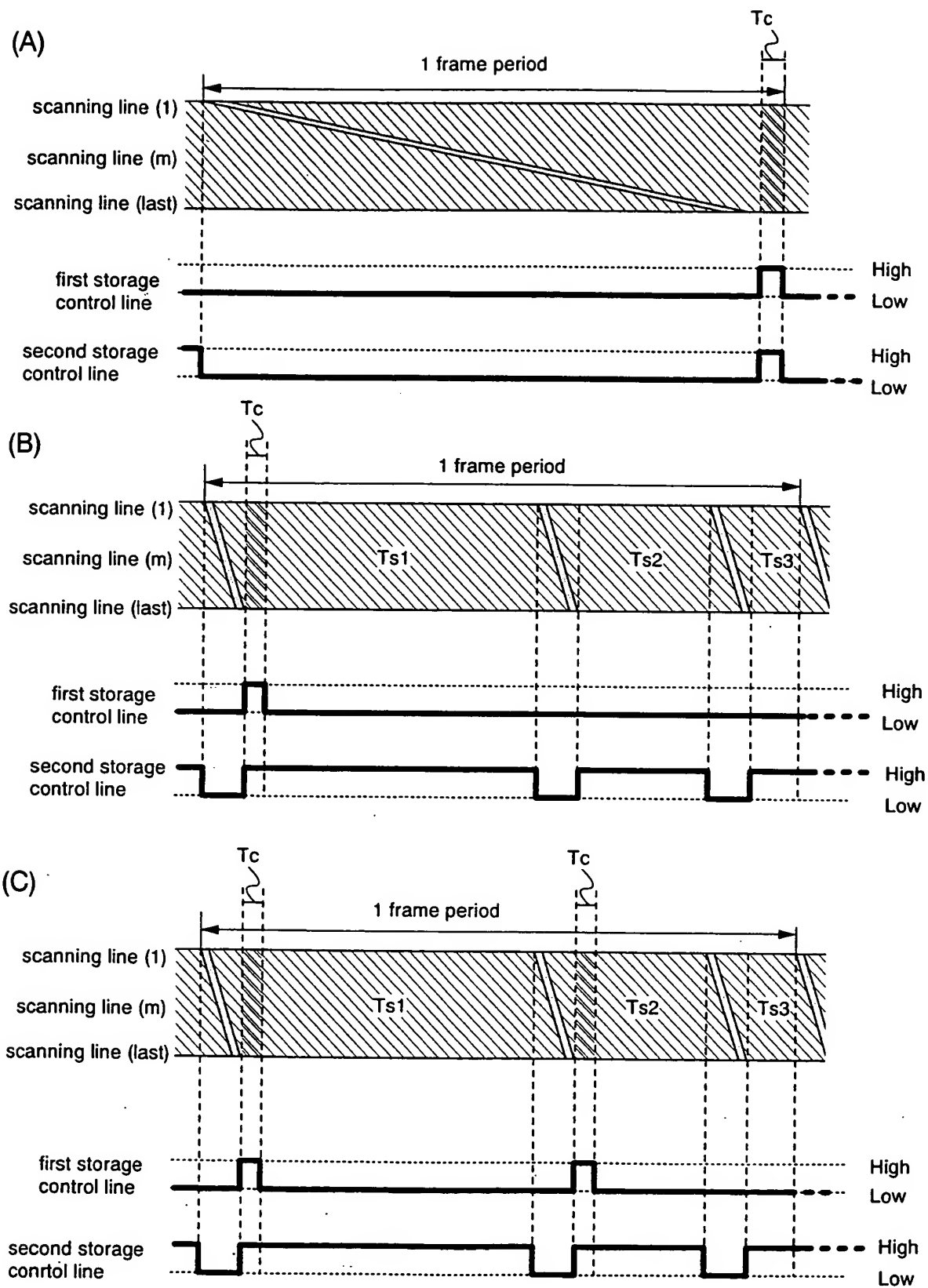




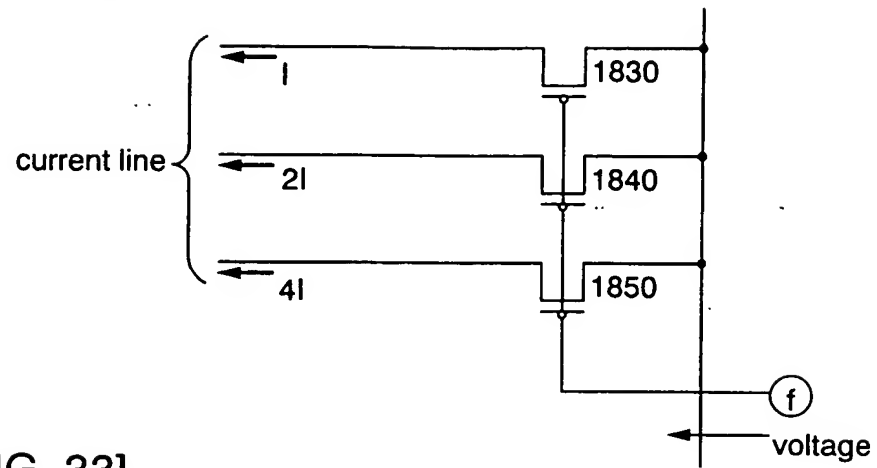
[FIG. 30]



[FIG. 31]

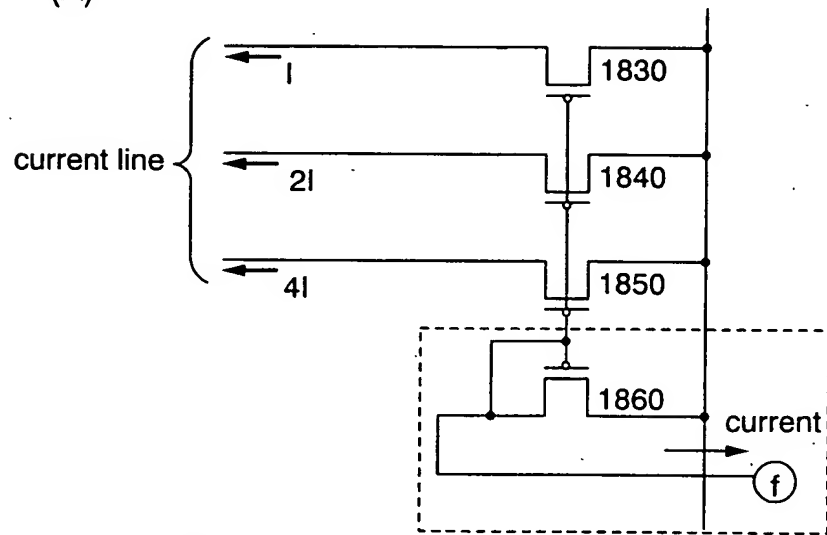


[FIG. 32]

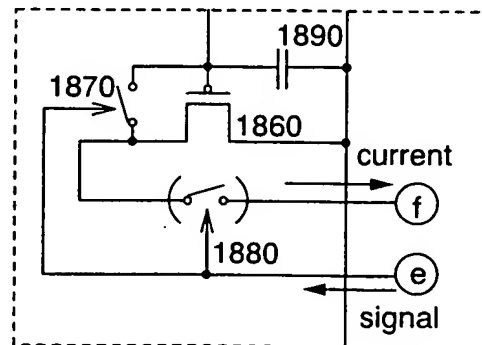


[FIG. 33]

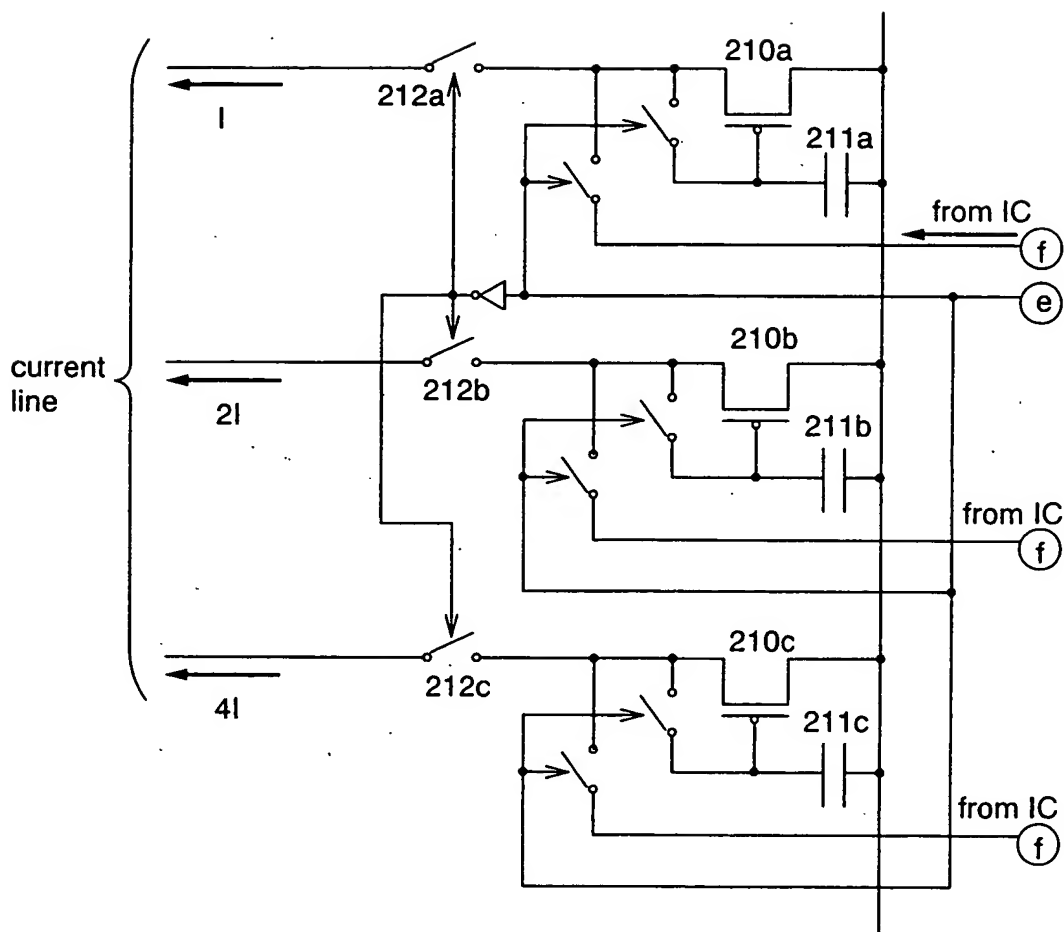
(A)



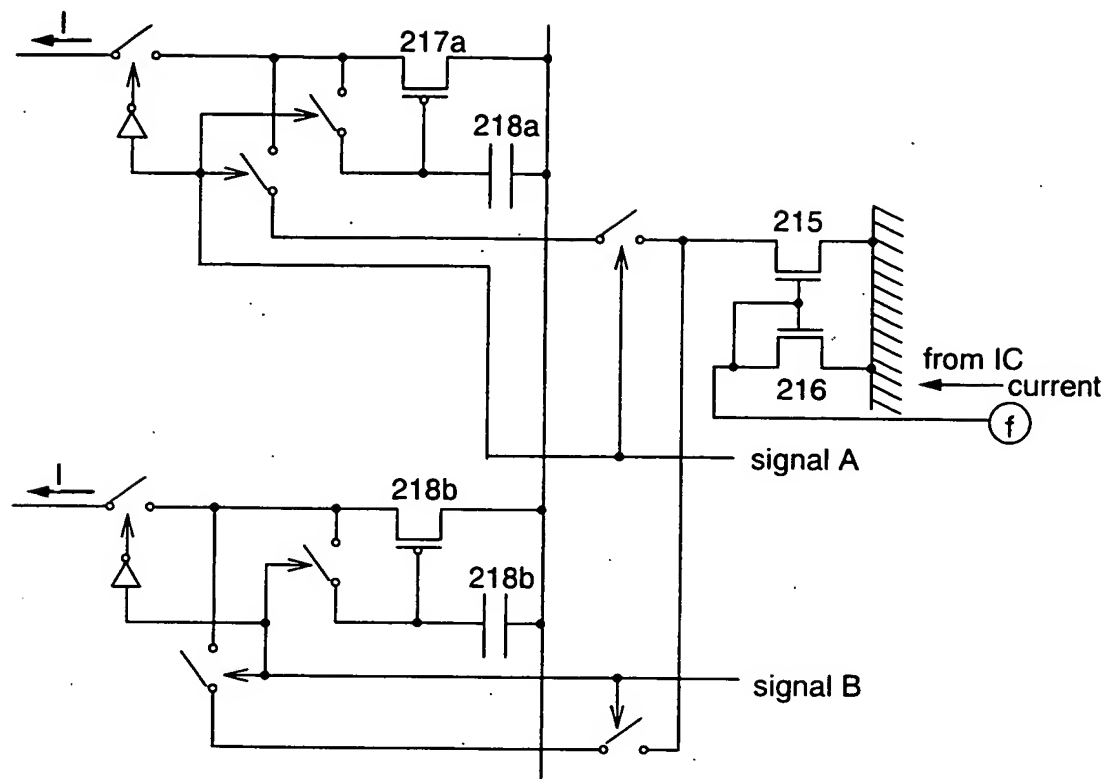
(B)



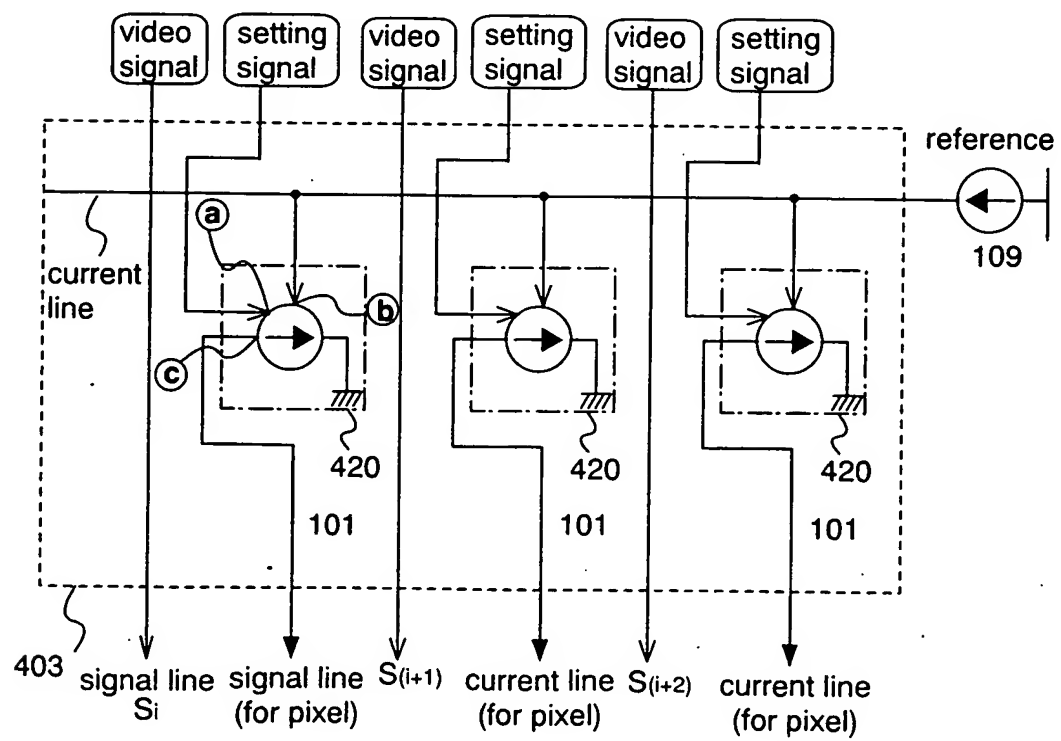
[FIG. 34]



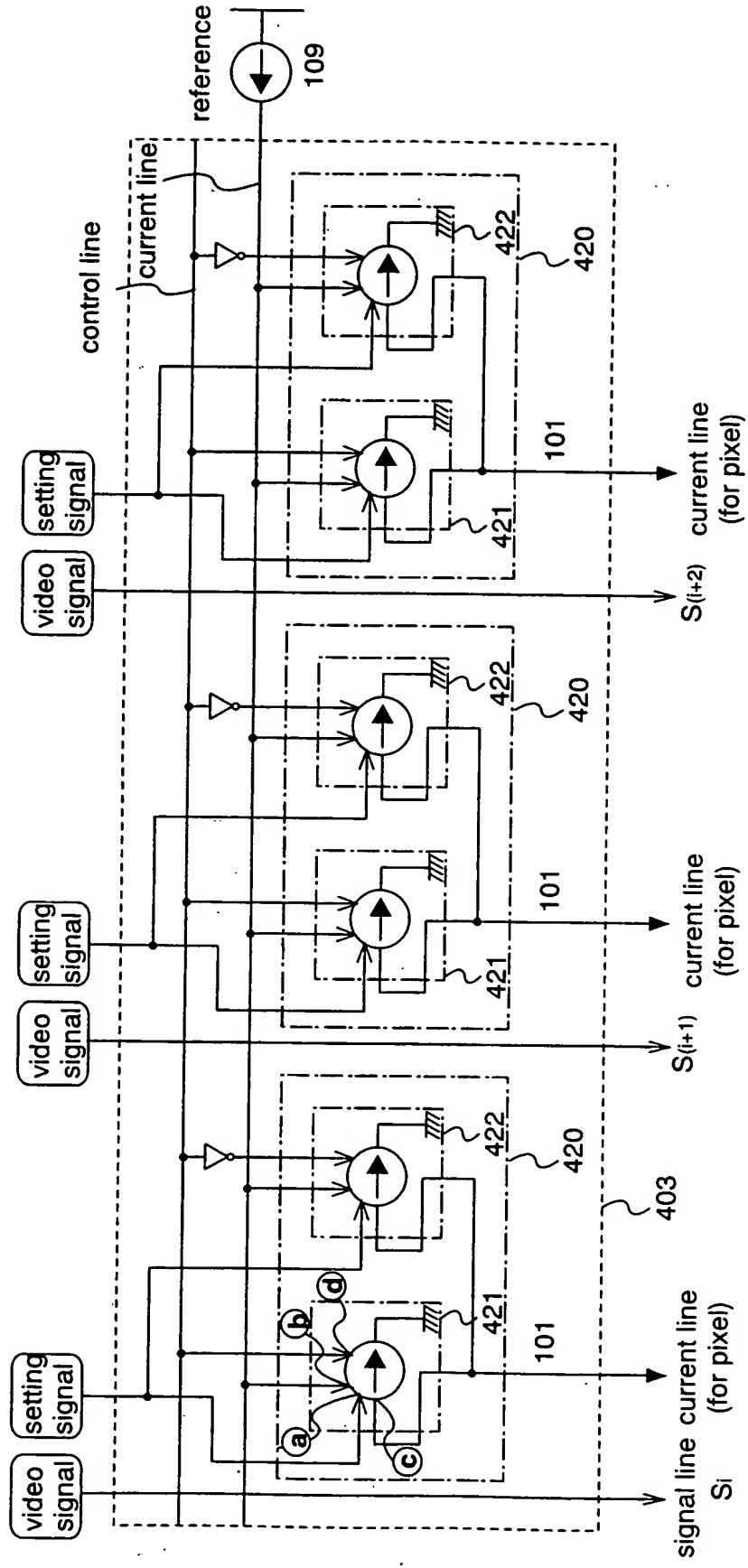
[FIG. 35]



[FIG. 36]

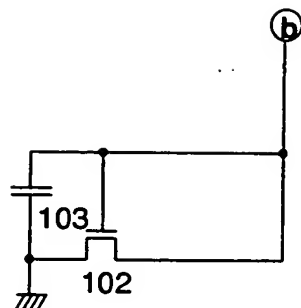


[FIG. 37]



[FIG. 38]

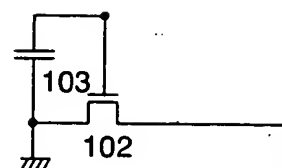
(A)



(A1)

(c)

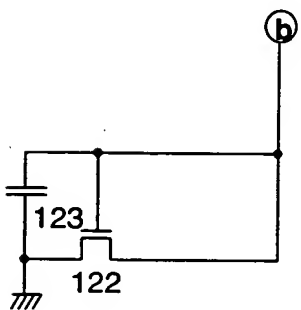
(b)



(A2)

(c)

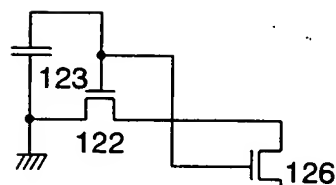
(B)



(B1)

(c)

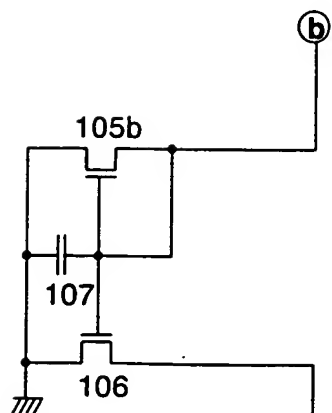
(b)



(B2)

(c)

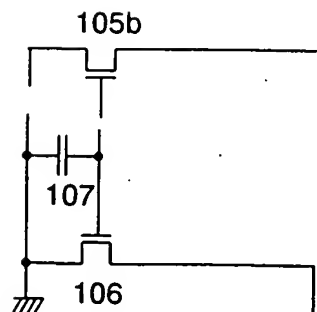
(C)



(C1)

(c)

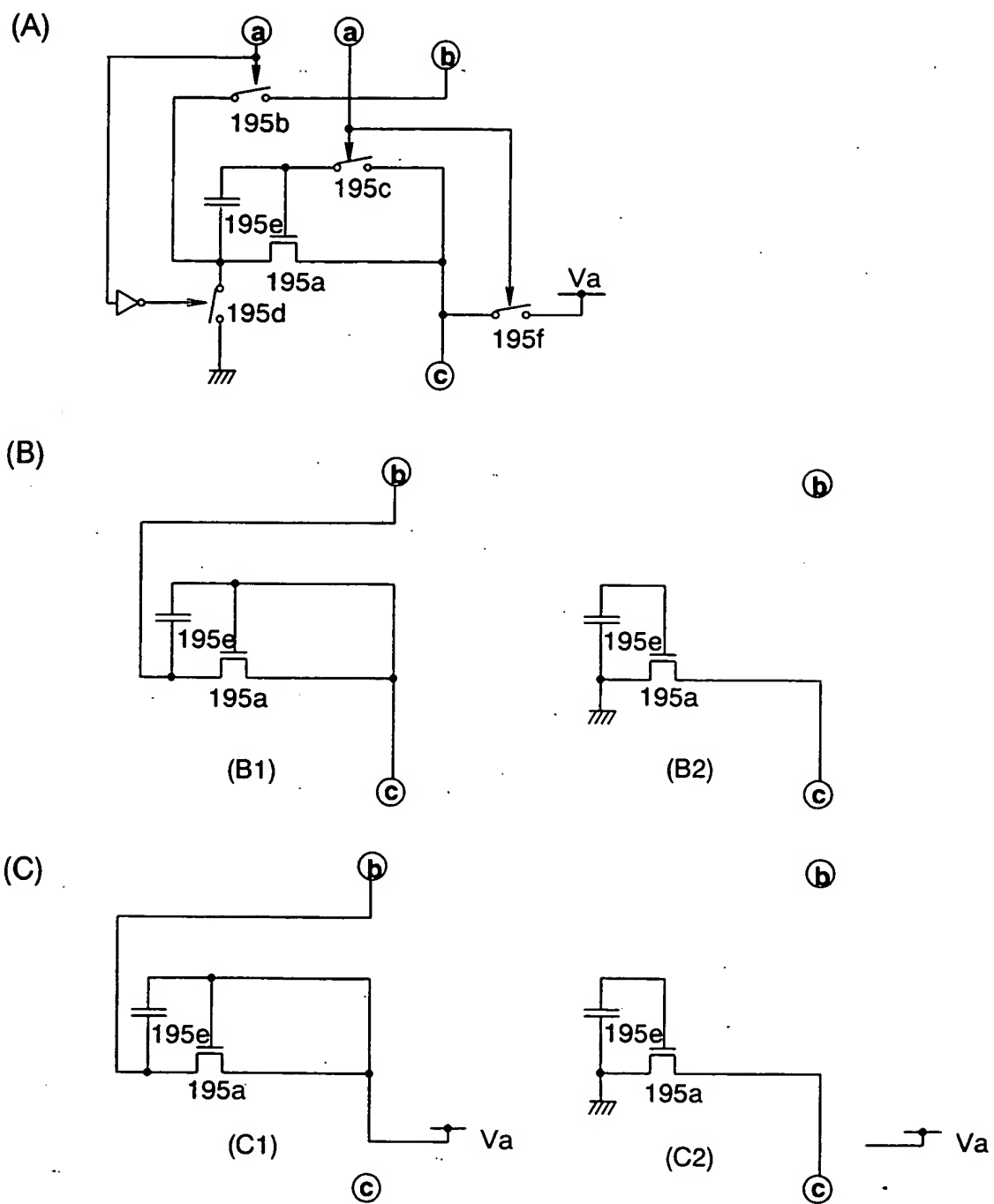
(b)



(C2)

(c)

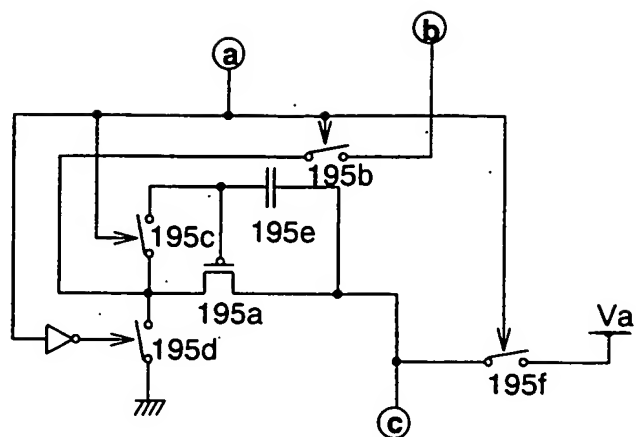
[FIG. 39]



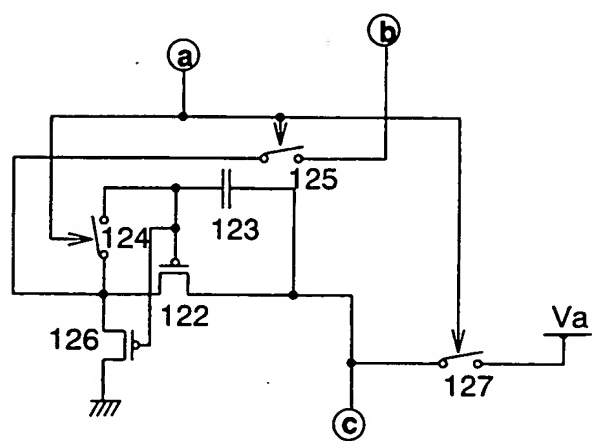


[FIG. 40]

(A)

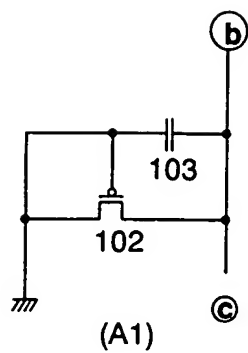


(B)

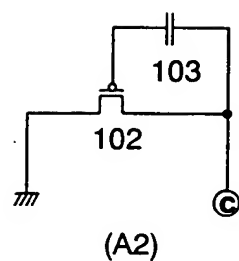


[FIG. 41]

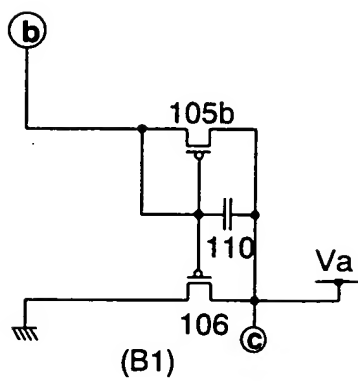
(A)



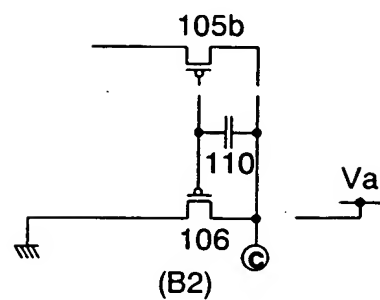
(b)



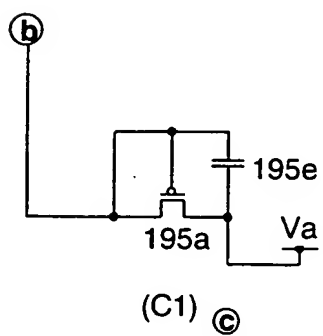
(B)



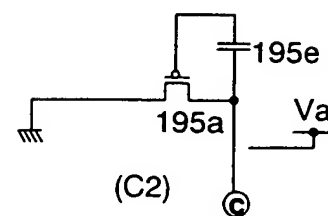
(b)



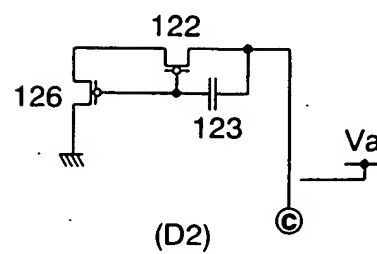
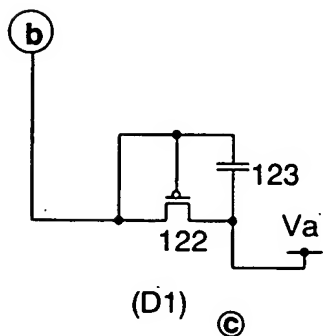
(C)



(b)

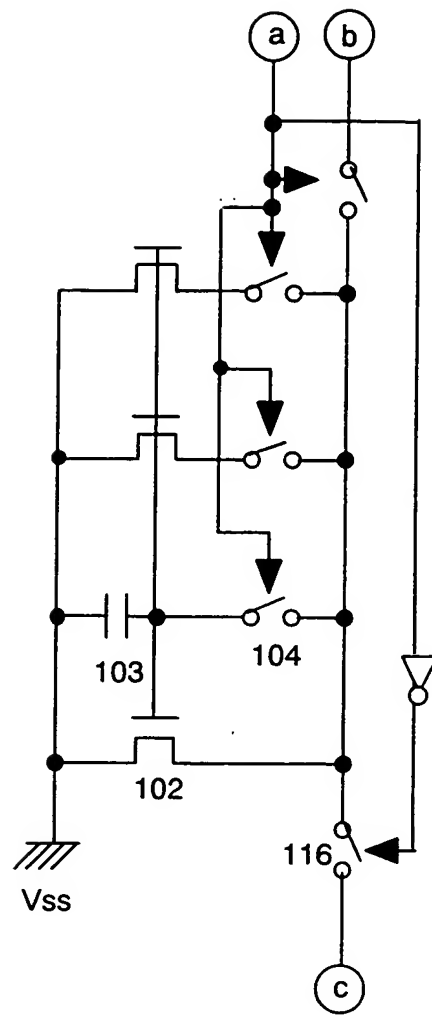


(D)

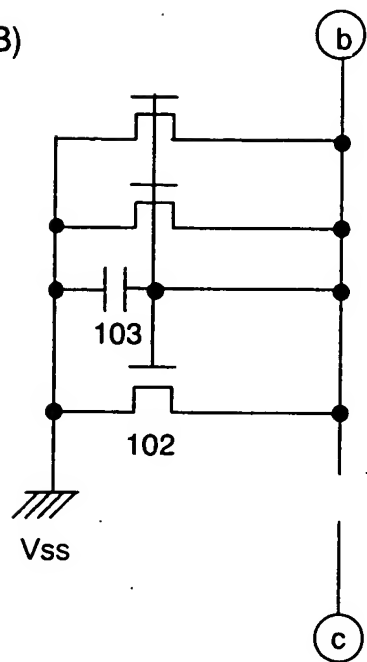


[FIG. 42]

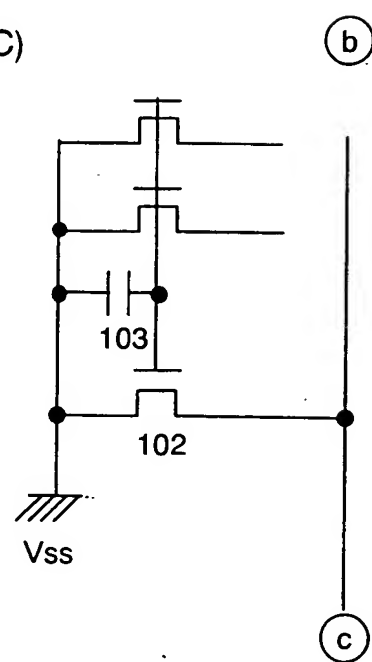
(A)



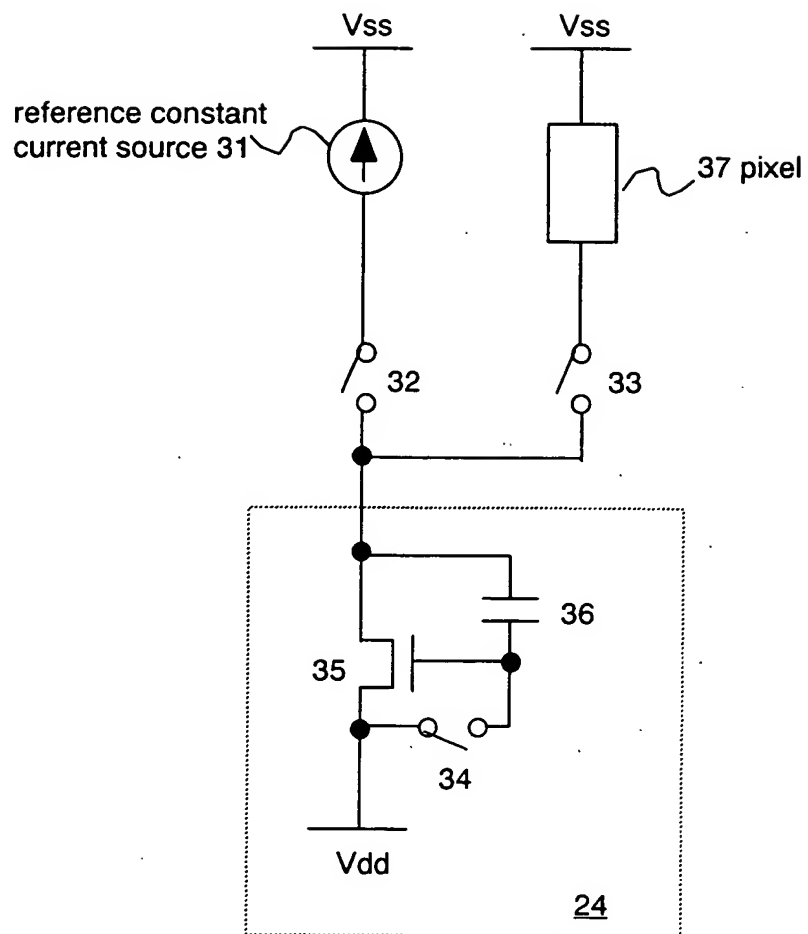
(B)



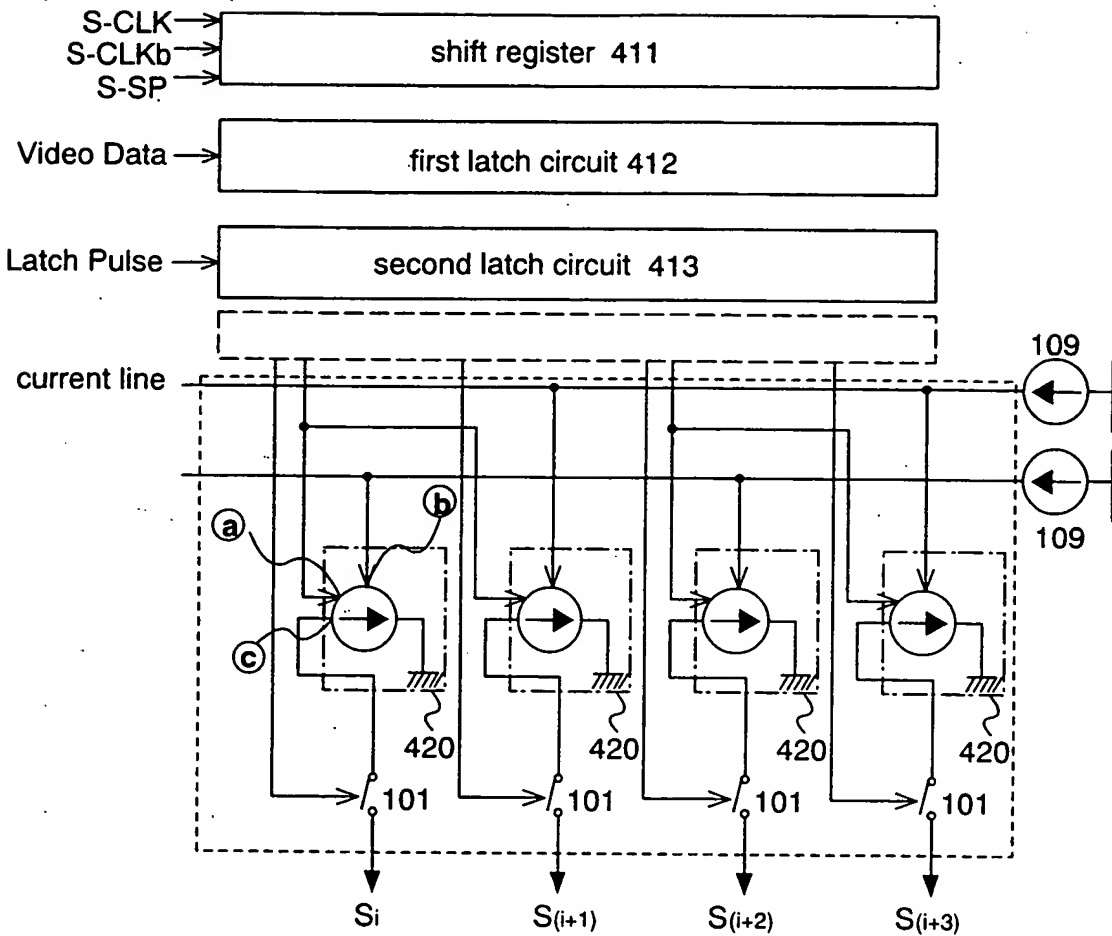
(C)



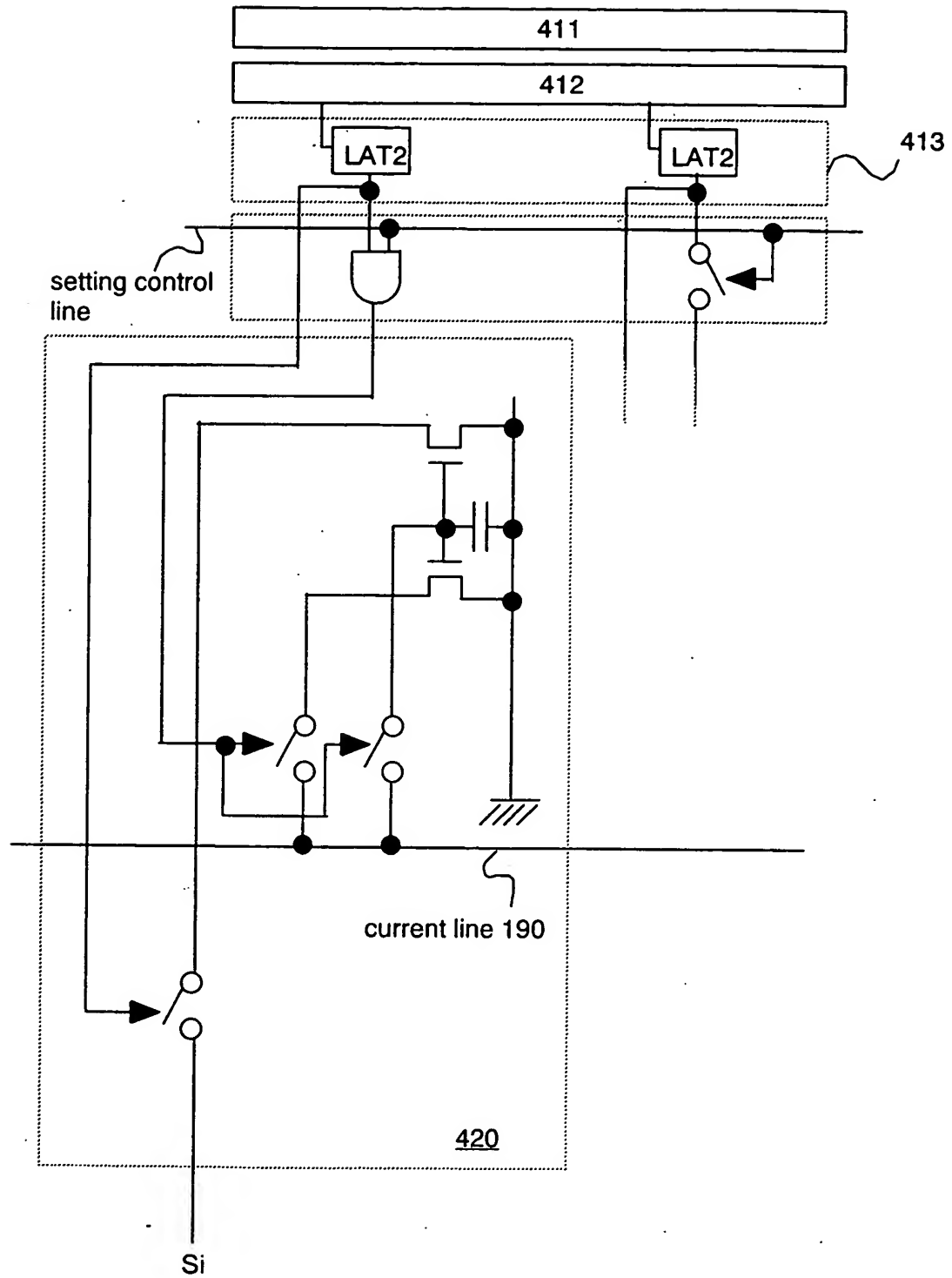
[FIG. 43]



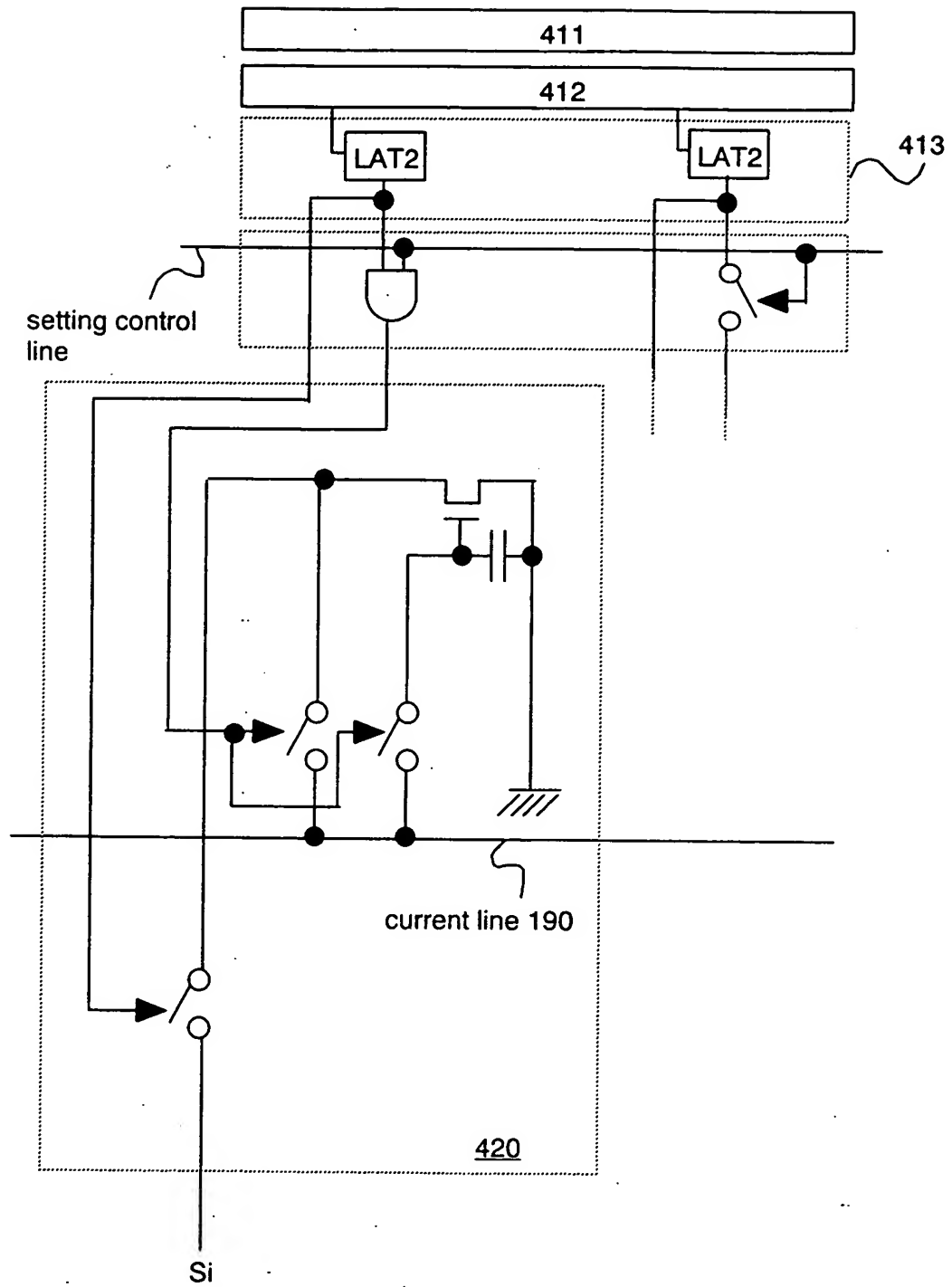
[FIG. 44]



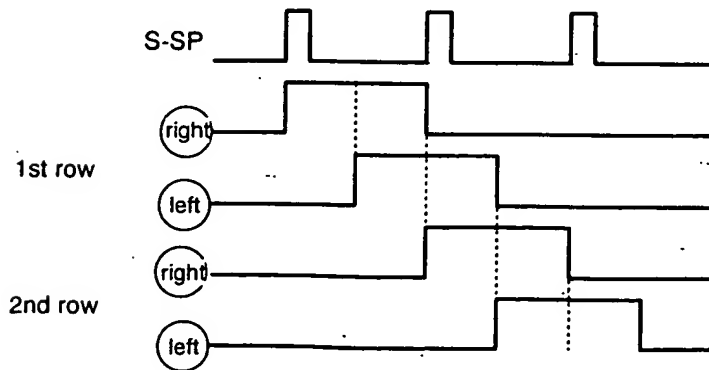
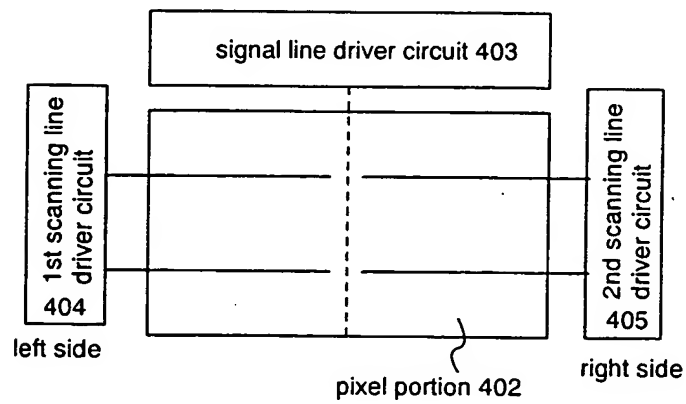
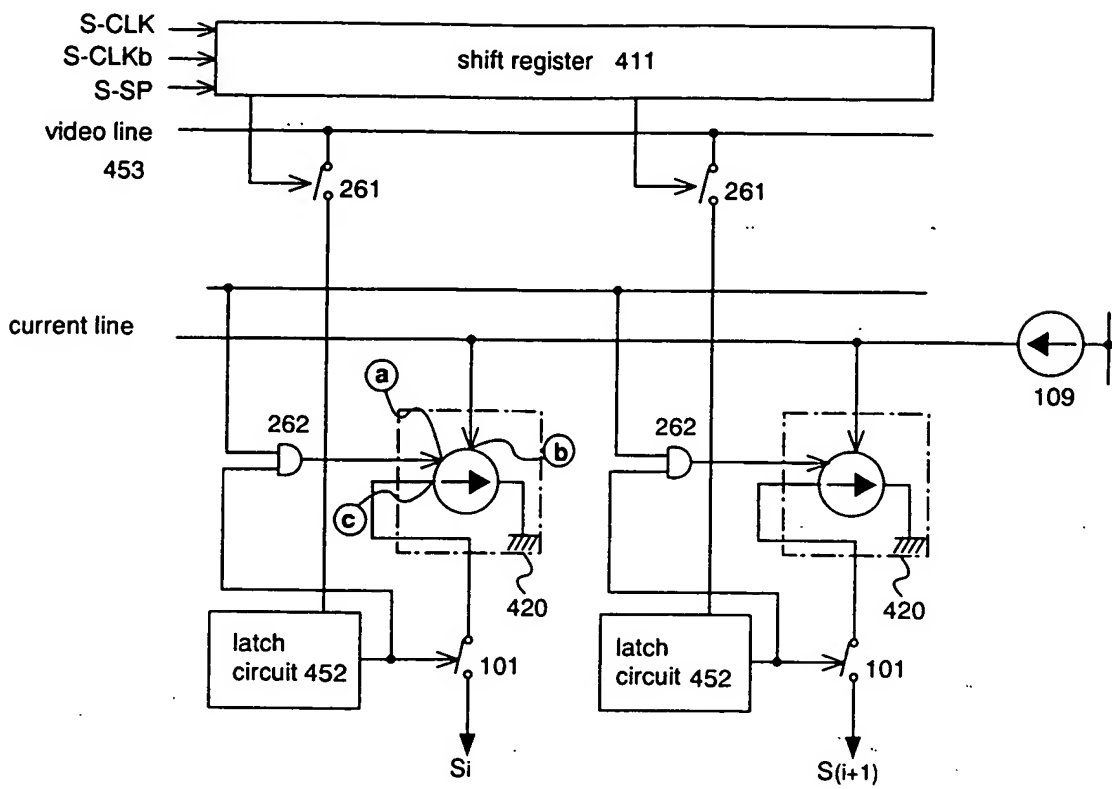
[FIG. 45]



[FIG. 46]

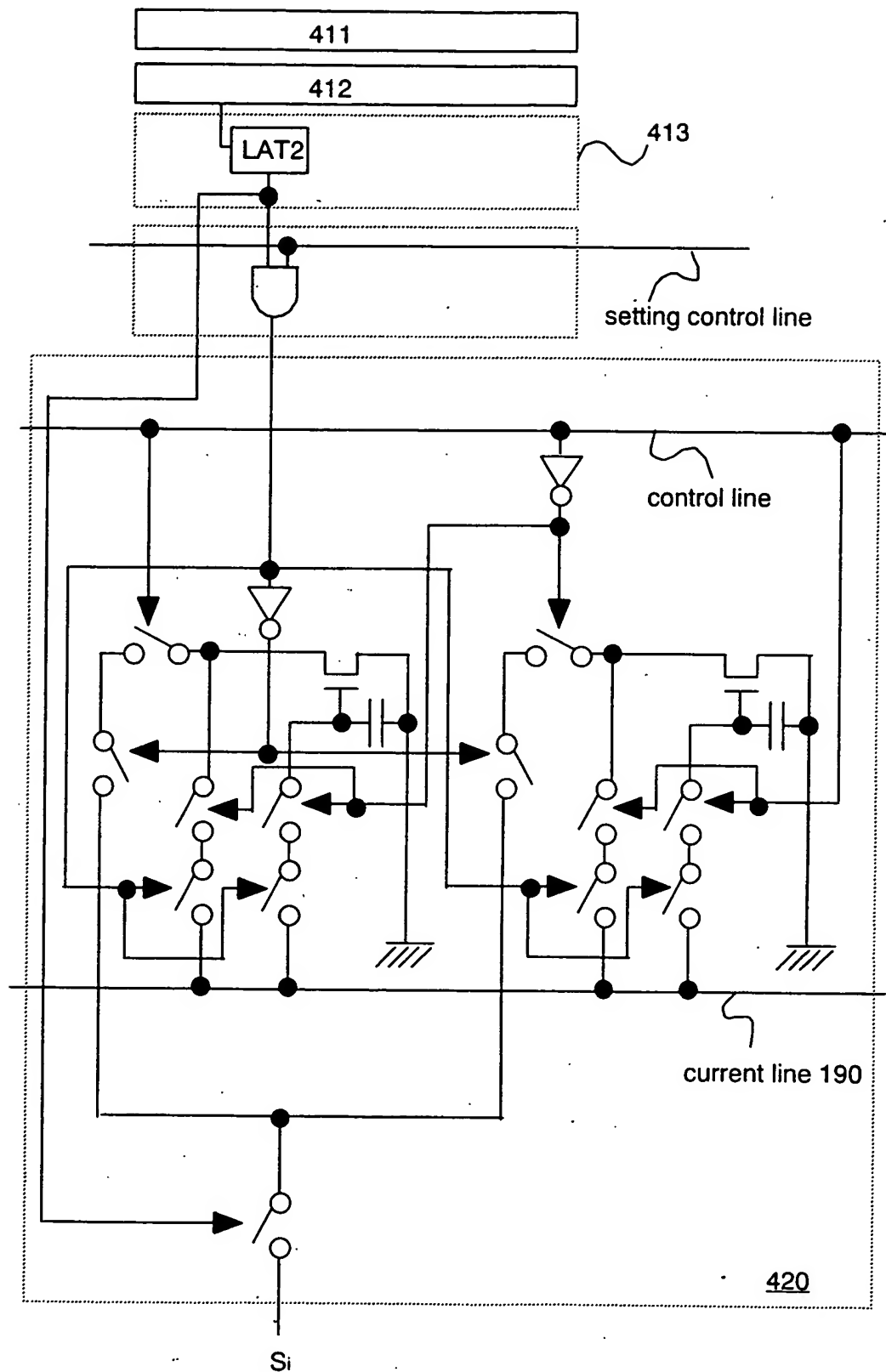


[FIG. 47] (A)

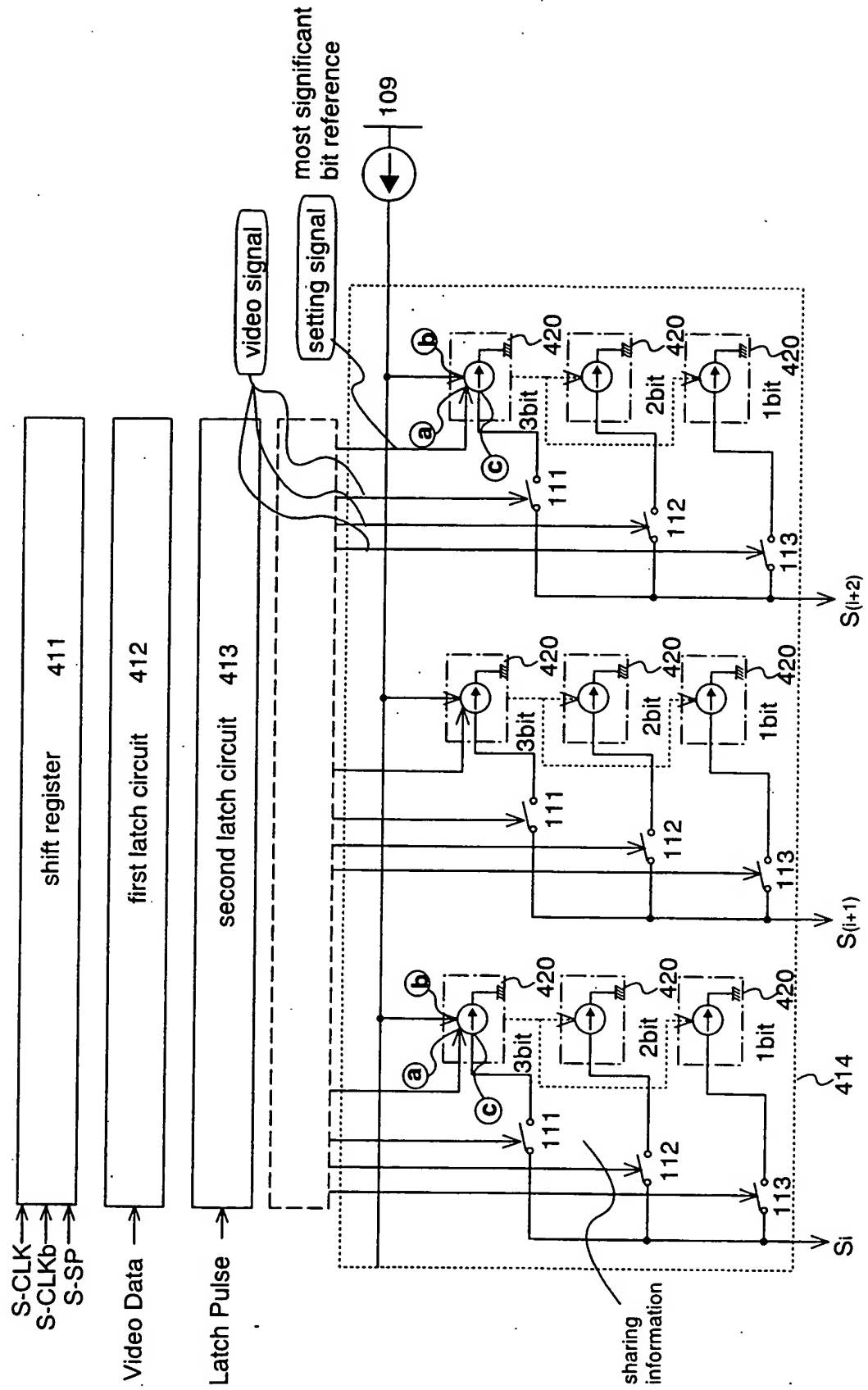




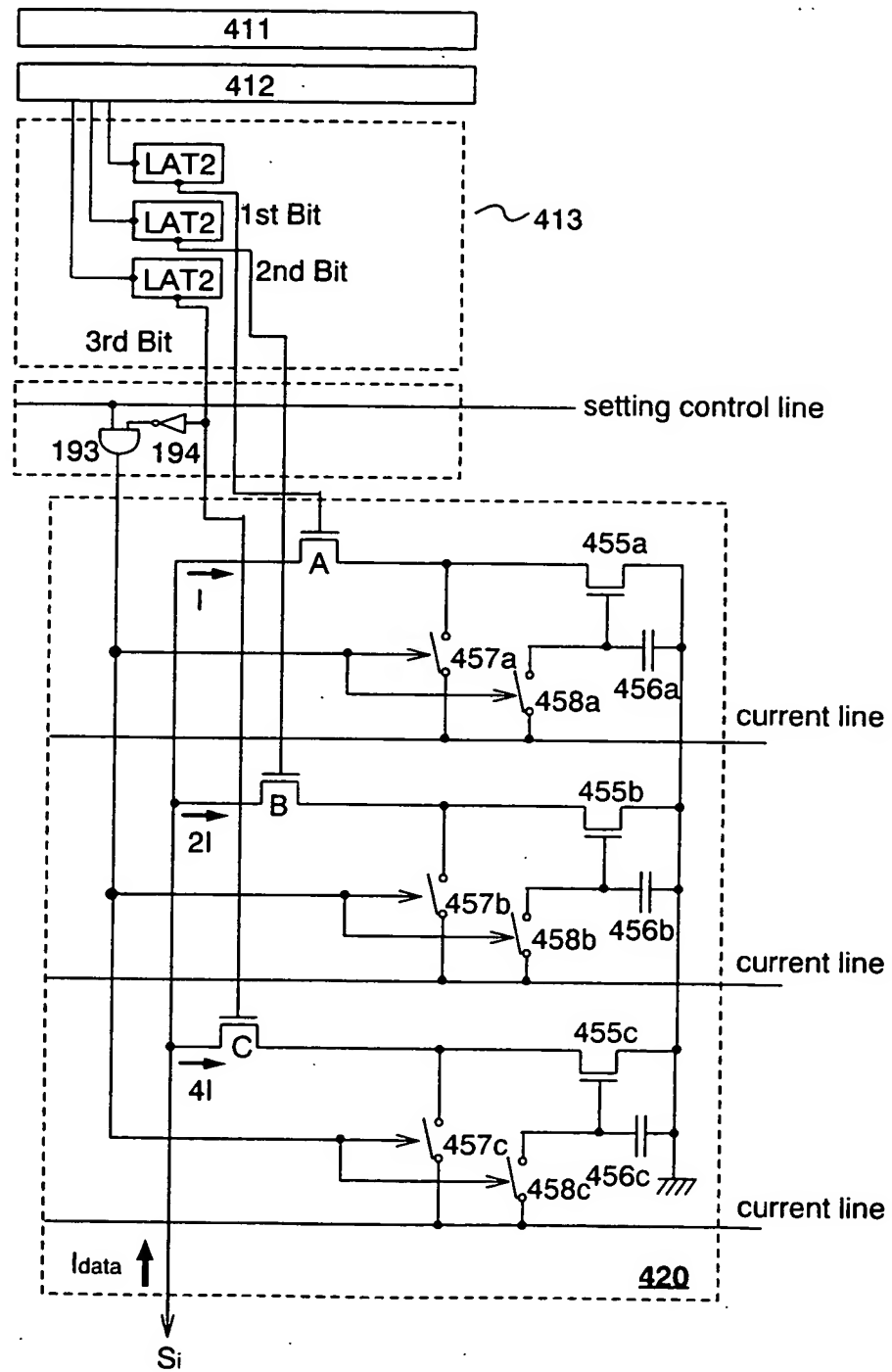
[FIG. 48]



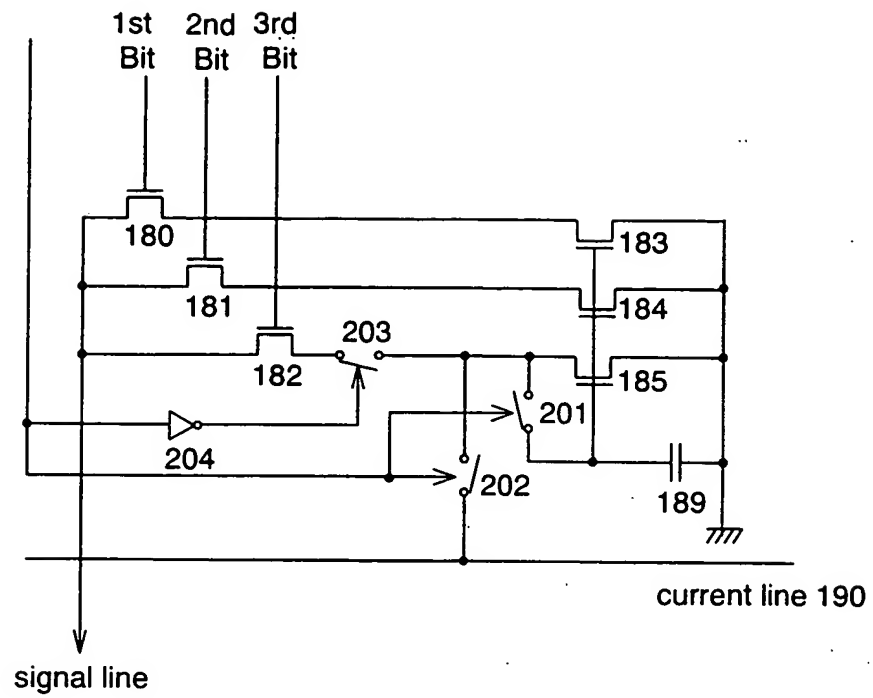
[FIG. 49]



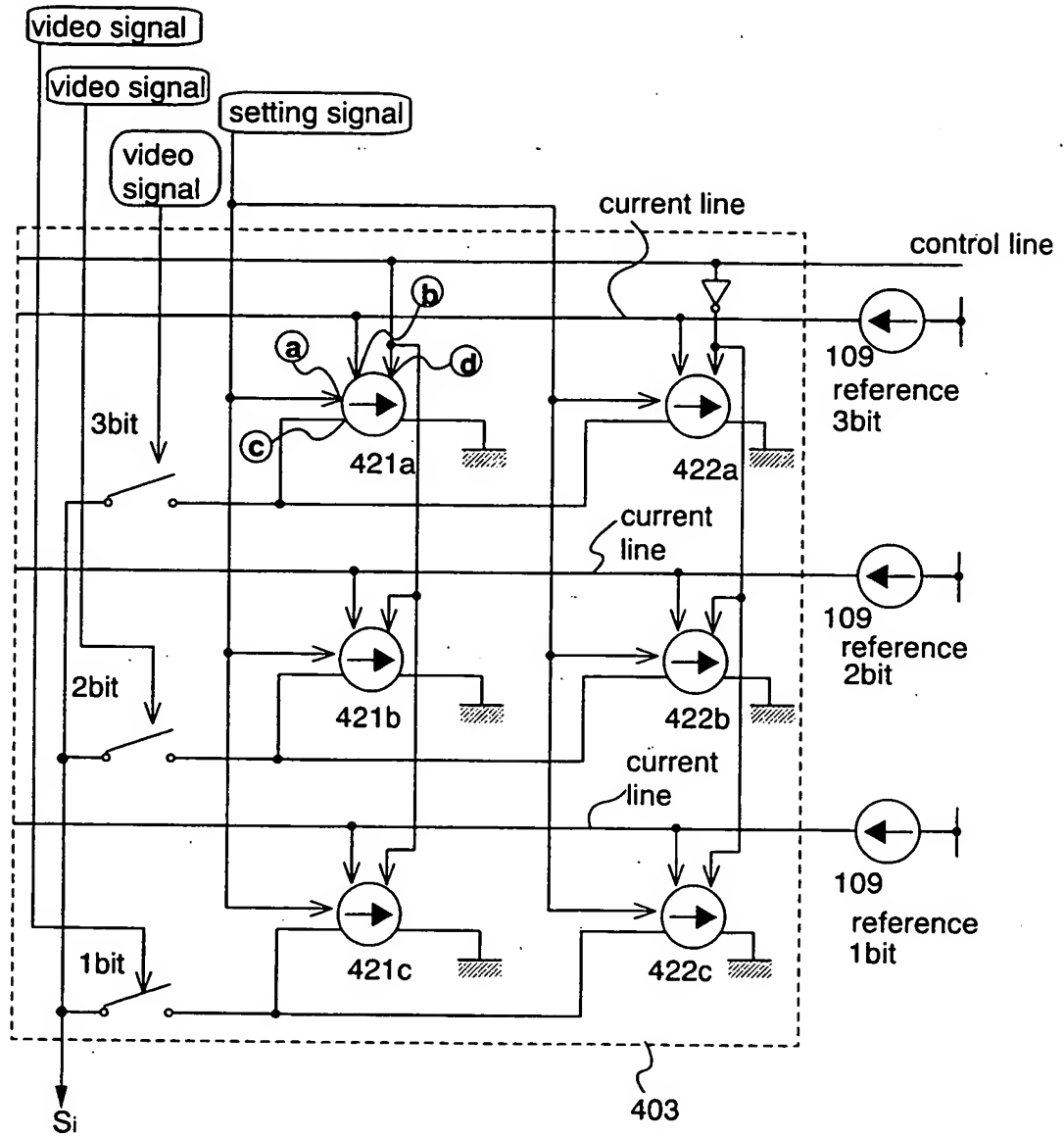
[FIG. 50]



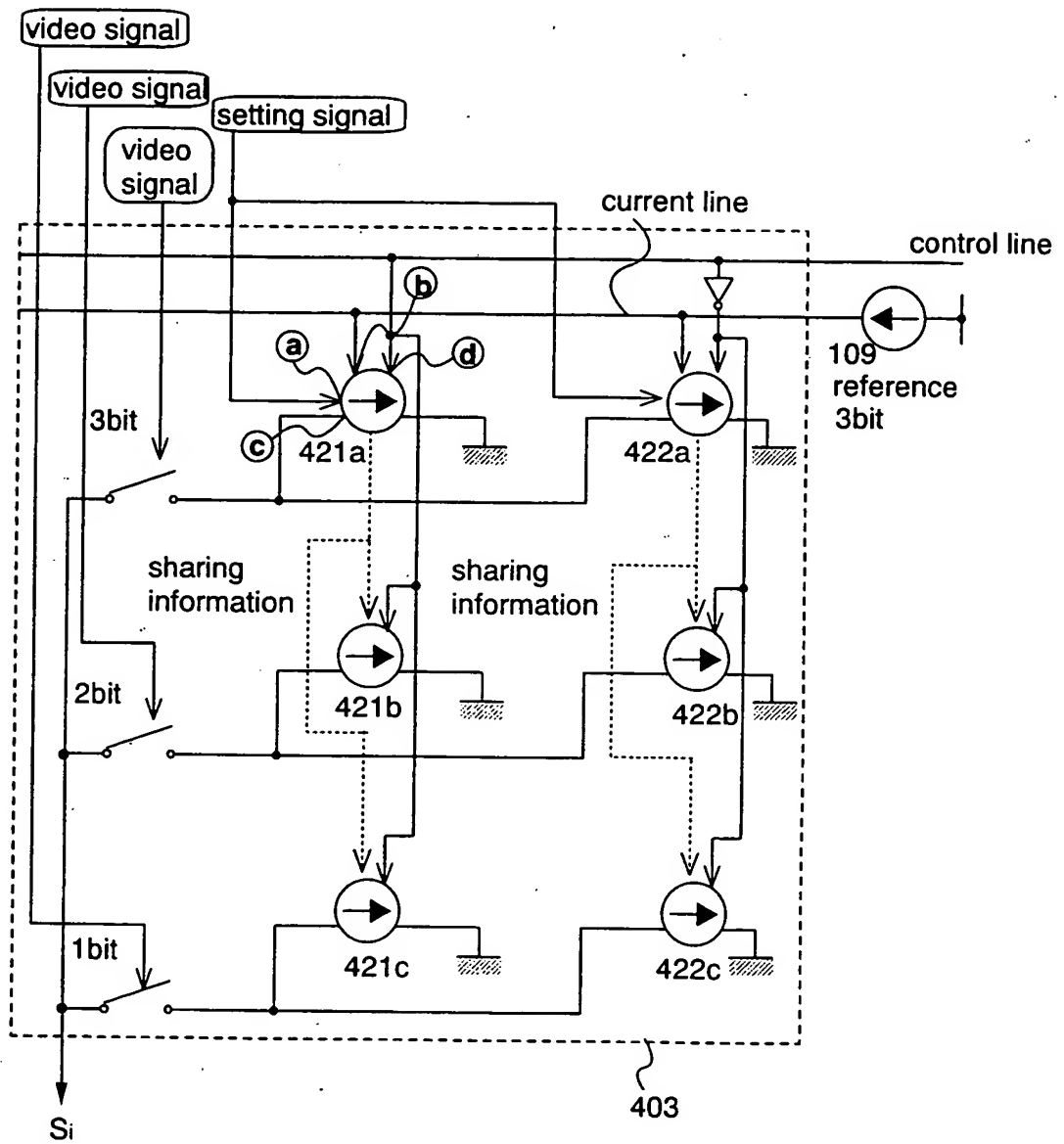
[FIG. 51]



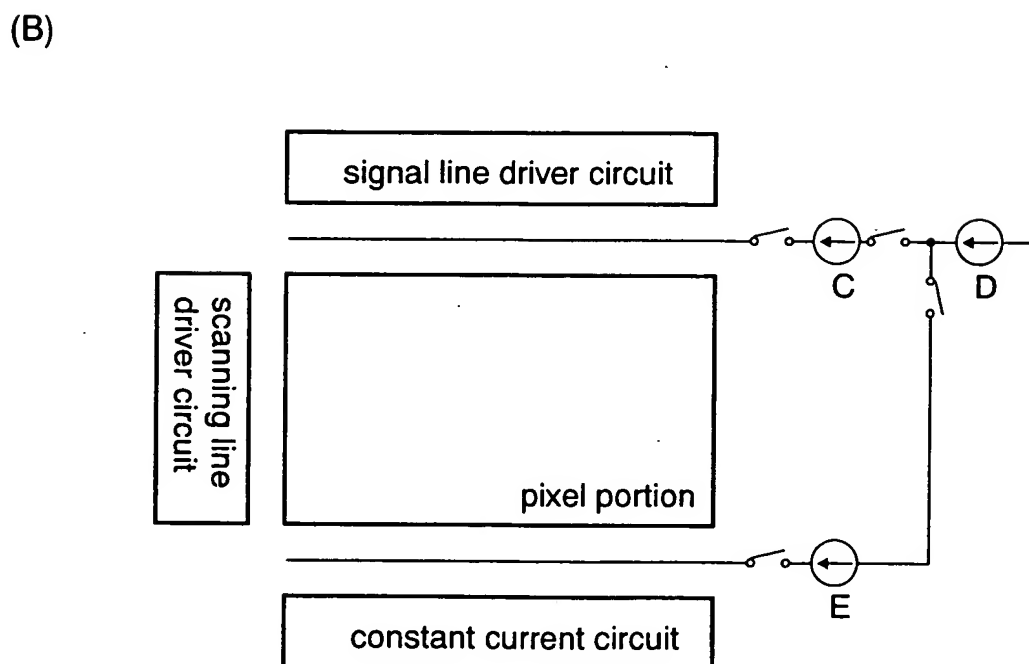
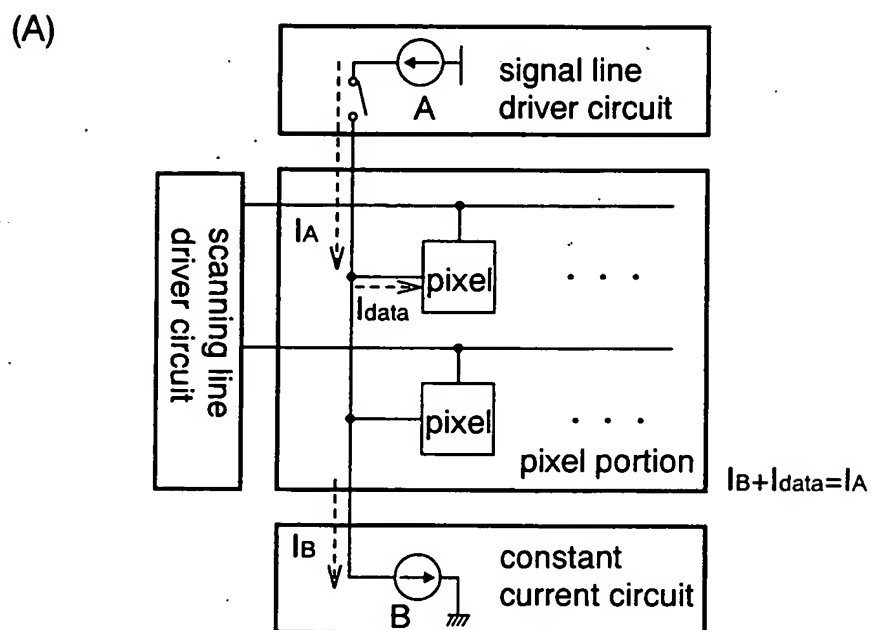
[FIG. 52]



[FIG. 53]



[FIG. 54]



(A)

S-CLK  
S-CLKb  
S-SP

shift register 411

Video Data

first latch circuit 412

Latch Pulse

second latch circuit 413

current line

109

101

420

Si

Ci

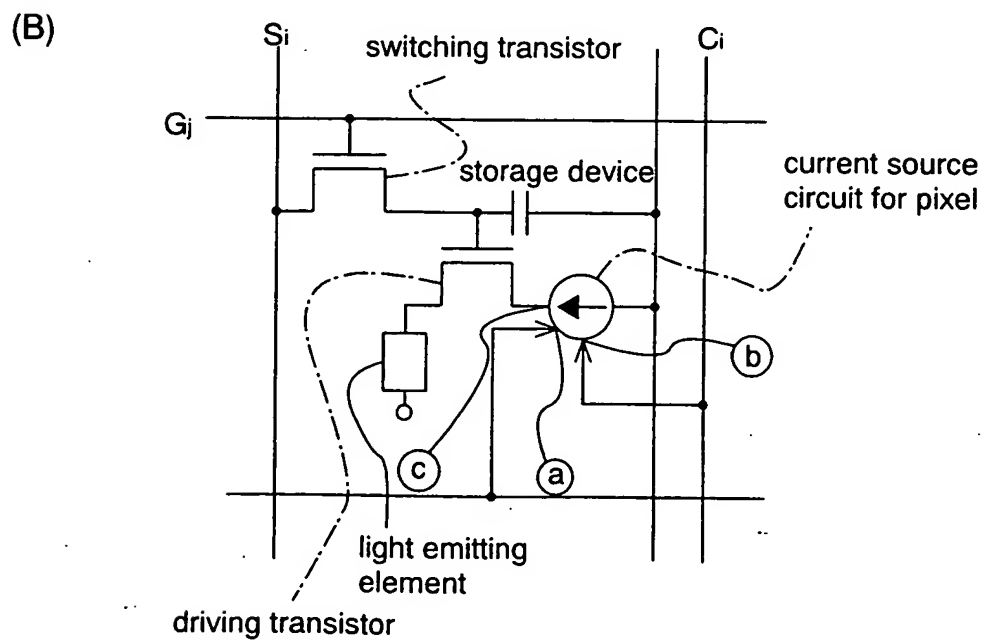
S(i+1)

C(i+1)

S(i+2)

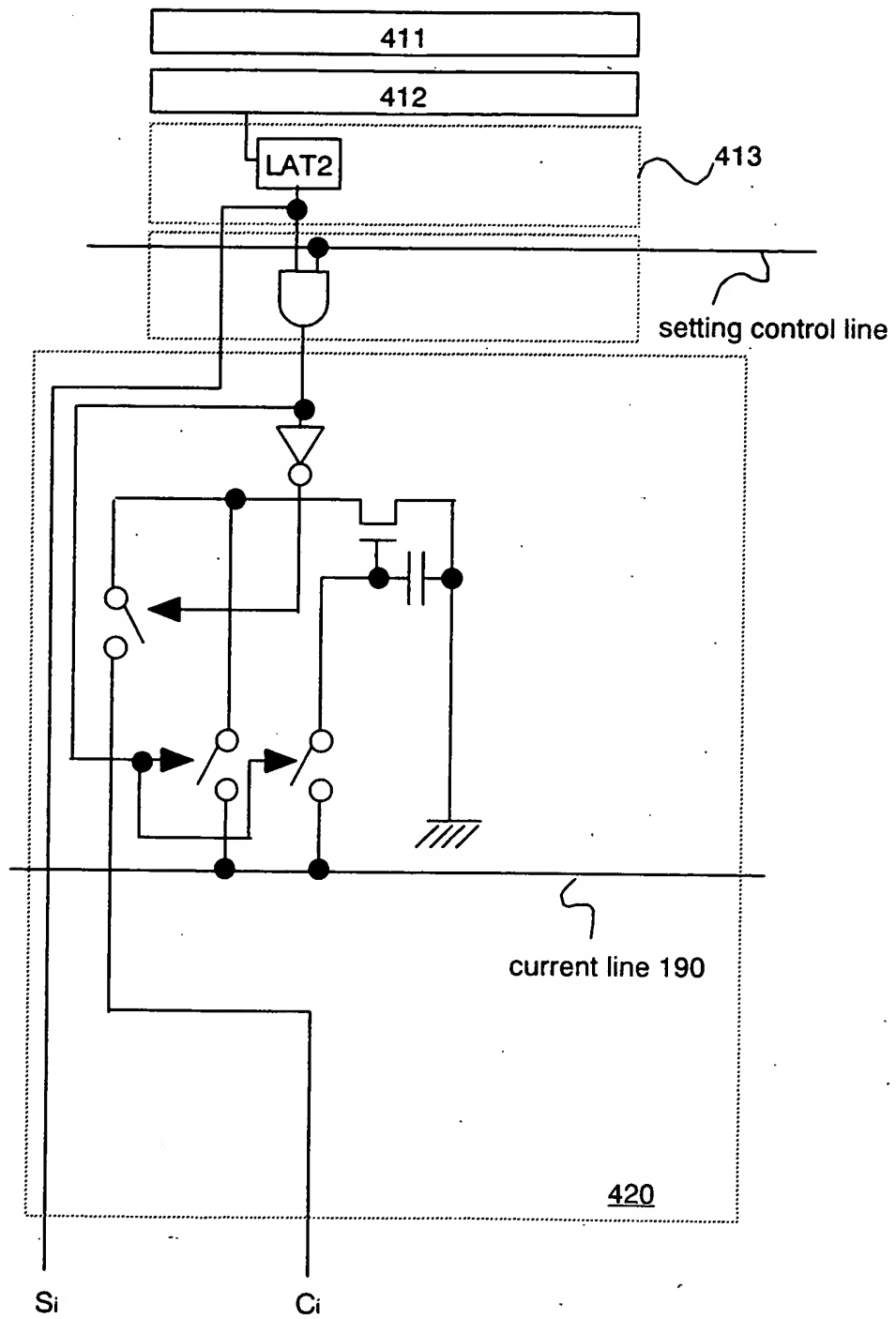
C(i+2)

414

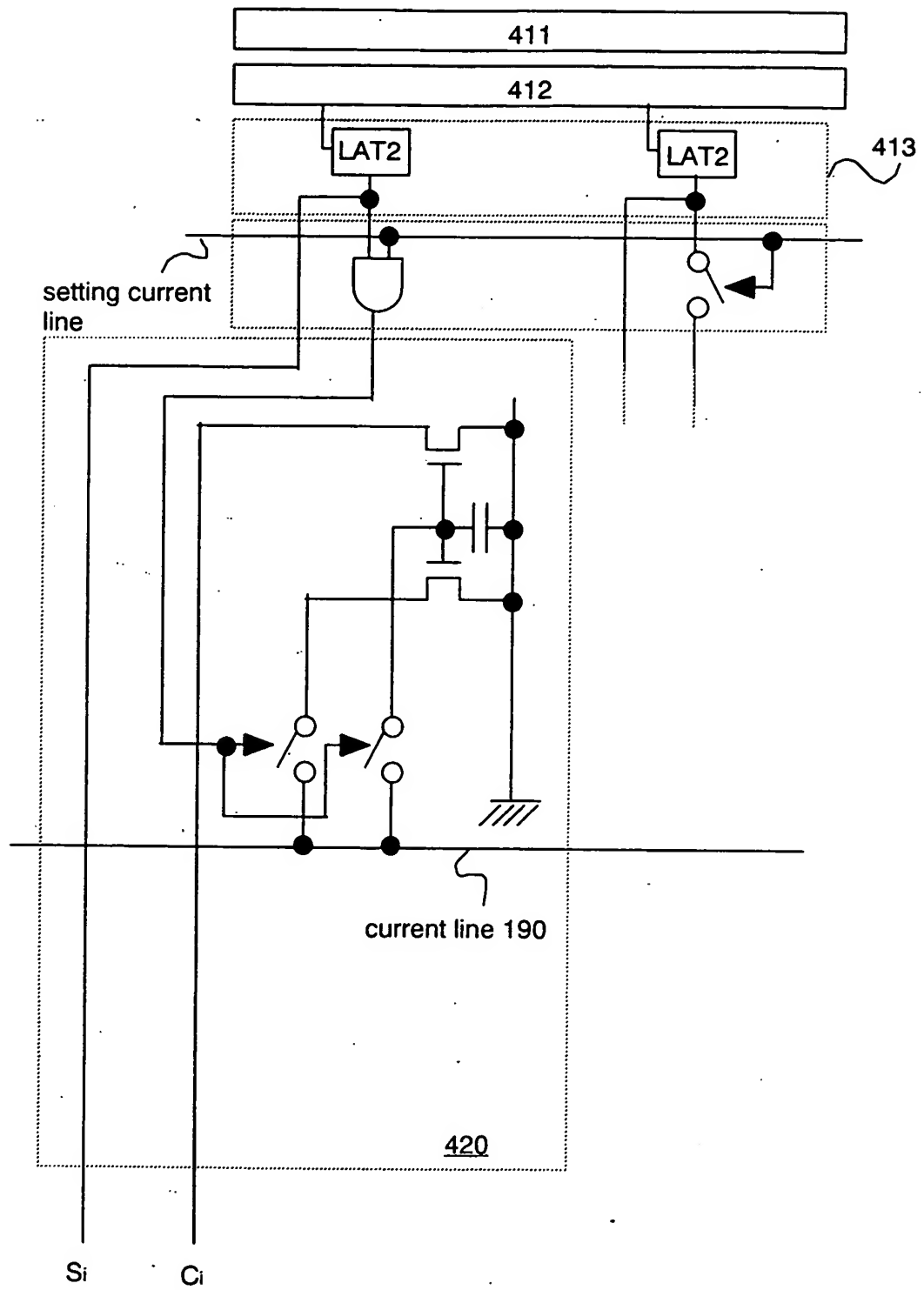




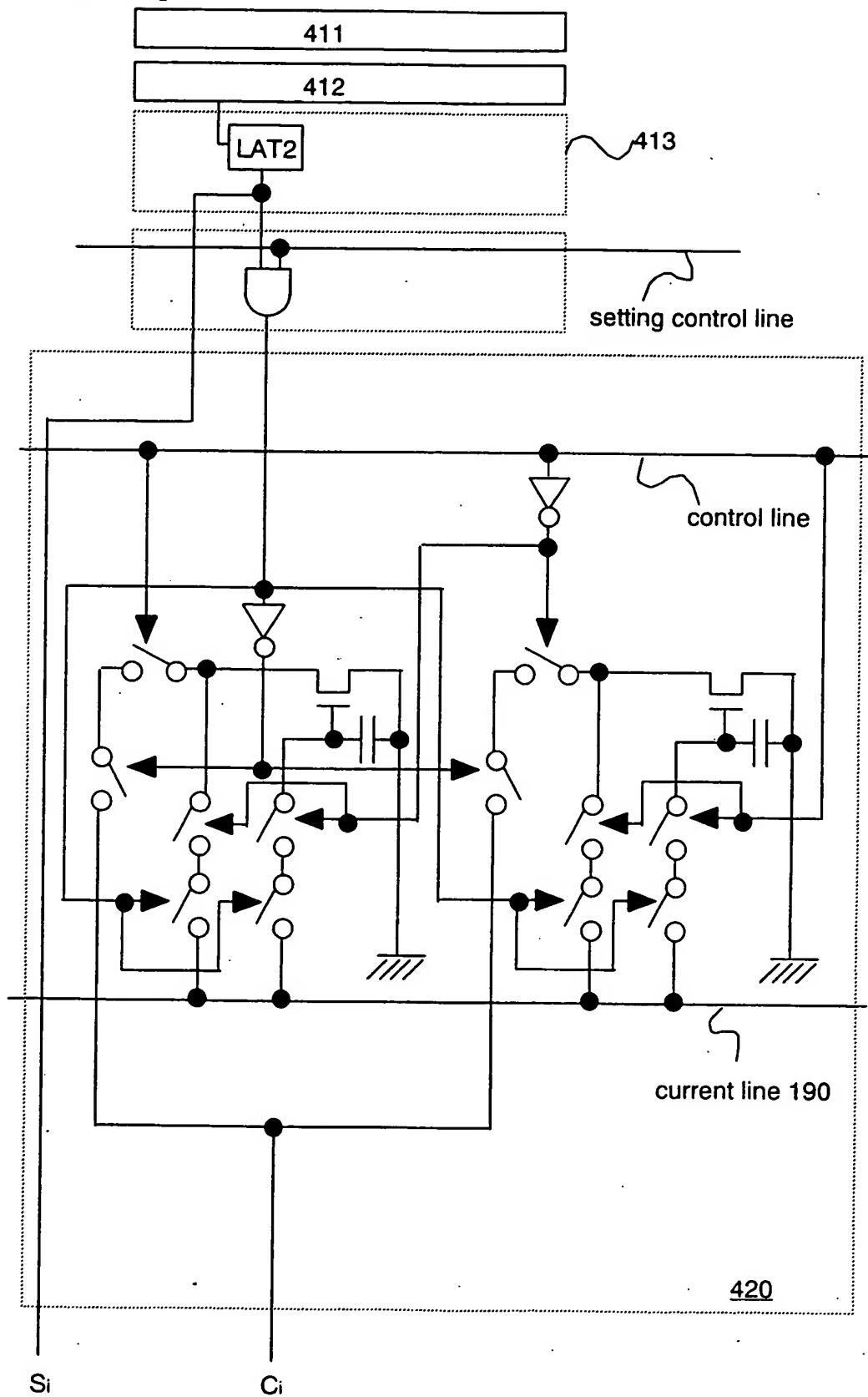
[FIG. 56]



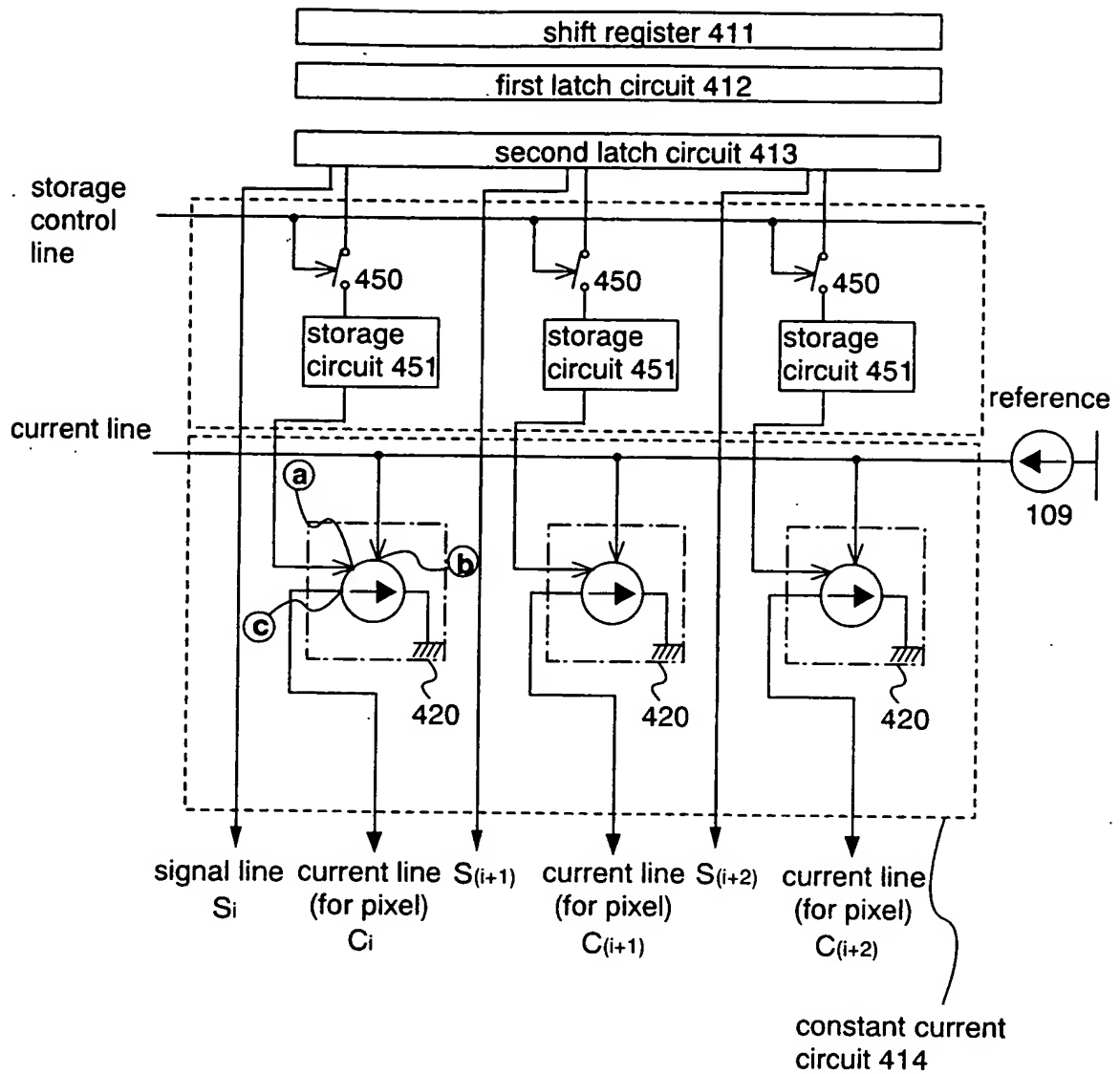
[FIG. 57]



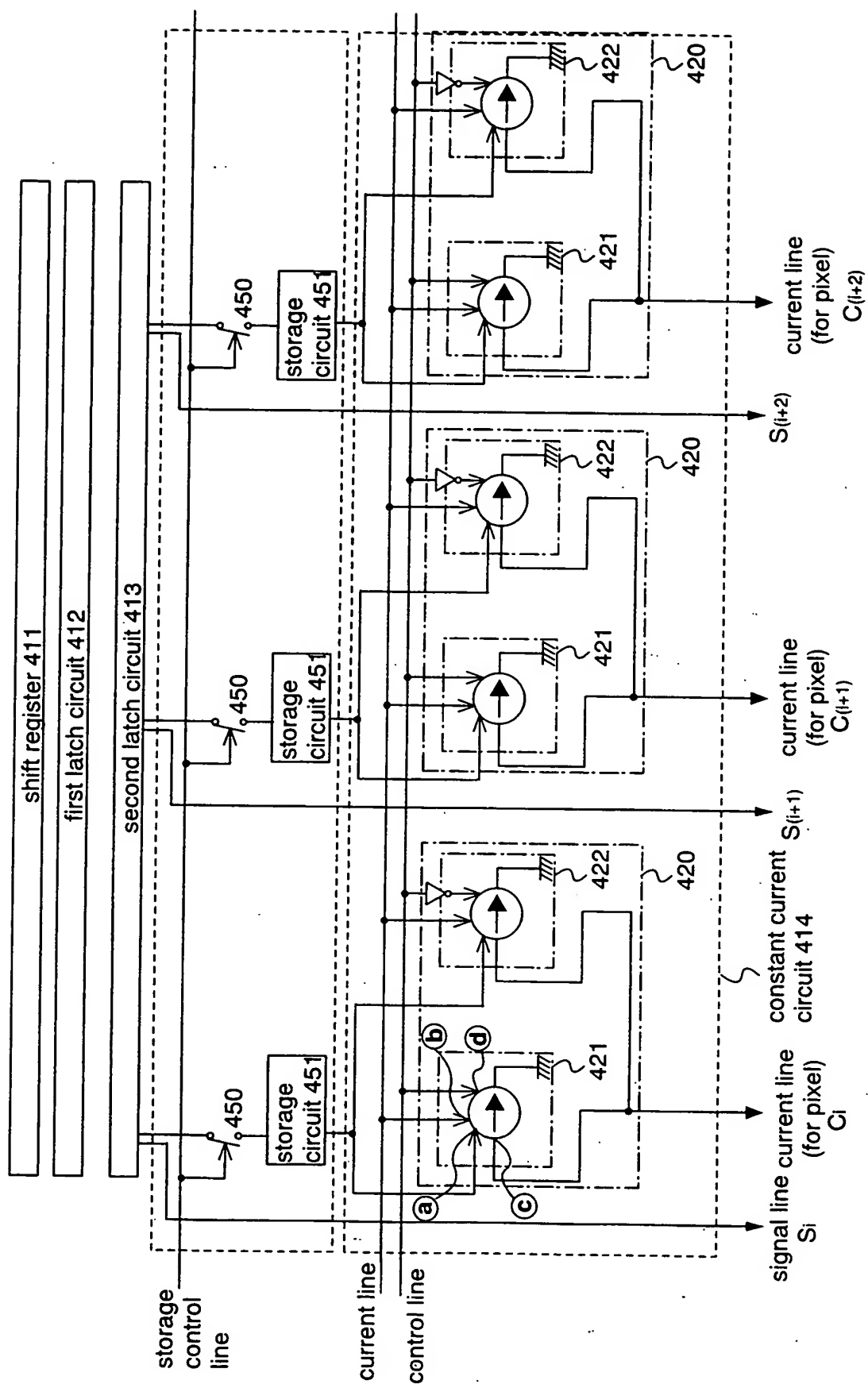
[FIG. 58]



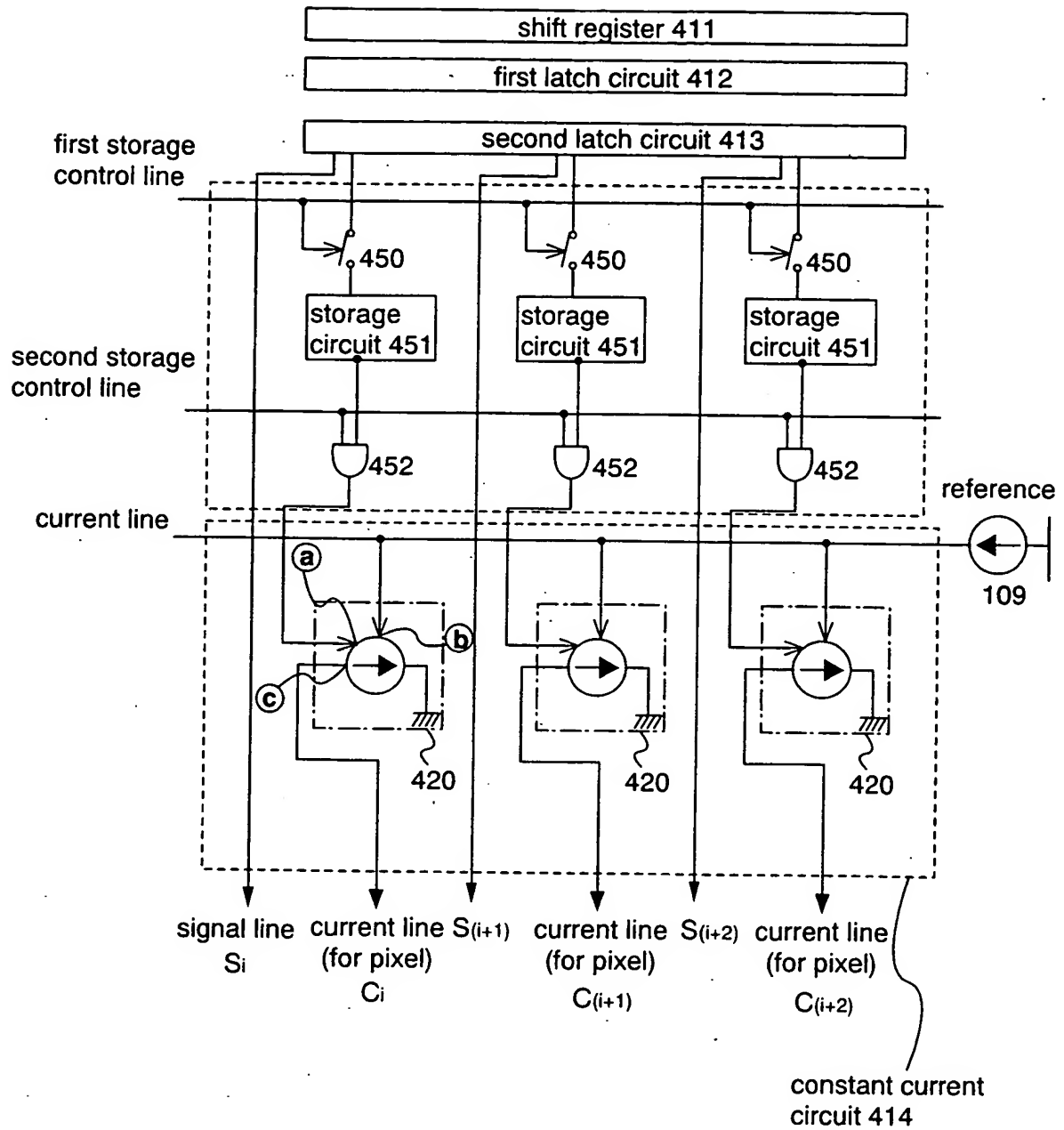
[FIG. 59]



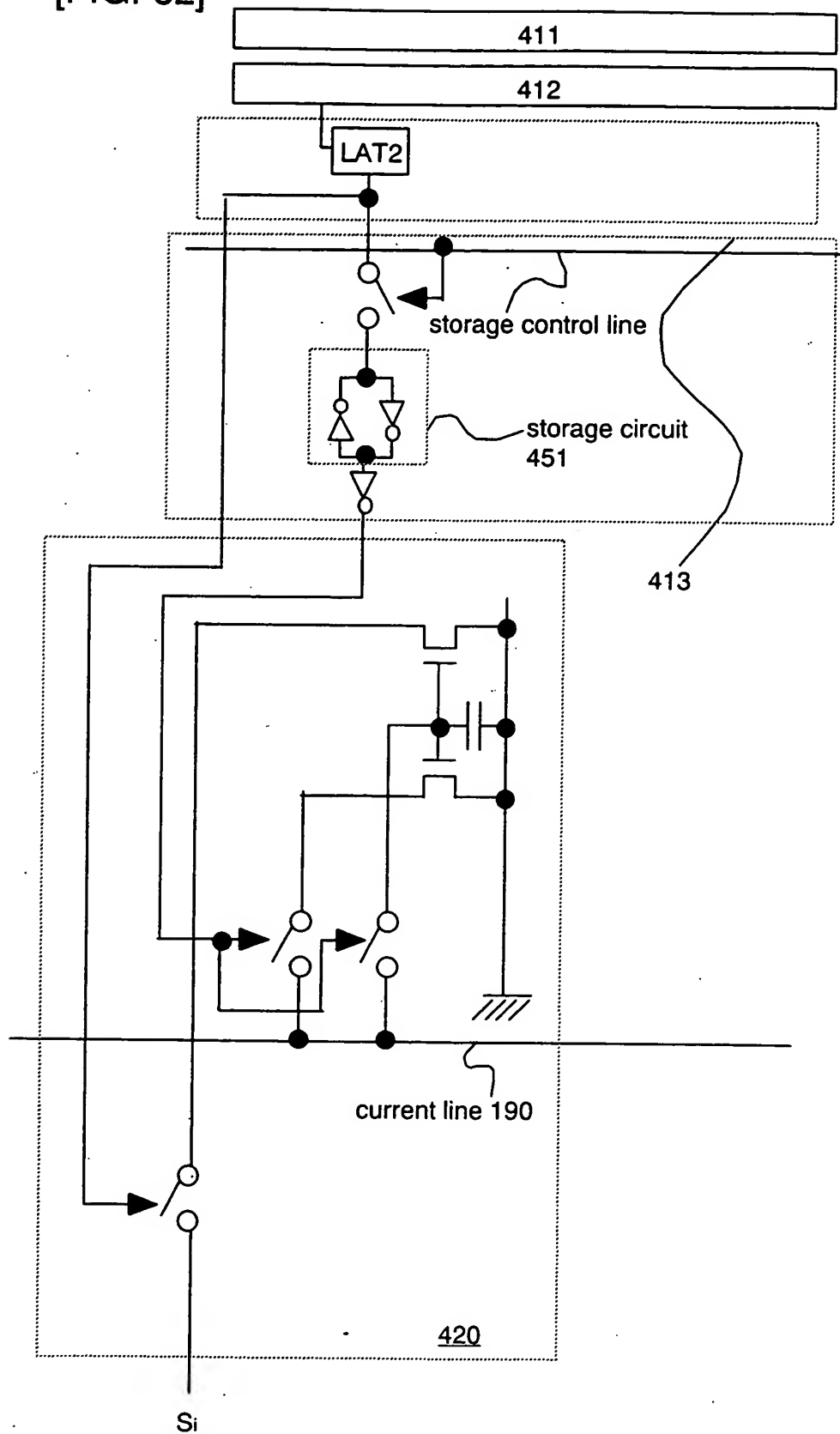
**[FIG. 60]**



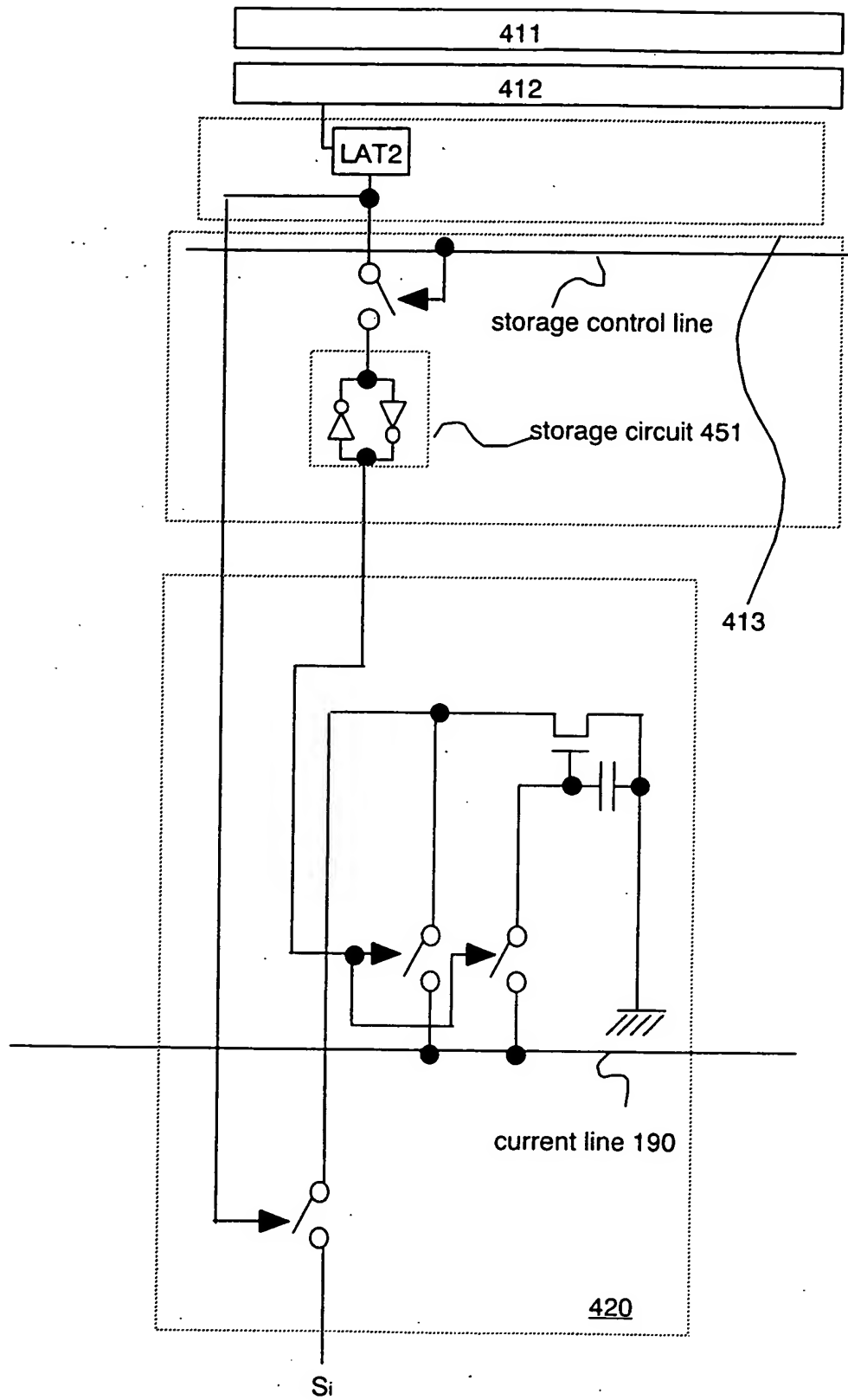
[FIG. 61]



[FIG. 62]

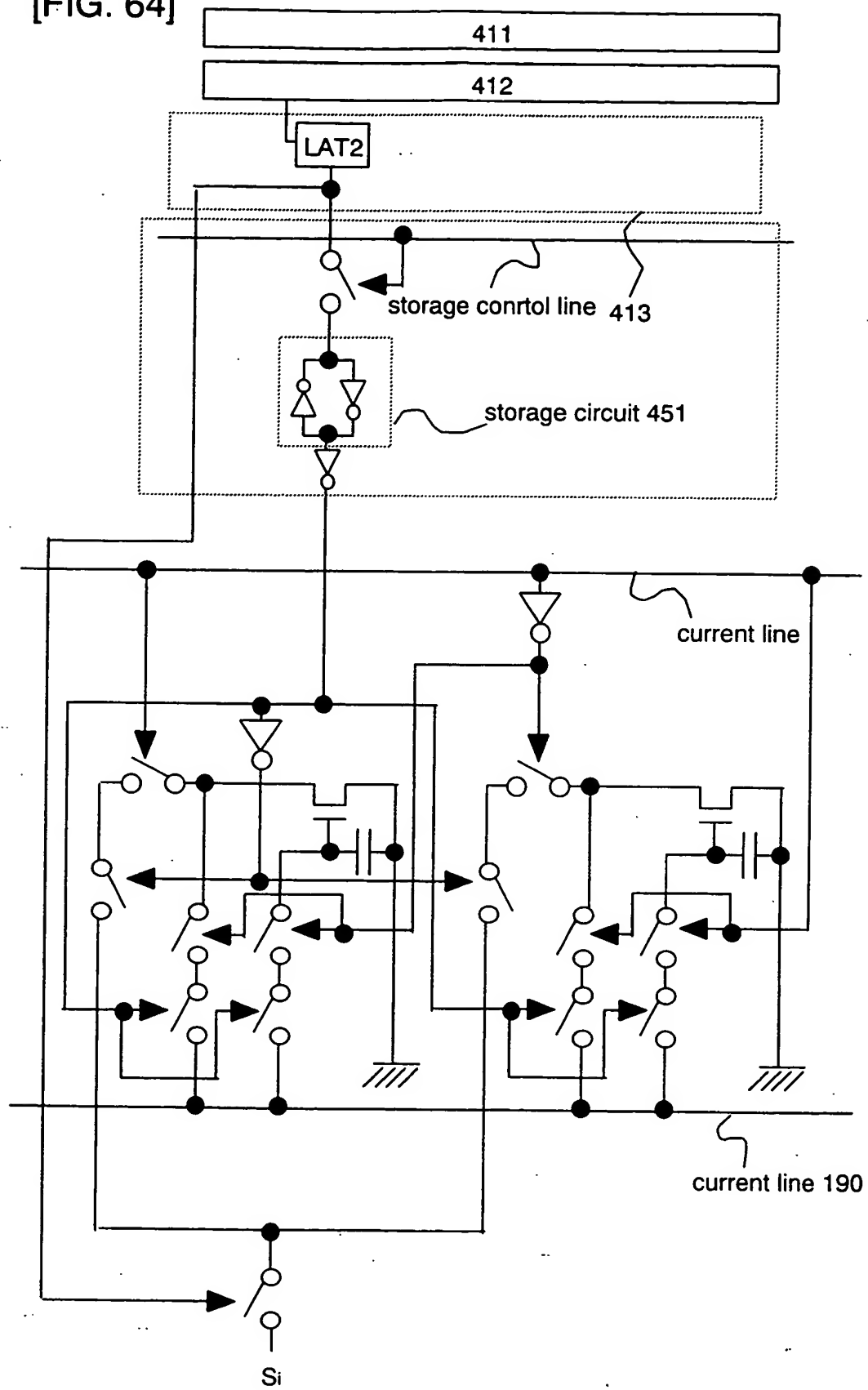


[FIG. 63]

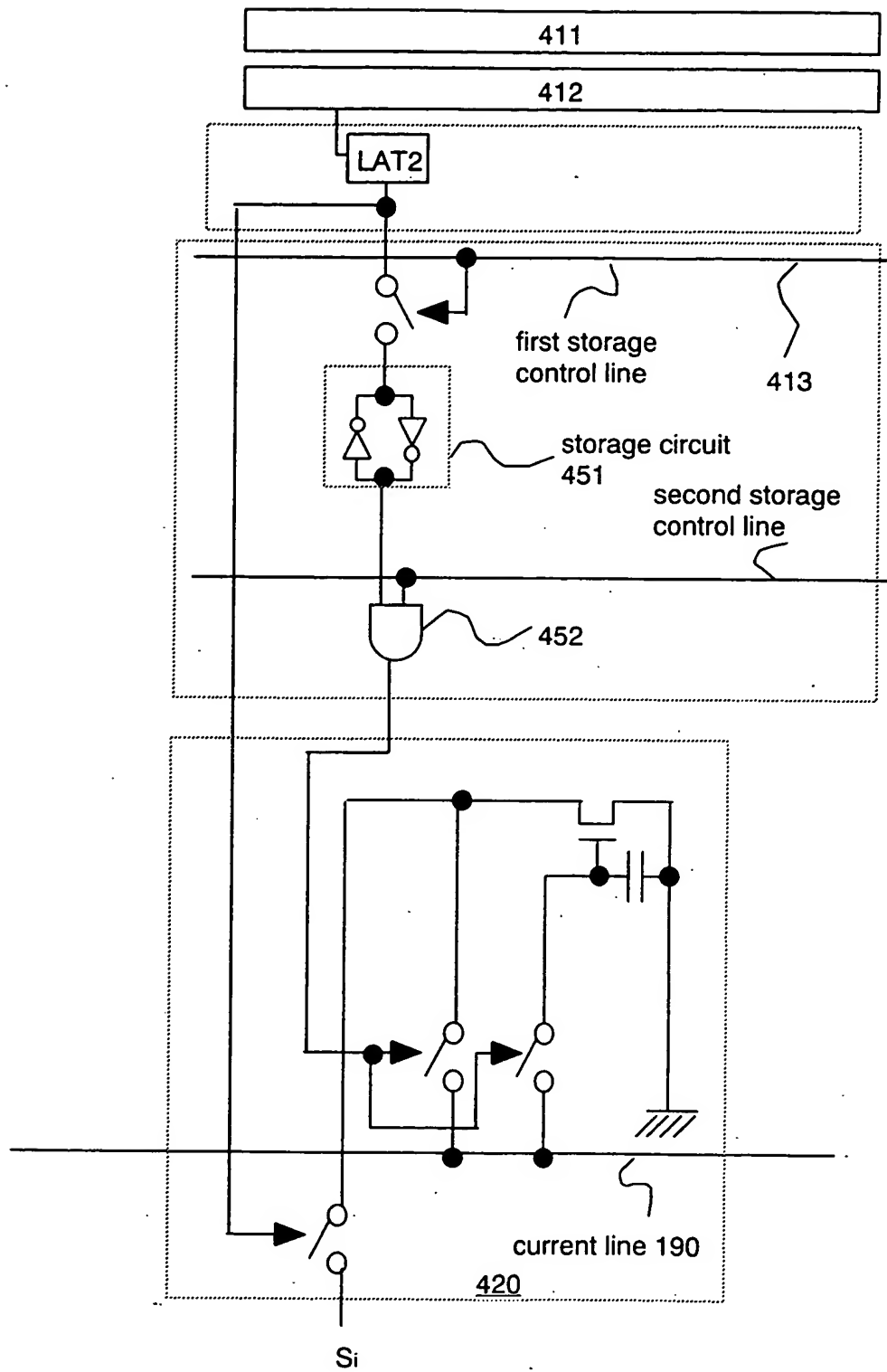




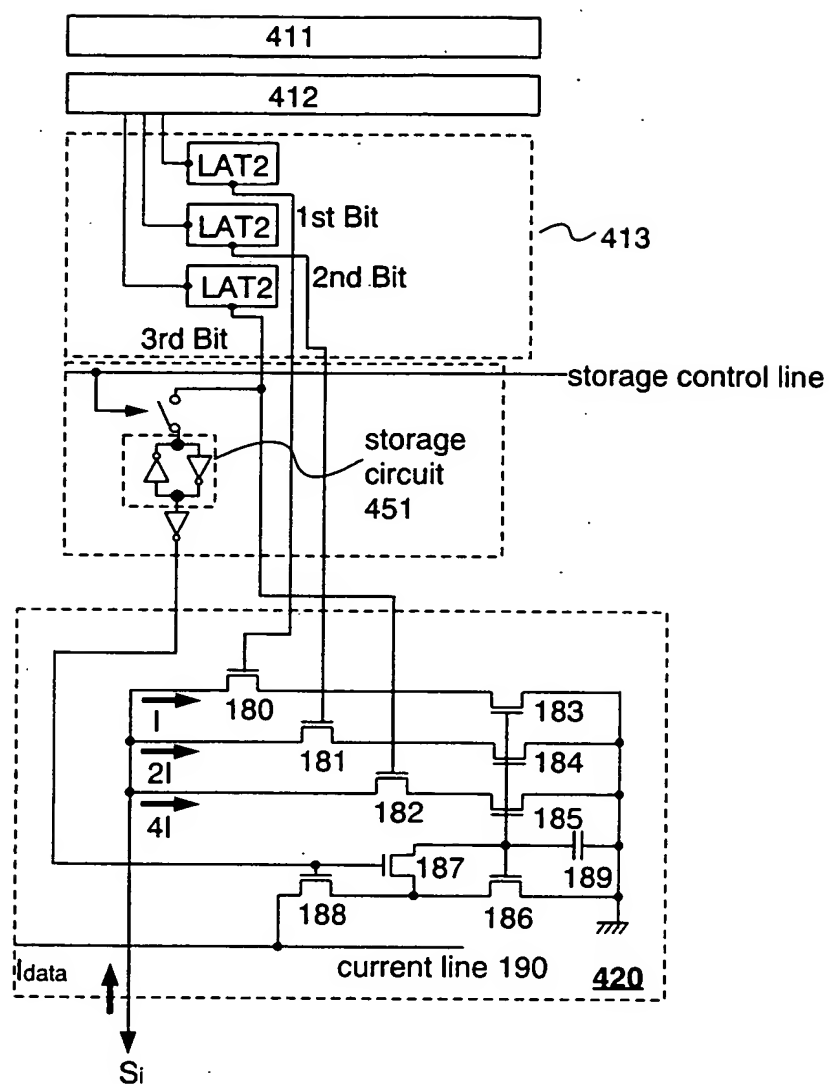
[FIG. 64]



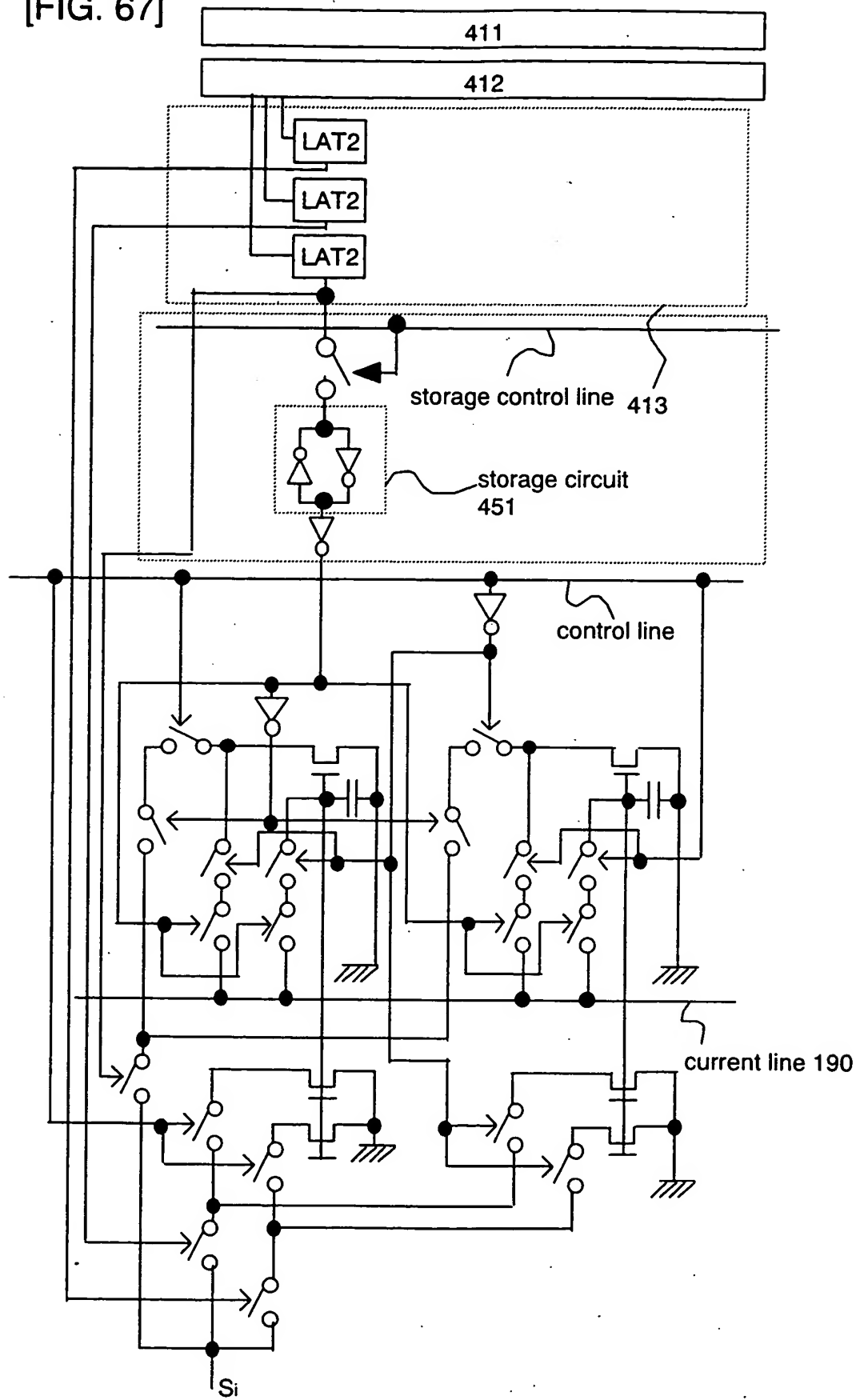
[FIG. 65]



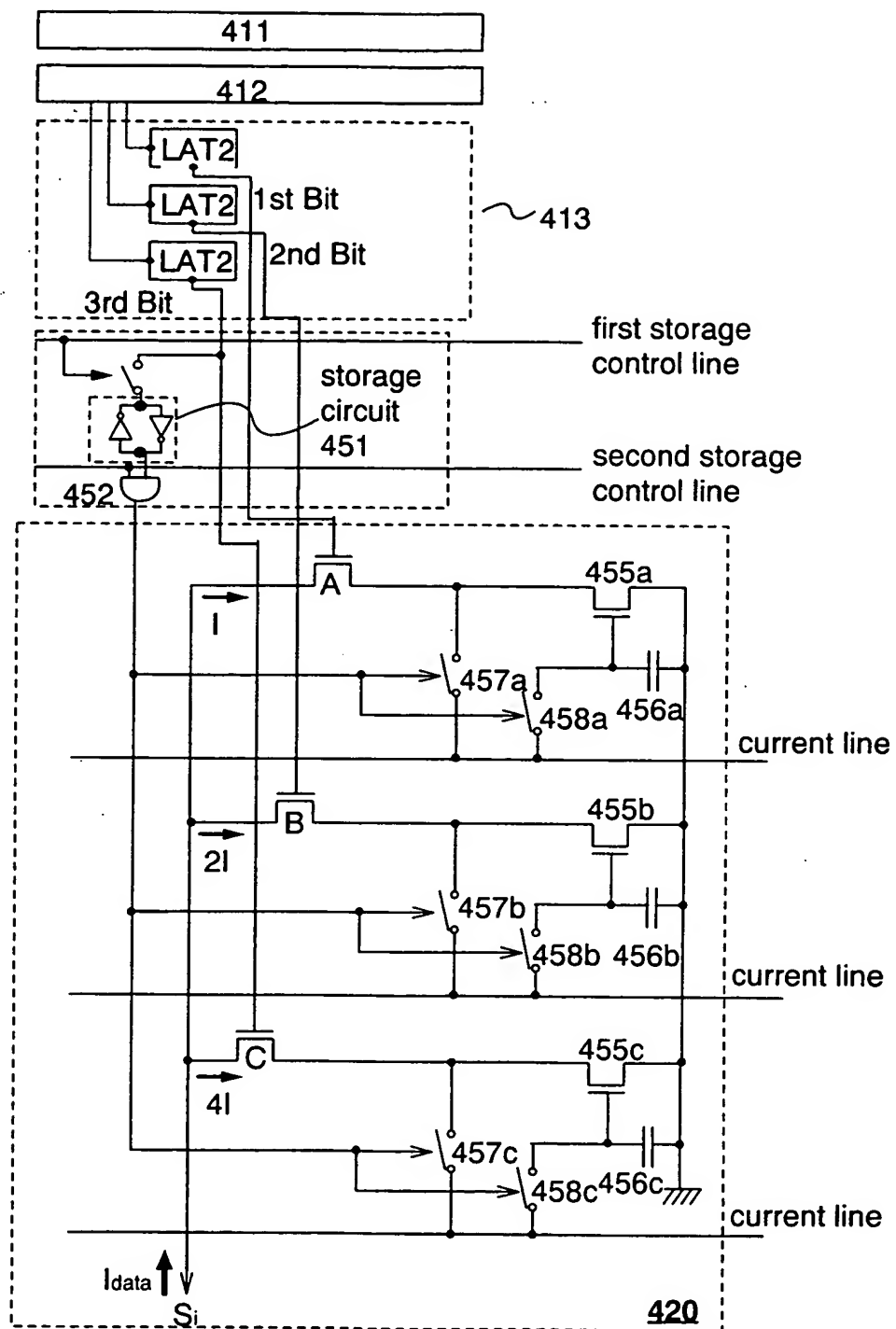
[FIG. 66]



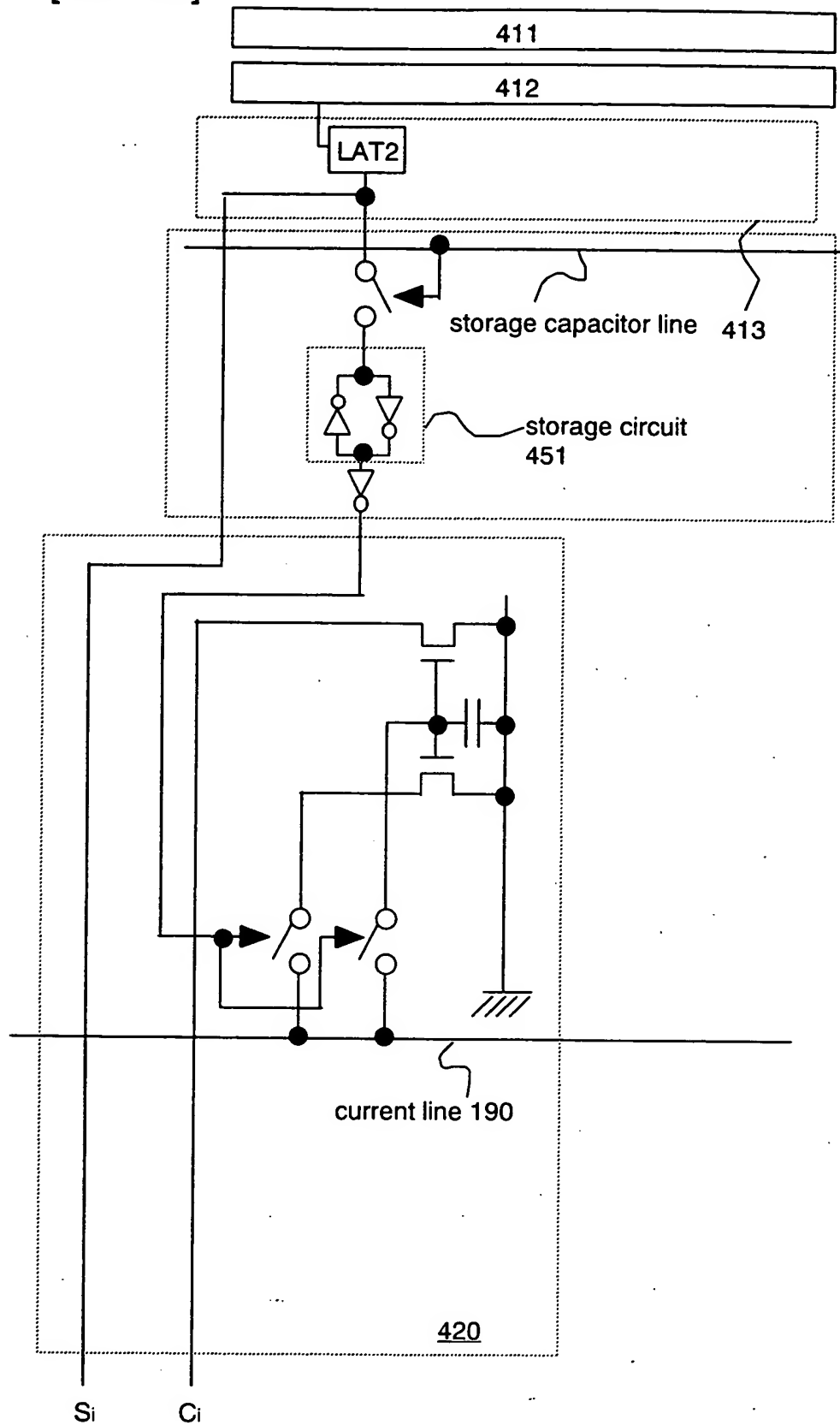
[FIG. 67]



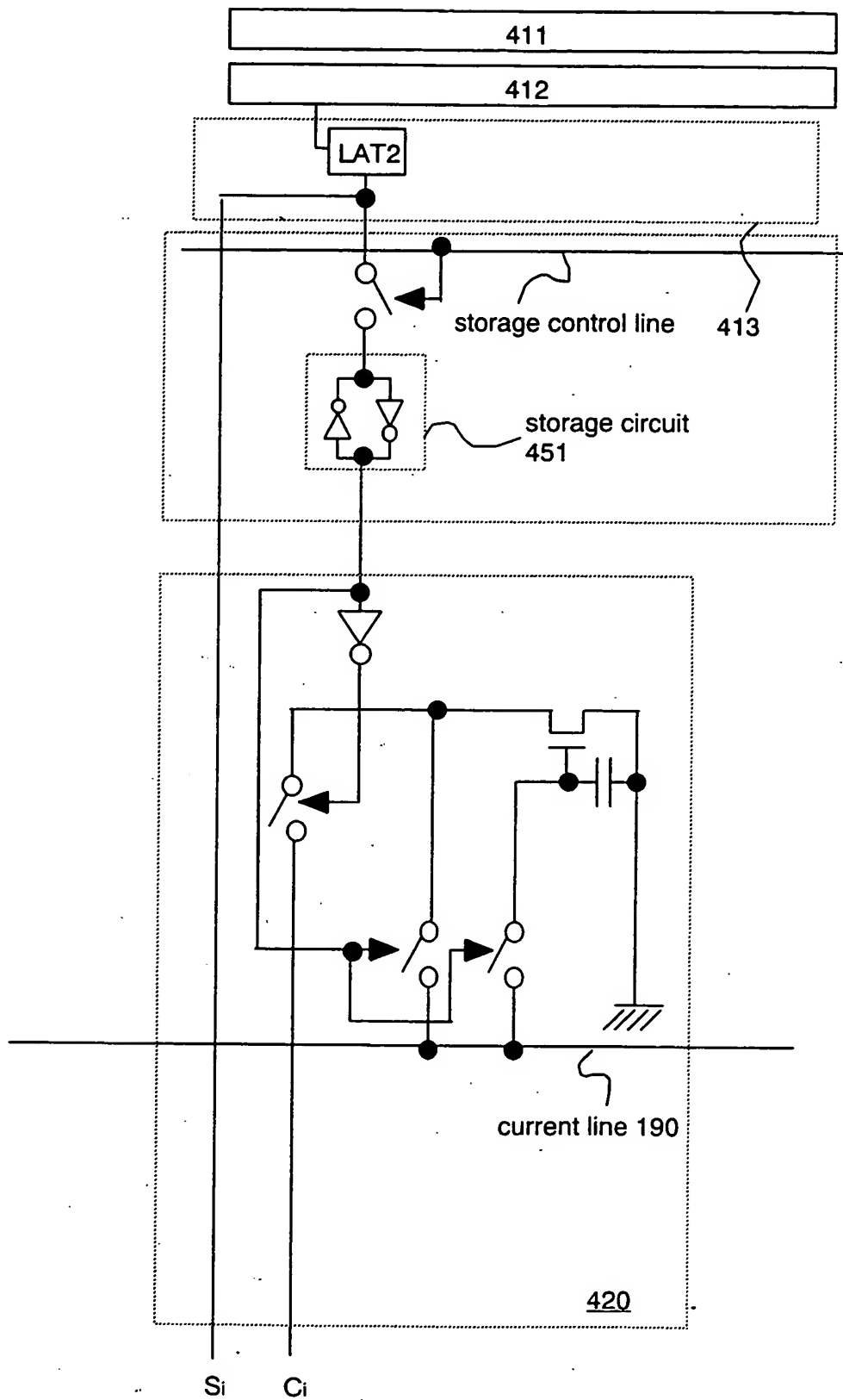
[FIG. 68]



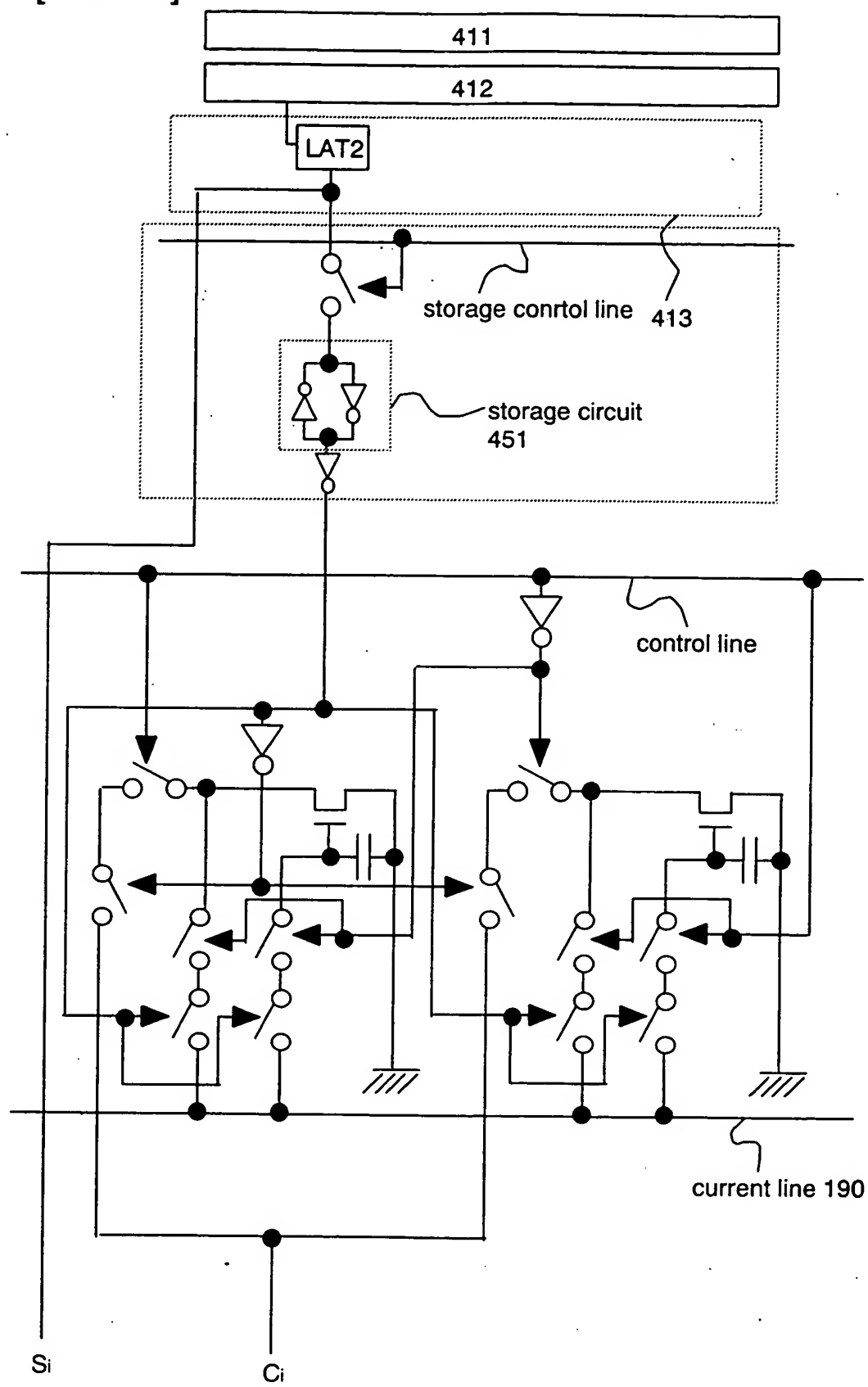
[FIG. 69]



[FIG. 70]

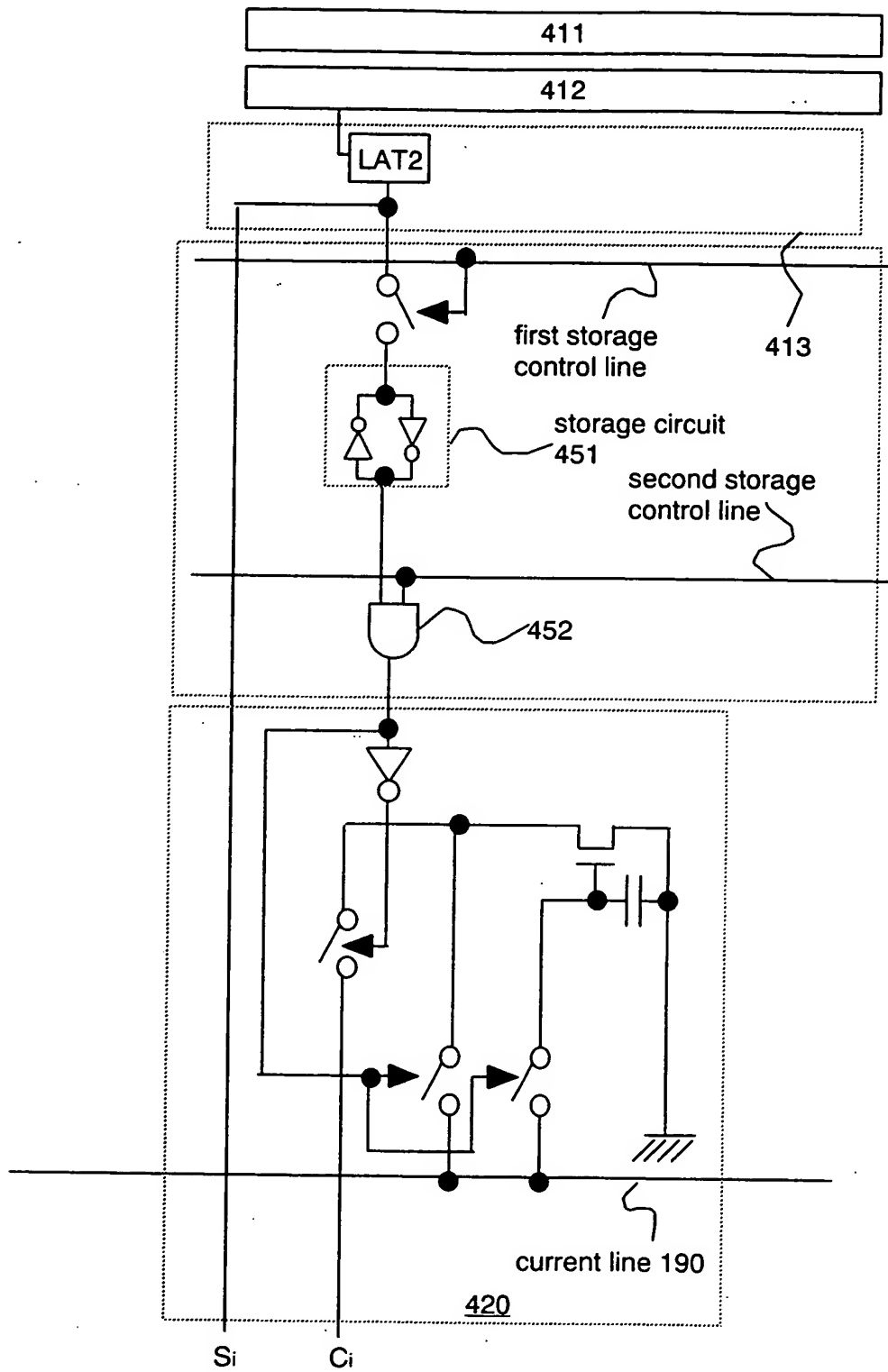


[FIG. 71]



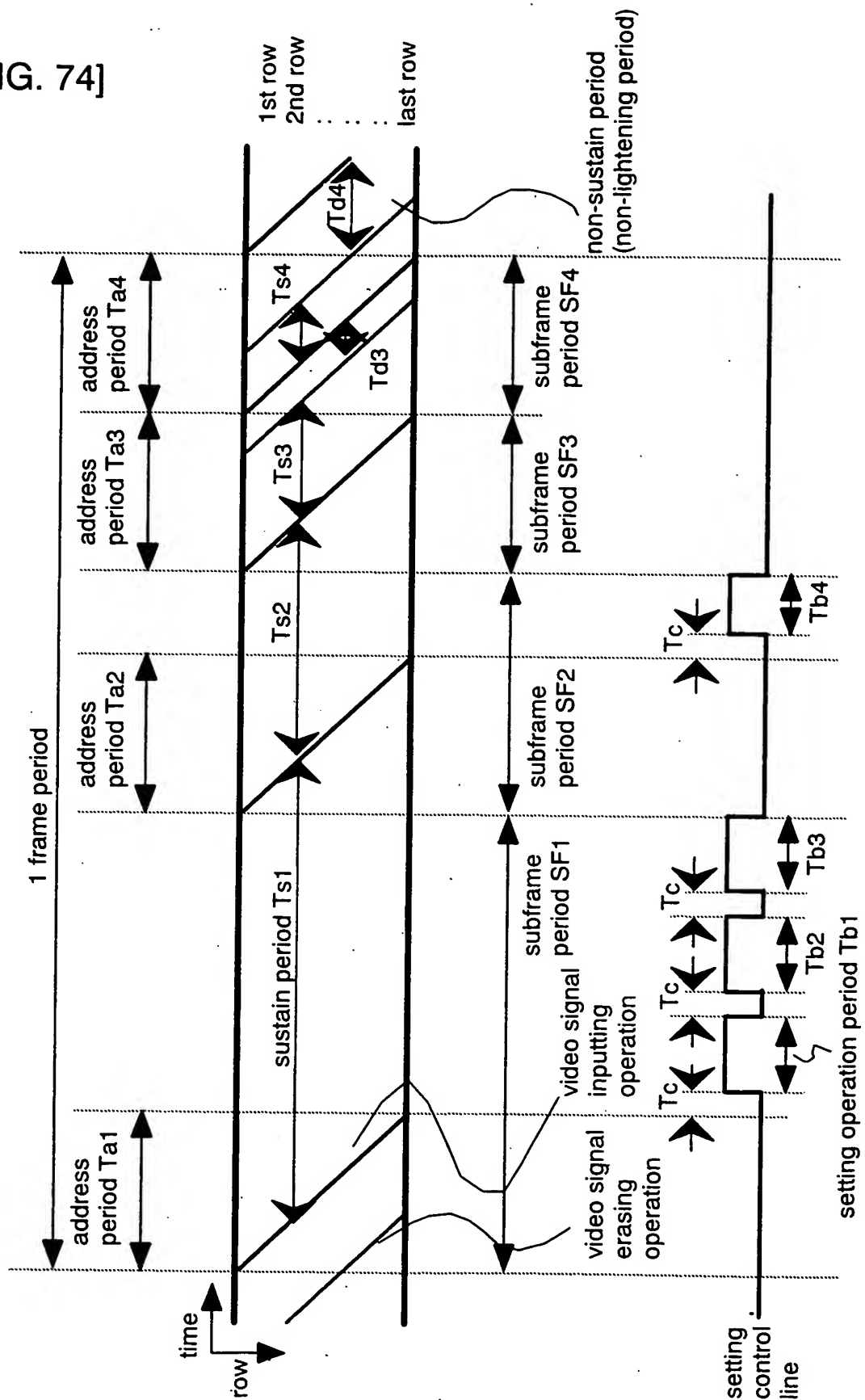


[FIG. 72]

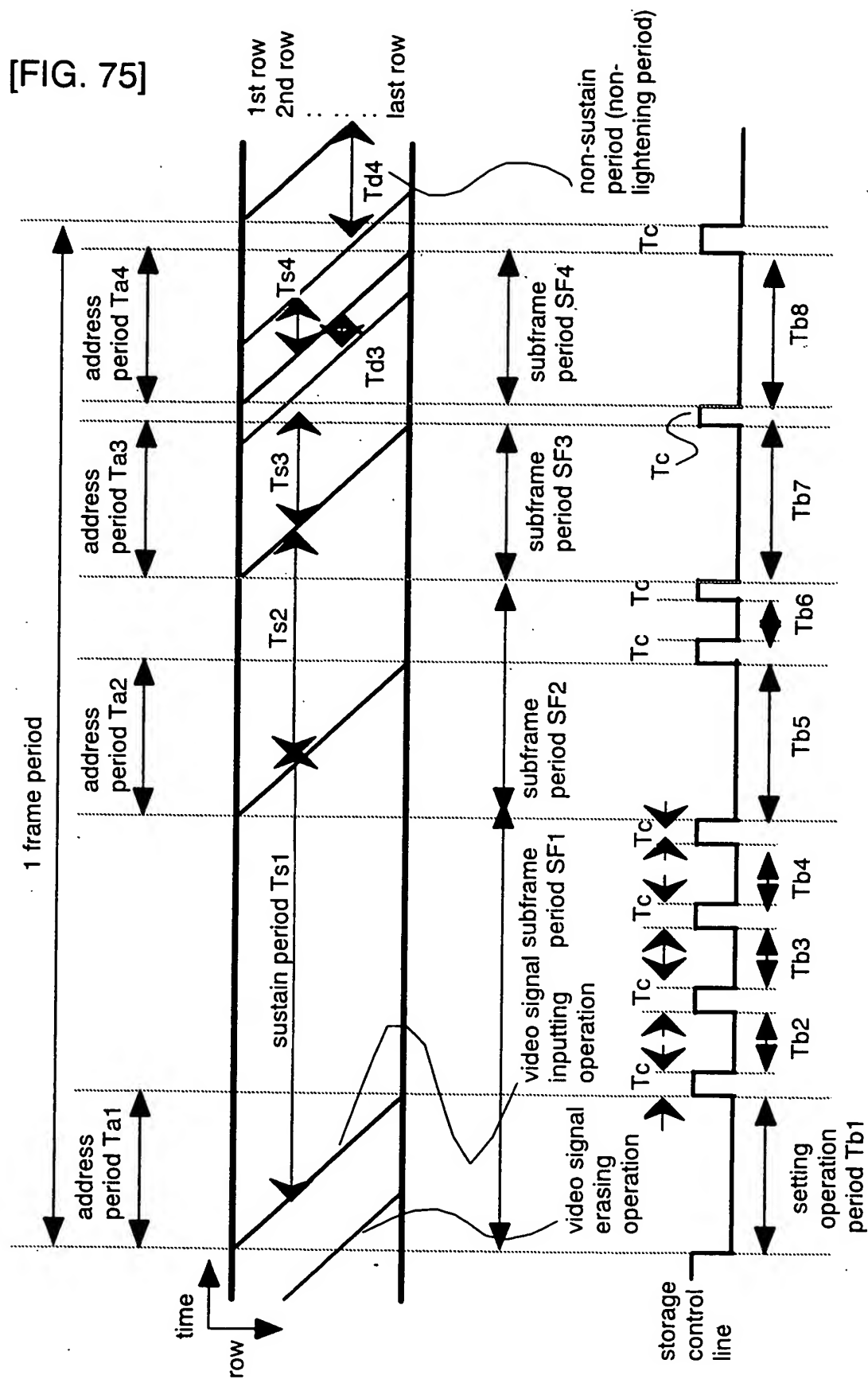




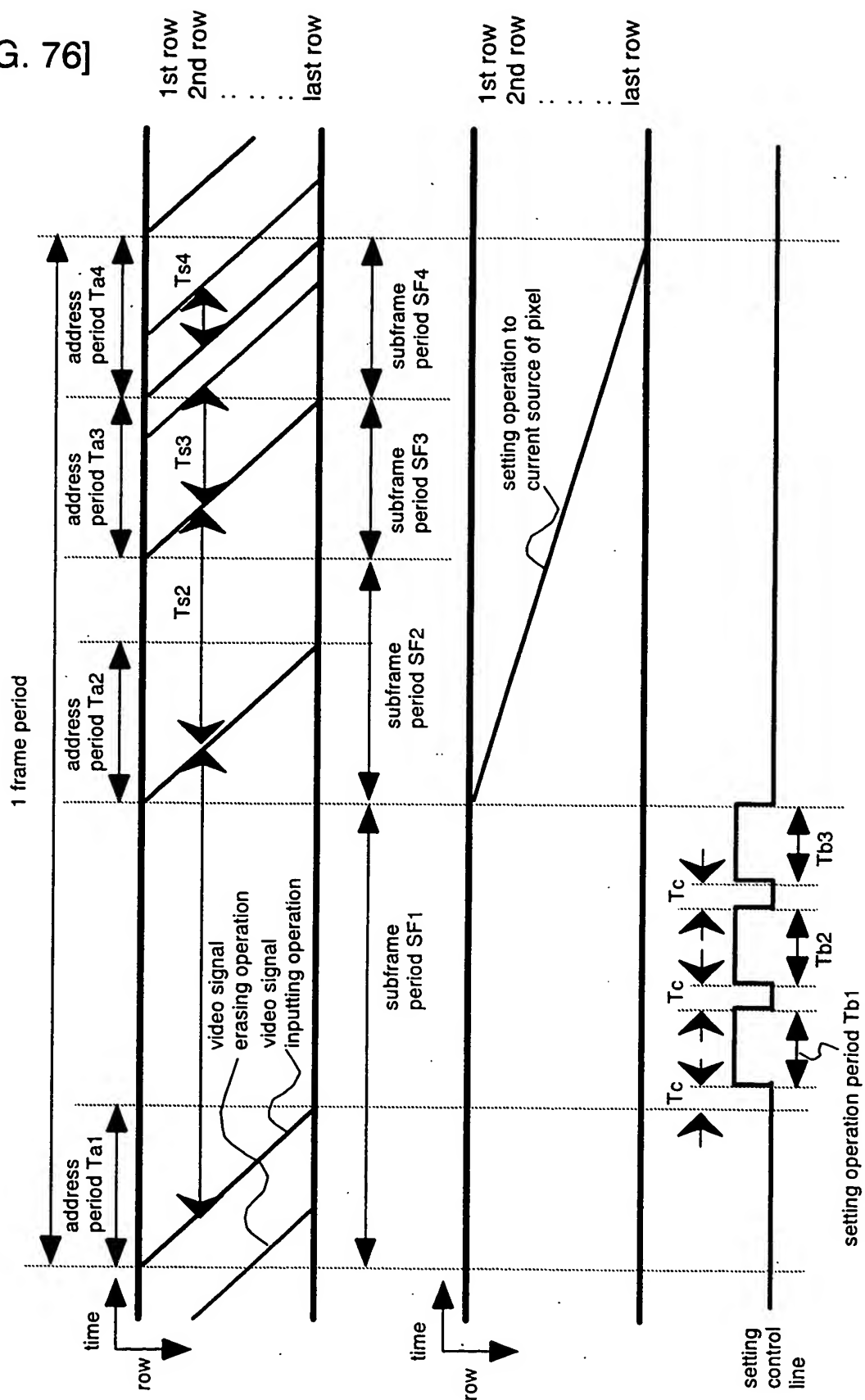
[FIG. 74]



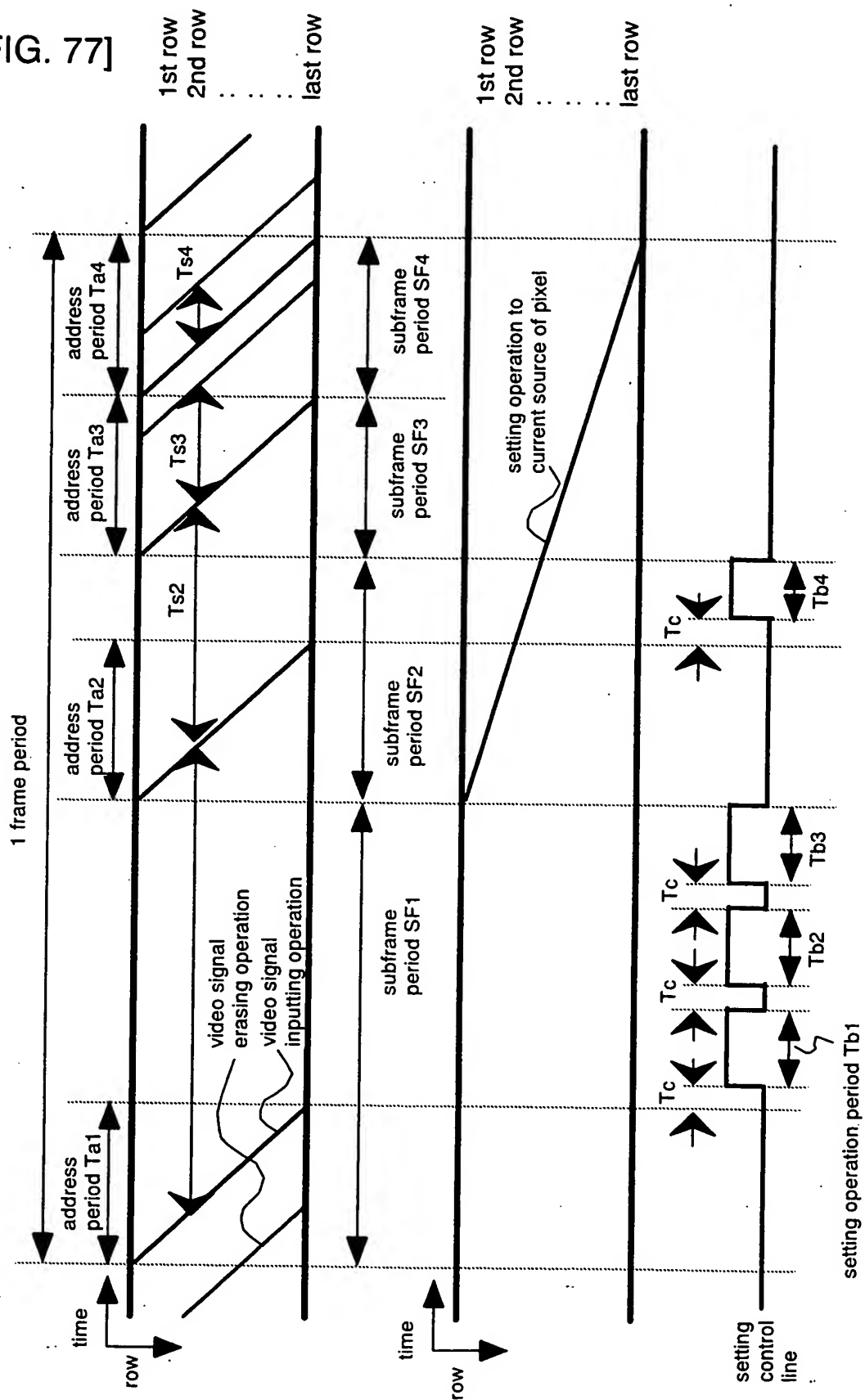
[FIG. 75]



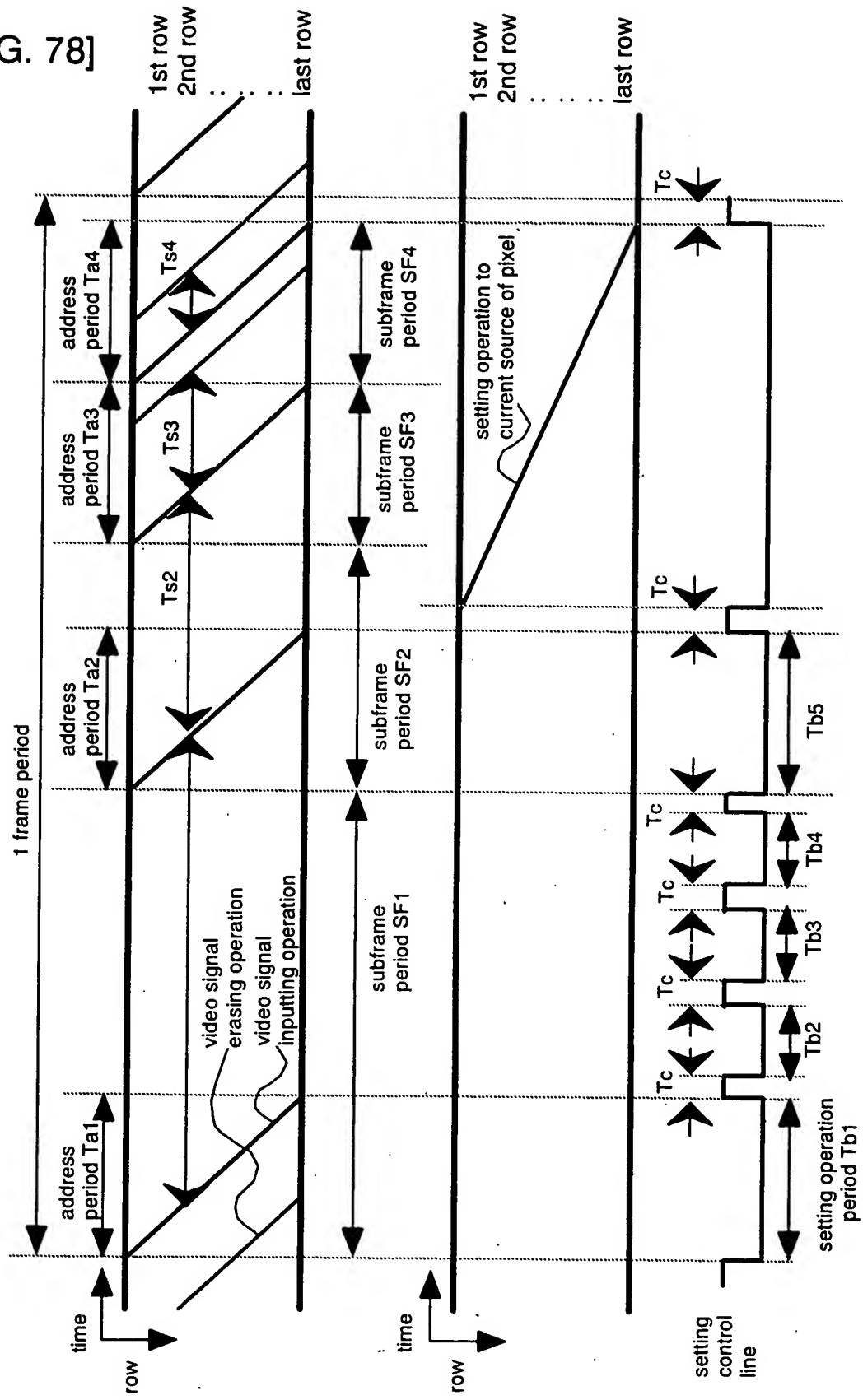
[FIG. 76]



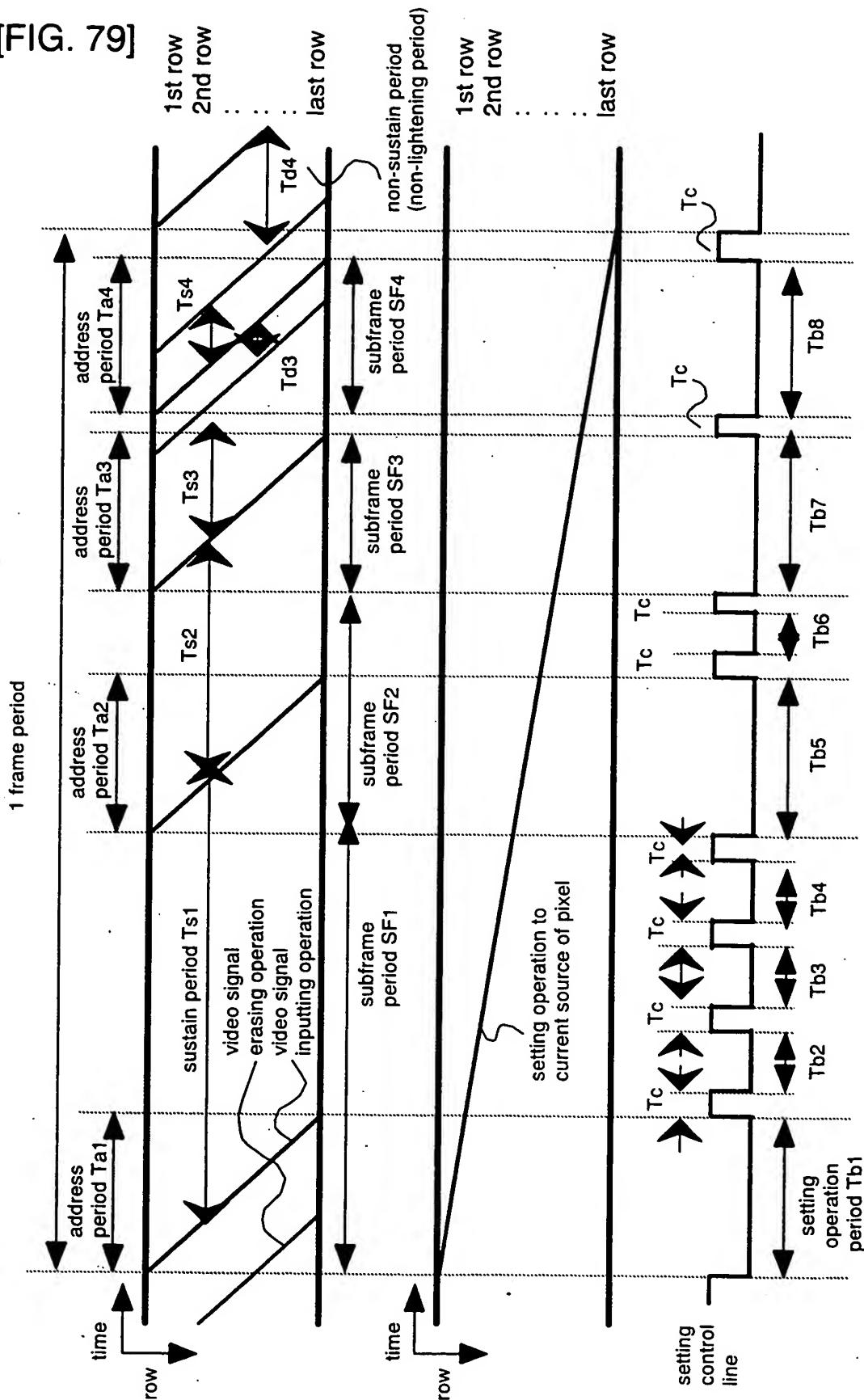
[FIG. 77]



[FIG. 78]

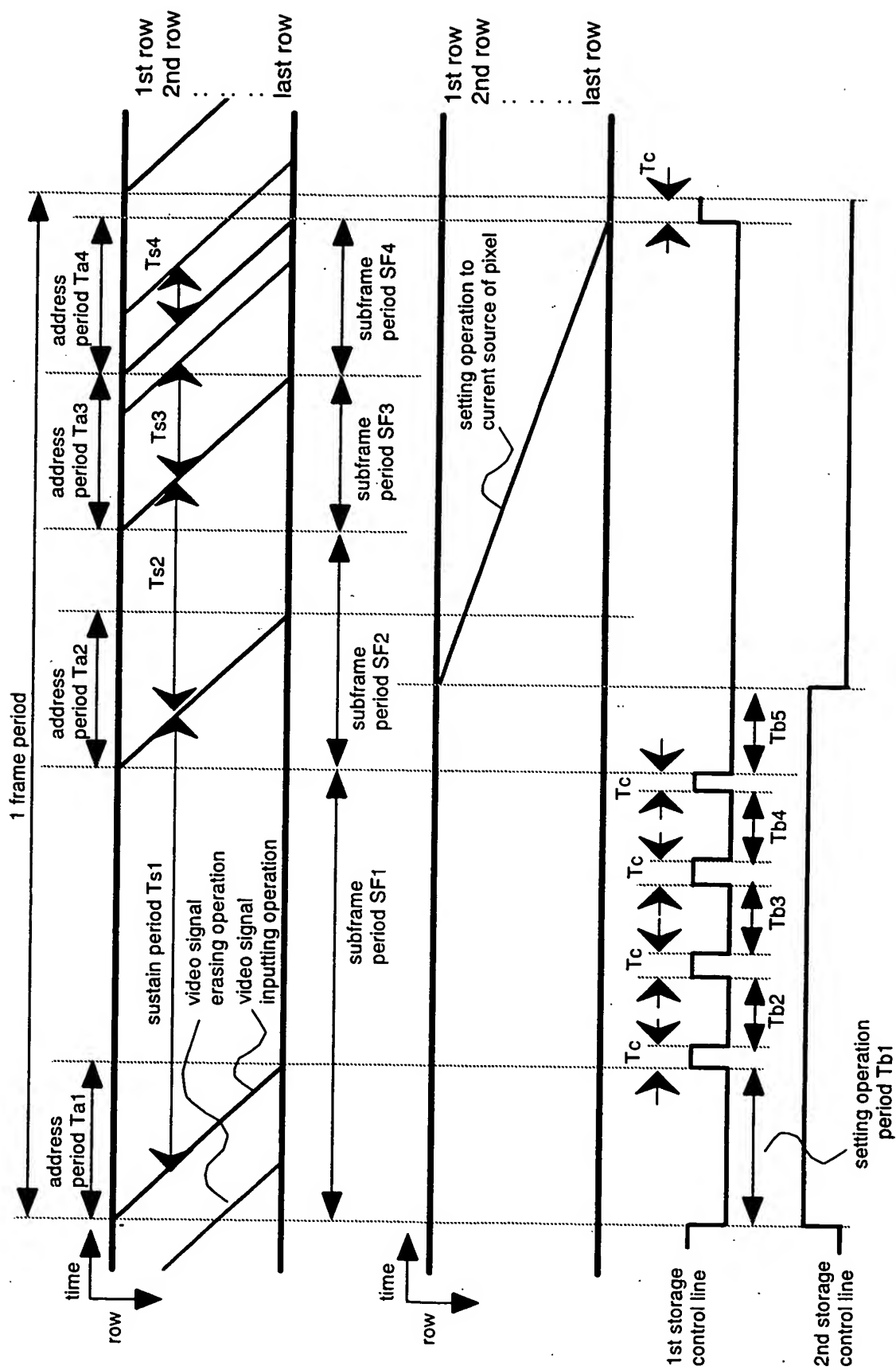


[FIG. 79]

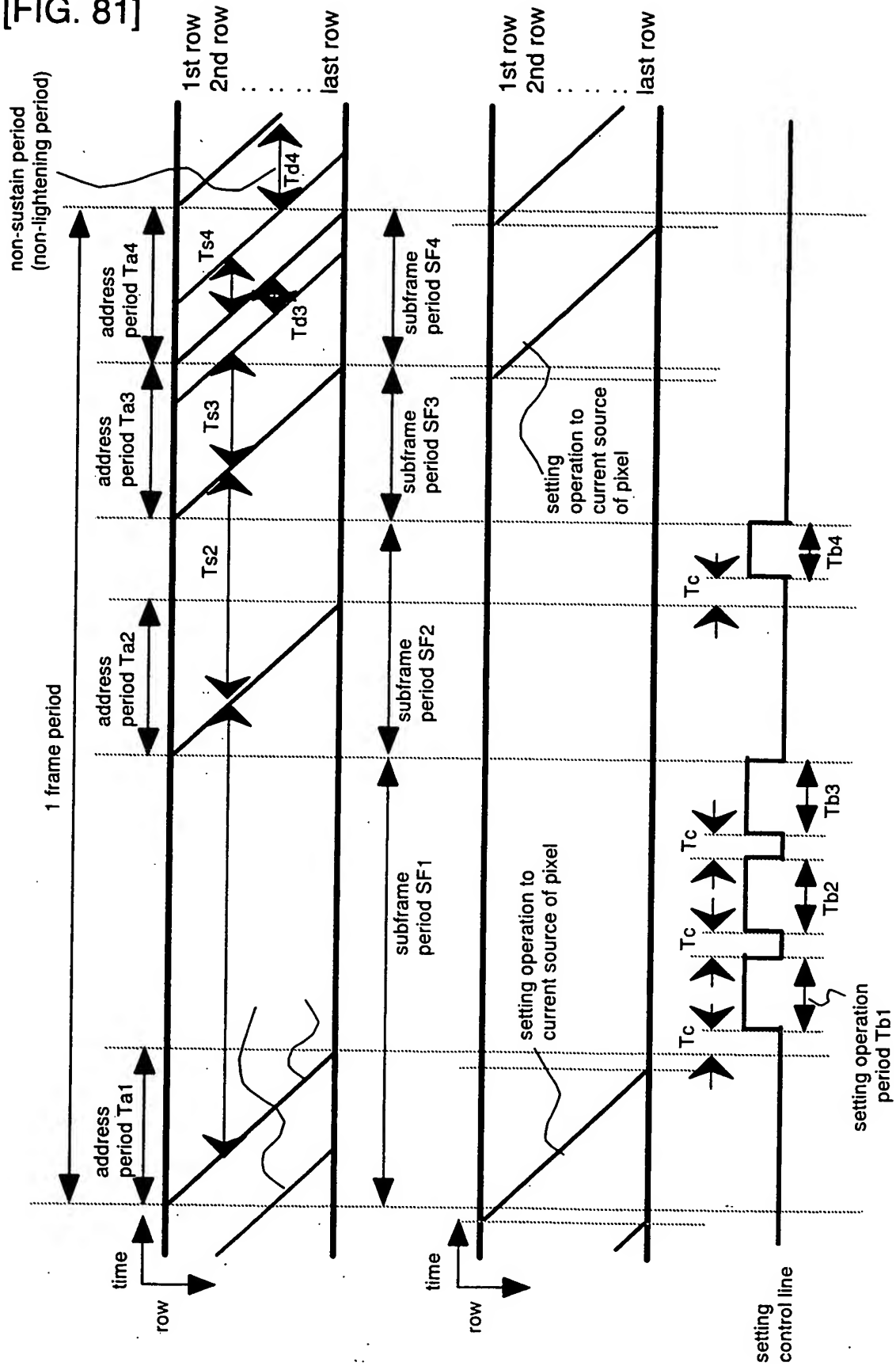




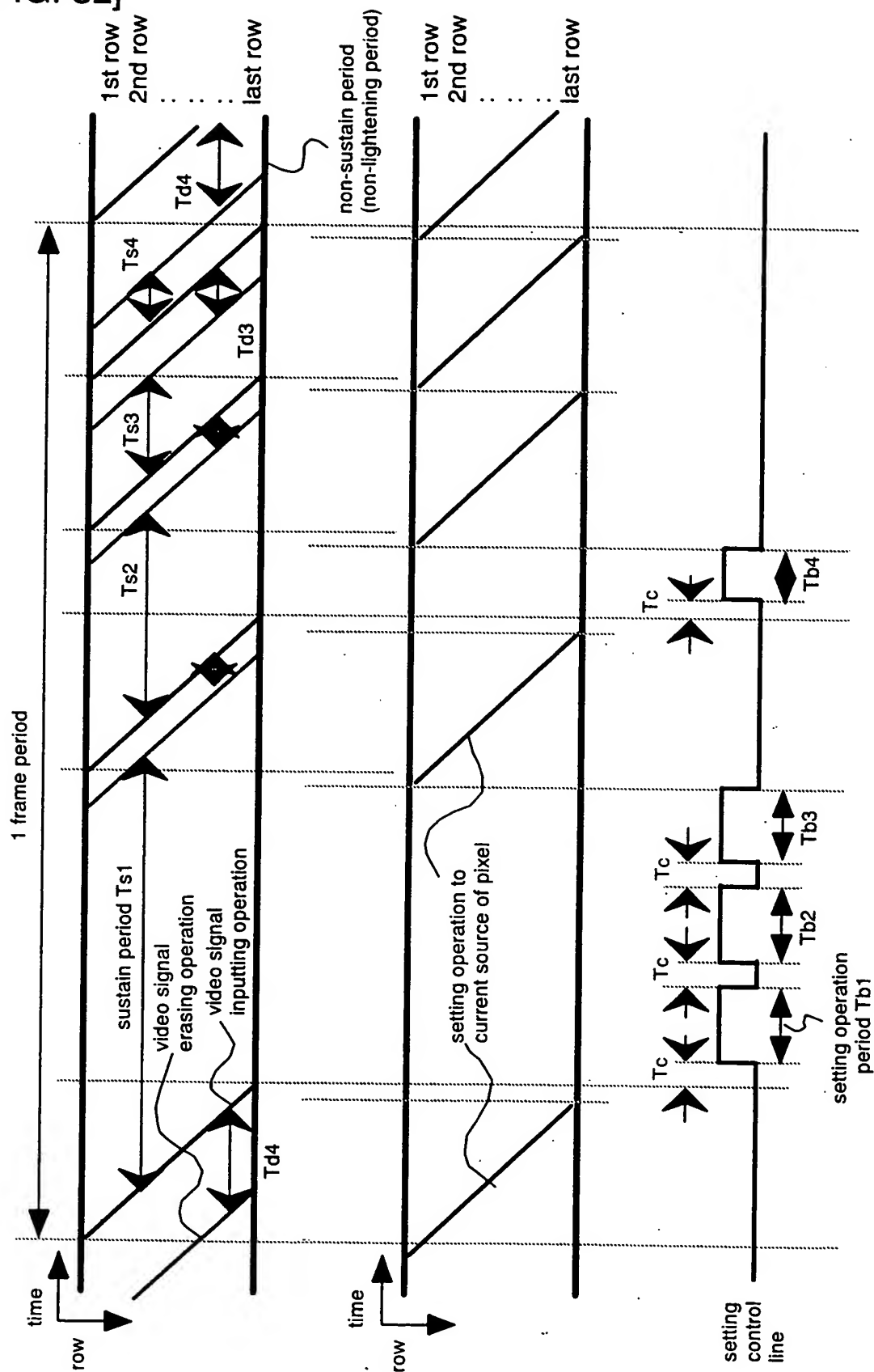
[FIG. 80]



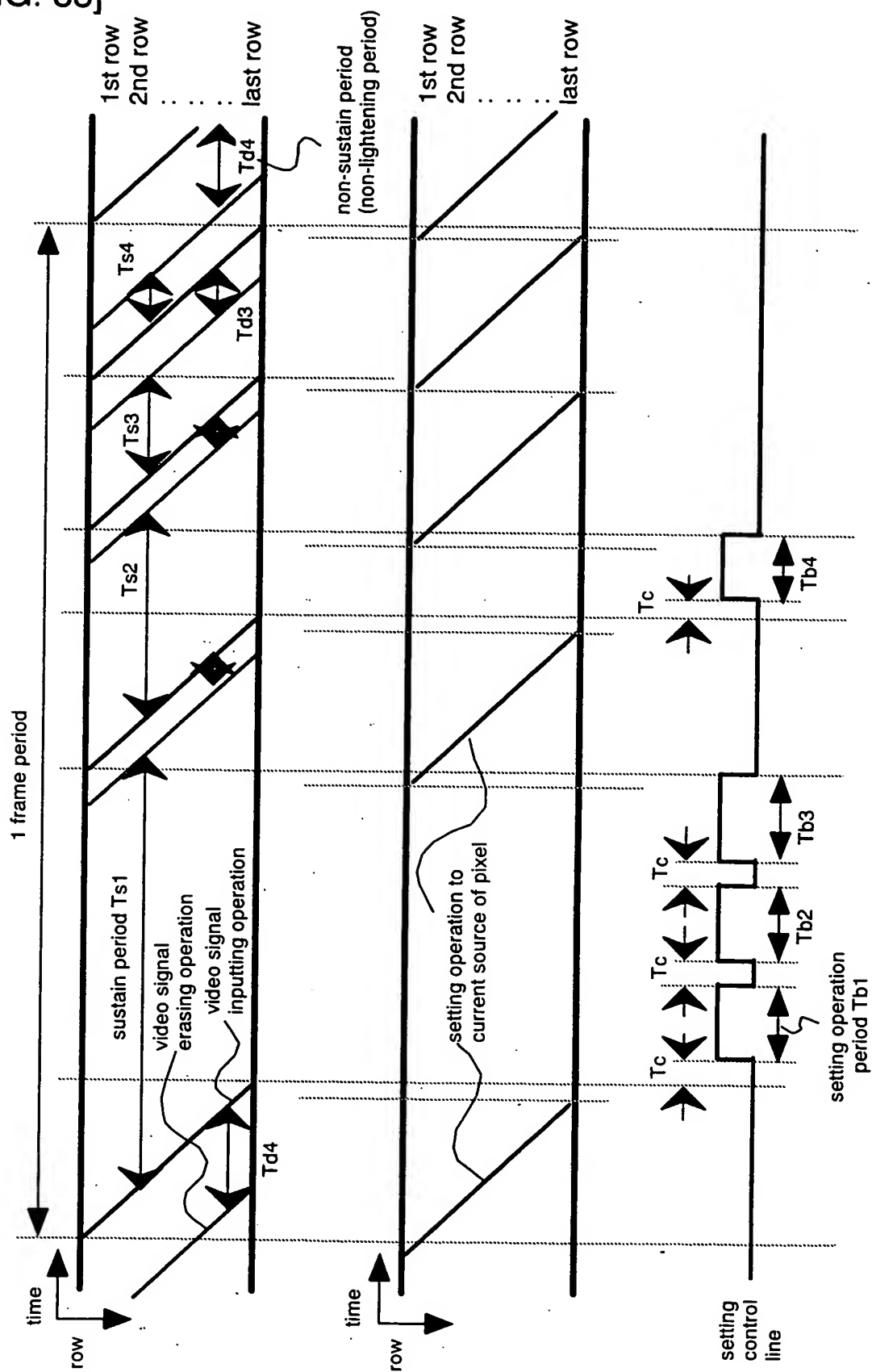
[FIG. 81]



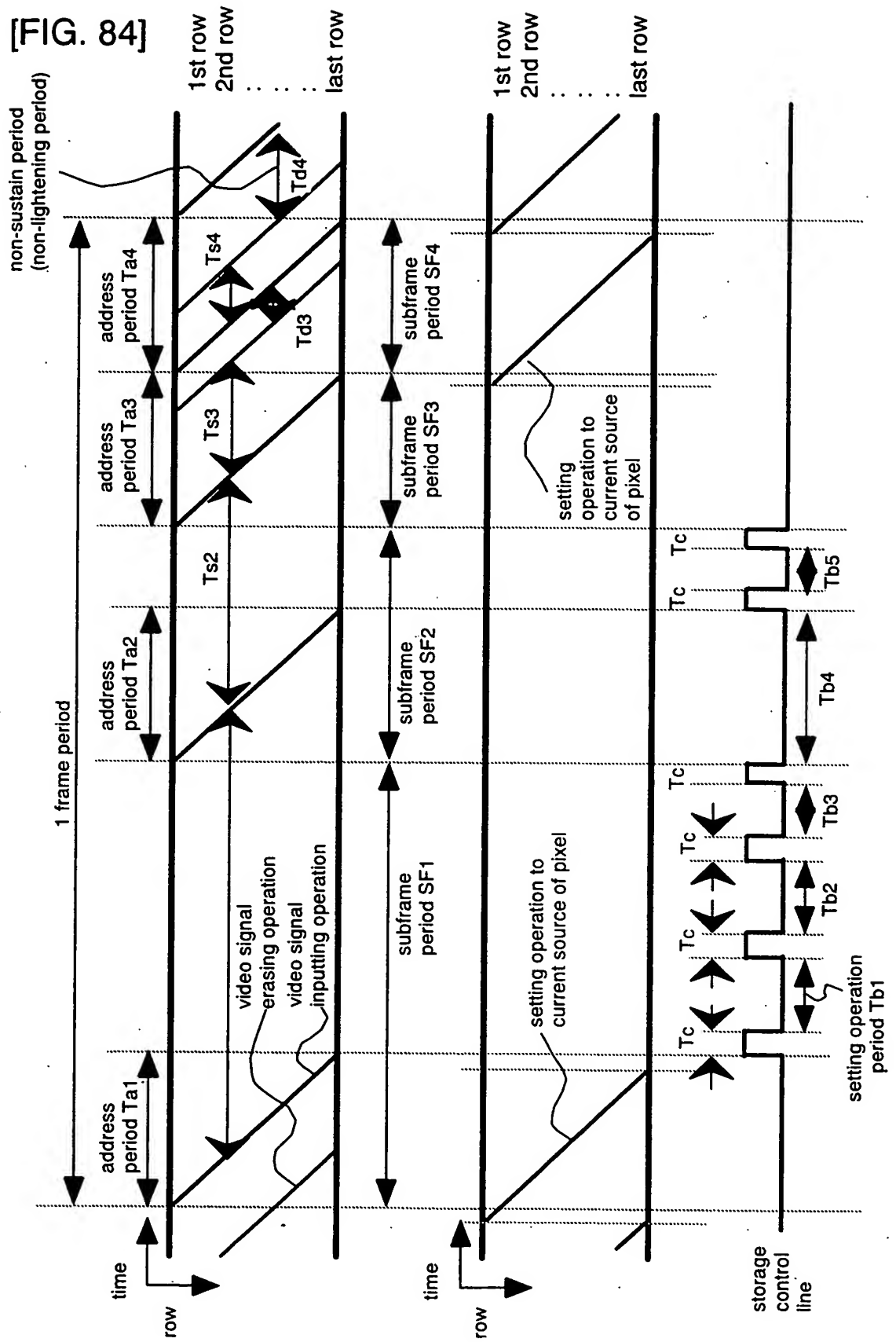
[FIG. 82]



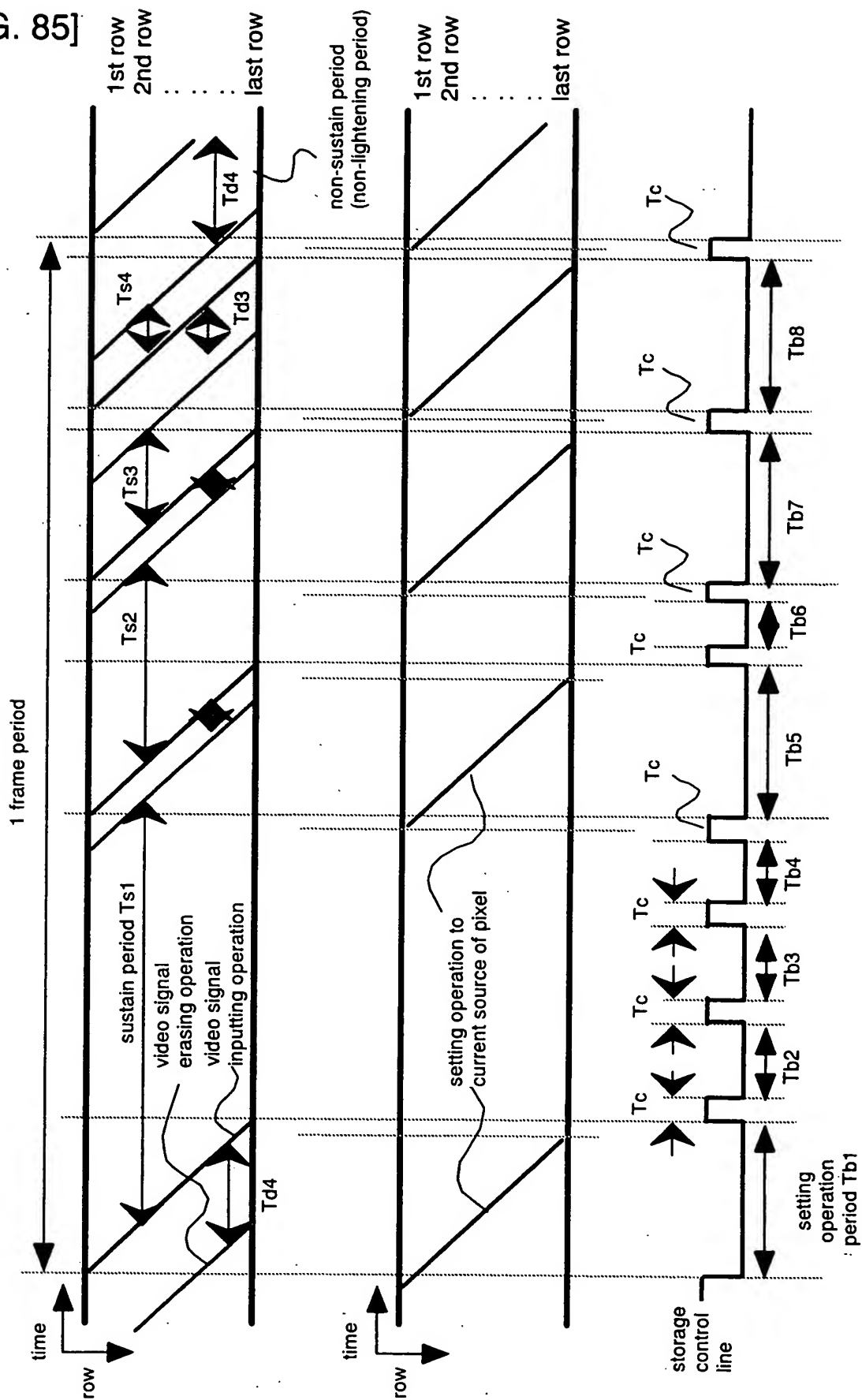
[FIG. 83]



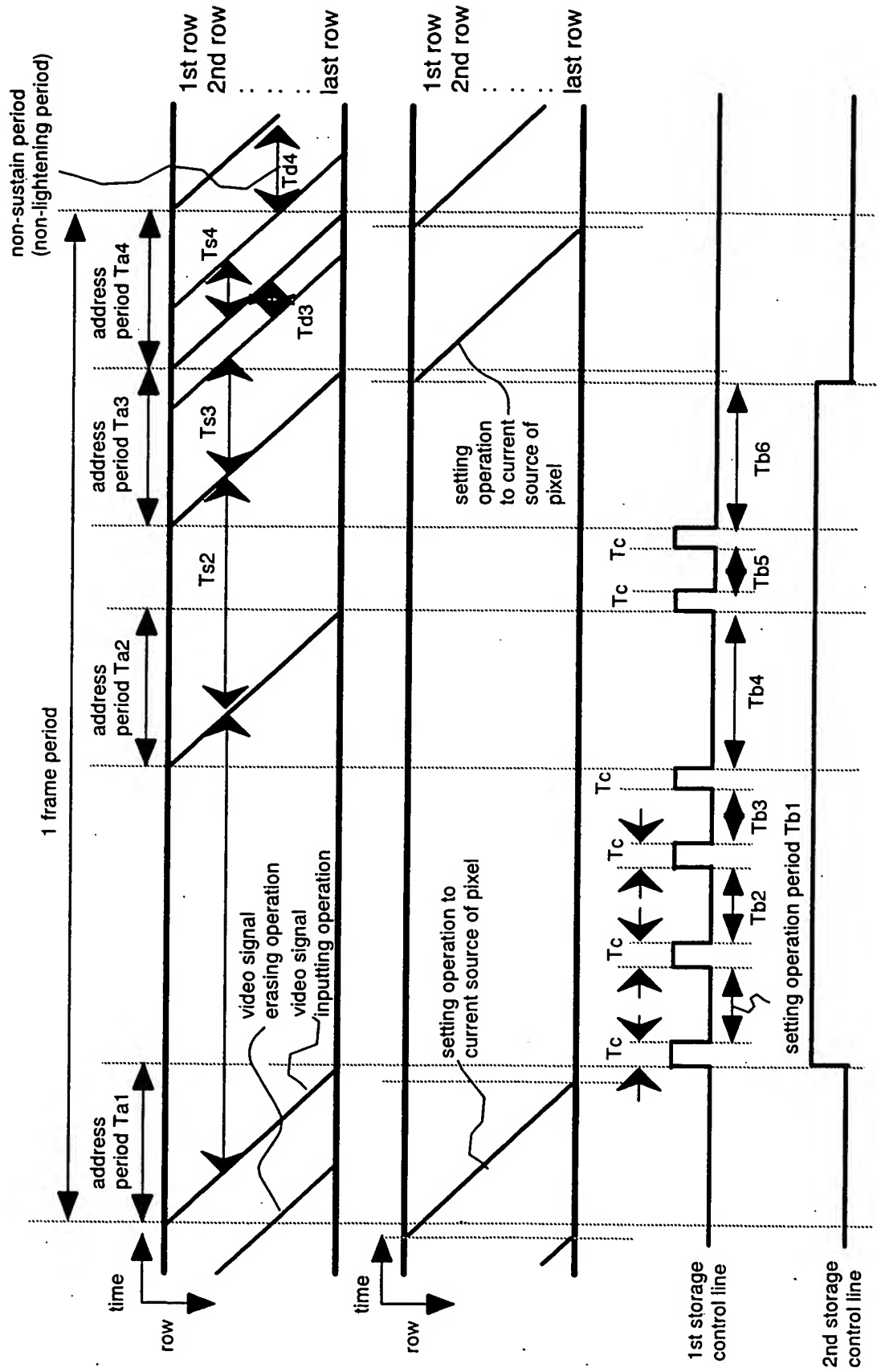
[FIG. 84]



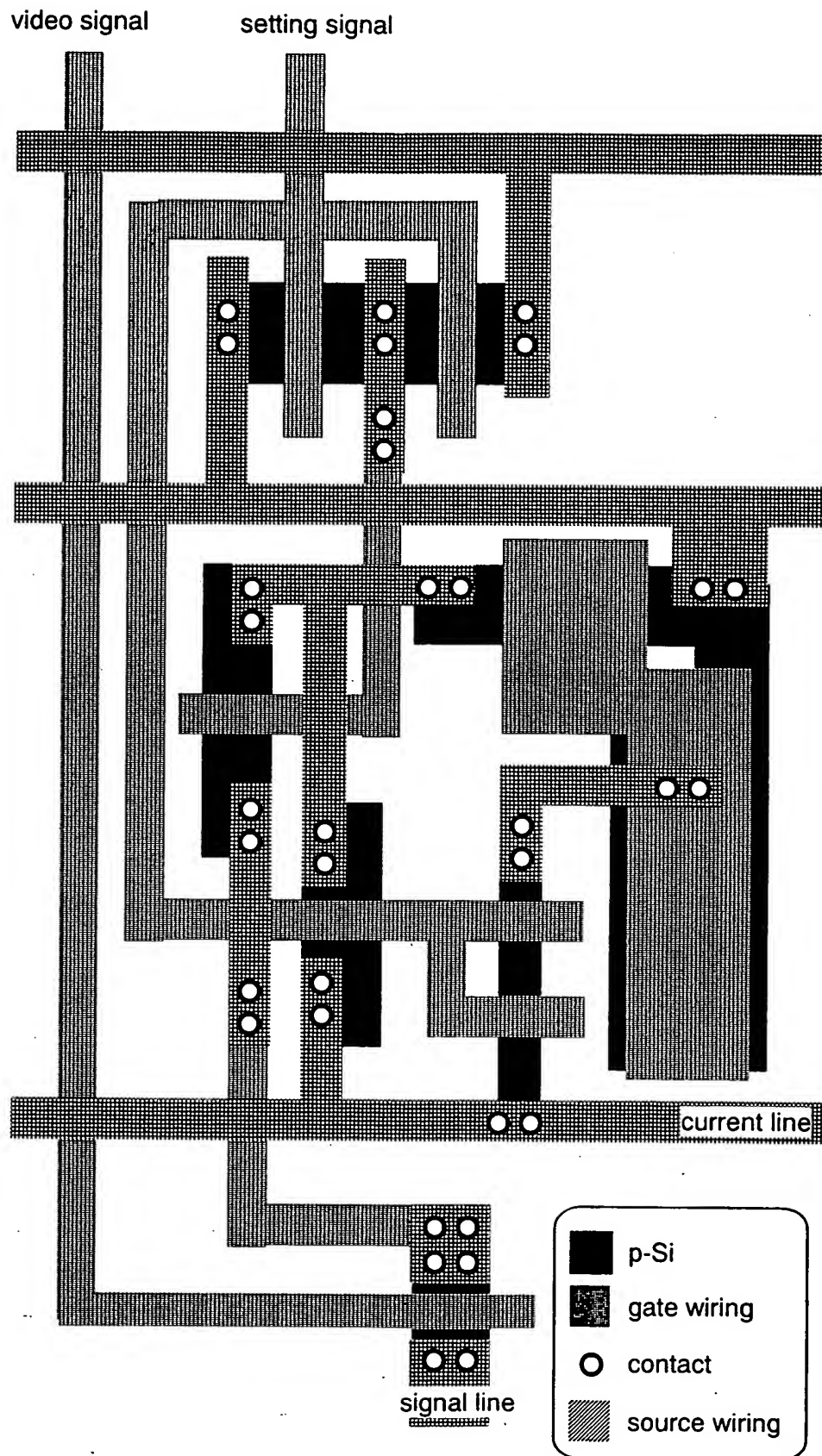
[FIG. 85]



[FIG. 86]



[FIG. 87]





[FIG. 88]

